

PREDMET: ARHITEKTURA I ORGANIZACIJA RAČUNARA

- ① Dat je računar koji koristi LOAD - STORE arhitekturu. U tabeli su date učestanosti pojedinih naredbi i odgovarajuća trajanja naredbi izražene brojem periode kloka. Poznato je da 40% ALU naredbi jednokratno koristi operande iz napunjenih registara. Ovoj arhitekturi dodate su ALU naredbe koje imaju jedan izvorišni operand u memoriji. Ove nove, registarsko – memorijske naredbe, traju 3 periode kloka. Ukoliko ovakva izmena smanjuje broj perioda kloka za naredbe grananja na 1 i povećava trajanje periode kloka za 5%, da li bi time ukupne performanse bile povećane? (20 poena)

Tip instrukcije	Učestanost	Broj ciklusa takta
ALU	52%	1
LOAD	30%	3
STORE	8%	3
Grananje	10%	3

- ② Dat je deo programa koji se izvršava na celobrojnem protočnom sistemu DLX. Pretpostaviti da su sva obraćanja memoriji pogoci keša. Početni sadržaj registra R5 je R3 + 408.
- a) Odrediti RAW hazarde (označiti redni broj instrukcija i registar). (5 poena)
 - b) Prikazati vremenski dijagram izvršenja ovog niza instrukcija bez ikakvih premošćavanja ali pretpostaviti da upis u registar prethodi čitanju istog registra u istom ciklusu kloka. Koliko ciklusa zahteva izvršenje petlje? (6 poena)
 - c) Prikazati vremenski dijagram izvršenja ovog niza instrukcija pri postojanju hardvera za premošćavanje. Koliko ciklusa zahteva izvršenje petlje? (9 poena)

pon:

I1 LW R1, 0(R3)
I2 ADDI R1, R1, #2
I3 SW R1, 0(R3)
I4 ADDI R3, R3, #12
I5 SUB R4, R5, R3
I6 SUB R2, R2, #12
I7 BNEZ R4, pon

(20 poena)

3. Na VHDL-u:

a) Bihejvioralnim opisom opisati D flip-flop koji reaguje na silaznu ivicu takta i ima portove D i Q tipa std_logic.

b) Bihejvioralnim opisom, korišćenjem procesa i sensitivity lista opisati dvocifreni BCD brojač sa sinhronim paralelnim upisom koji menja smer brojanja kada prolazi kroz granične vrednosti brojanja. Brojač se resetuje ako je na ulazu nelegalna vrednost. Nakon resetu, brojač treba da broji naviše.

c) Strukturalnim opisom i korišćenjem konkurentnih klauzula dodele vrednosti signalu integrisati D flip-flop i brojač u kolo koje ima ulaze za takt, reset, paralelni upis i izlaz. Bit najveće težine svake cifre izlaza brojača se vodi na izlazni port kola preko flip-flopa, dok se ostali bitovi prosleđuju direktno na izlazni port.

Nacrtati šemu kola i označiti sve signale i portove korišćene u kodu.

d) Napisati testbenč sa generatorom takta periode 100 ns i talasnim oblicima pobude koji bi demonstrirali rad kola u karakterističnim slučajevima korišćenja. (35 poena)

④. Razmatra se računar sa stranično organizovanom virtuelnom memorijom, sa 48-bitnim virtuelnim adresama, fizičkog adresnog prostora 4GB, i stranica veličine 4KB. Transformator adresa sadrži keš memoriju sa potpunim asocijativnim preslikavanjem za preslikavanje adresa (TLB) sa ukupno 64 stavki.

a) Odrediti i obrazložiti vrednosti etikete (taga), indeksa i pomeraja za virtuelne adrese $(010203040500)_{16}$ i $(12345678abcd)_{16}$.

b) Izračunati veličinu linearne stranične tablice u GB, ukoliko su sve virtuelne stranice u upotrebi, a indikatori P, K, M, R i W jednobitni. (25 poena)

Ukupno: 100 poena. Pisani deo ispita će položiti studenti koji osvoje najmanje 50 poena.

PREDMETNI NASTAVNICI