

ESP COSMICI

1/02

I PARTE

→ Segnali all'oscilloscopio

Nota: S_G ha max HV = 2000V (R1513 - PM)

S_1 e S_2 al max HV = 2600V (XP2020 - PM)

S_2 ha segnale a 2000V (a 1800V non si vede nulla)

S_G ha segnale a 1400V (sotto si vede poco)

→ stima RISE TIME S_1 e S_G

$S_1 \rightarrow 1800V$

$S_G \rightarrow 1400V$

$S_1 \rightarrow t_{RISE} = 6.17ns / 4.674ns$

$S_G \rightarrow t_{RISE} = 34.13ns / 44.47ns / (\text{una anche a } \sim 60ns)$

$\Delta t_{S_1-S_G} = 54.4ns$

→ Check che FAN-OUT sia circa FAN-IN (✓)

→ S_1 a 2000V per picchi a 150mV

S_2 necessita 2300V per picchi a 100mV

II PARTE → $\log N$ vs HV S_1 e S_2

Soglia S_1 69.9 ~~KV~~ mV

Soglia S_2 69.9 mV

~~S_1 44.4 / 40 cm, largh,~~

~~$\Phi = 1$ raggio cosm.~~

$\Phi_{SEA} = 180 \frac{ev}{m^2 \cdot s}$

$S_1 \rightarrow \text{lung} = 40.3cm, \text{largh} = 11.1cm, \text{spess.} = 1.8cm$

→ $S_{up} = 447.3cm^2$

$S_2 \rightarrow \text{lung} = 73.5cm, \text{largh} = 16.4cm$

→ $S_{up} = 0.118335m^2$

Nuove THR:

THR legge 10x val. vero

$$S_1 \rightarrow 0.609 \text{ V} \rightarrow 60.9 \text{ mV}$$

$$S_2 \rightarrow 0.500 \text{ V} \rightarrow 50.0 \text{ mV}$$

$$S_3 \rightarrow 150.0 \text{ mV} \rightarrow 15.0 \text{ mV}$$

Nota: Rising Time + basso $\rightarrow (3:4) \text{ ns}$ (per S_1)

$S_2 \rightarrow$ Rate troppo basso \rightarrow Mettiamo $\sim 30 \text{ mV}$ di soglia?

30.27 mV

$S_3 \rightarrow$ Lunghezza 10.5 cm, larghezza 1 cm

$$\rightarrow \text{TH3 } 299.5 \text{ mV} \rightarrow 29.95 \text{ mV}$$

$\times 10$

02/02

→ Prima Parte

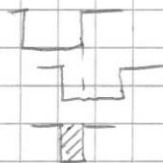
Mettiamo width di circa 30ns

$S_1 \rightarrow 30.0\text{ns}$

$S_2 \rightarrow 30.02\text{ns}$

→ All'oscilloscopio
vediamo meno di 1ns di diff.
fra i segn. → stesso tempo

Nota: LIN-OUT prende solo porzione sovrapposta



Con OUT invece si setta
width

(*) impulsatore
per testare ritardi
→ per split segn.
si usa LOGIC FAN-OUT

Vanno tappate le uscite non utilizz.!

S_1 e S_6 hanno circa 80ns, ma S_1 "oscilla" di 80ns

Mettiamo S_6 di width $\approx 80 \times 0.2\text{ns}$

→ Ritardo misurato di 65.6ns (6 (cavo) + ⁶⁰~~150~~ da
(*) test con impulsatore modulo)

$S_1 \rightarrow$ cavo 6ns + 32ns + ^{cavo} 2ns + 56ns + Modulo che
parte da 1.5ns

$S_2 \rightarrow$ Mettiamo lo stesso

(il CAEN N188A)
+ altro (MTO7-D7)
da 2.5ns

Misuriamo DELAY $S_1 \rightarrow$ Leggendo con altro cavo da 6ns

↓
105ns (✓)

Misuriamo DELAY $S_2 \rightarrow$ 105ns (✓)

Usi e AND $\rightarrow \sim 60\text{ns}$ triple
 $\sim 30\text{ns}$ doppie

Curva di efficienza

HV S_1 : 2100

S_2 : 2400

S_4 : 1300-1950 50 V steps

misure da 300 s

Iniziamo misura di ϵ con S_3 a 18.29

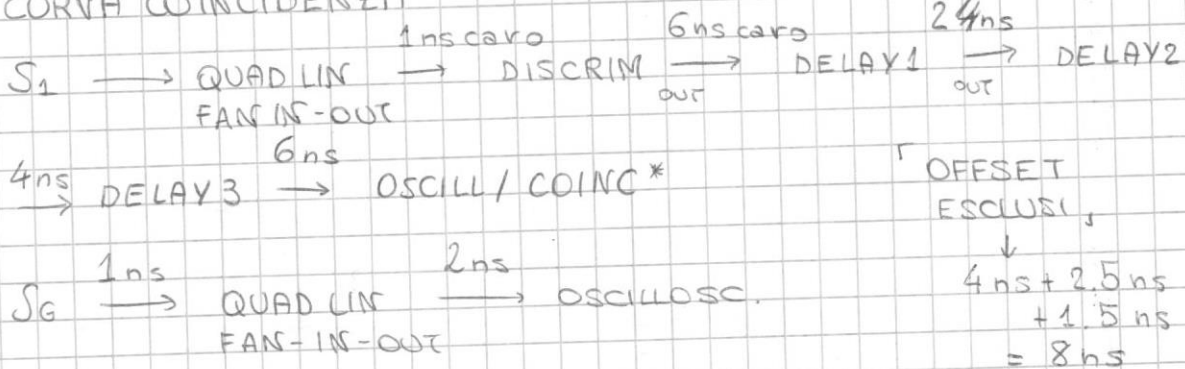


Primo DEL DISC ABBIAMO FAN IN FAN OUT

03/02

* c'è caro per scarica
ma è comune a S1 e S2
e non conta,

CURVA COINCIDENZA



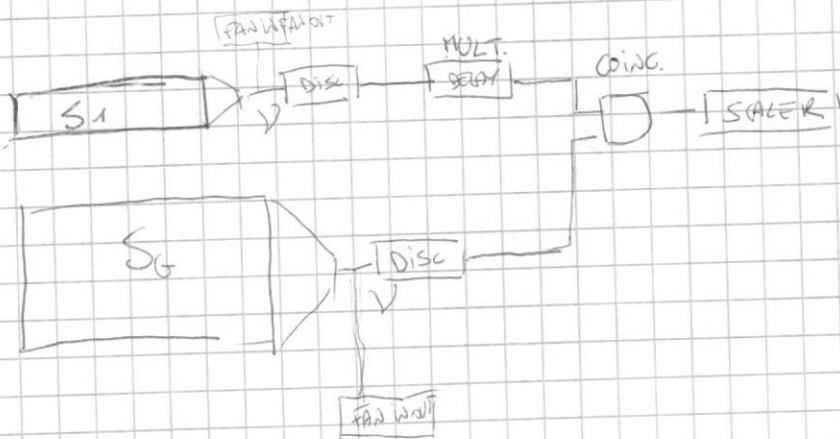
Cambiamo ampiezza S2 \rightarrow ~ 60 ns

Settiamo come 0 (16 ns + 32 ns) (cani e offset esclusi)

~~16/11~~

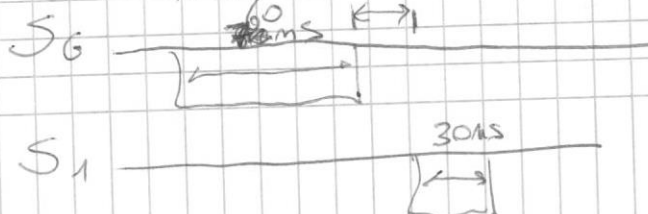
Nel plateau $\rightarrow \sim 3$ Hz \rightarrow Err. rel. 3% \leftrightarrow 1000 cont

$\rightarrow \sim 300$ s \rightarrow Poi aumentiamo ma incert. peggiora



N.B. Le misure effettuate per le curve di coincidenza
contano solo i rate ^{delle coincidenze} non abbiamo celle
per i rate dei singoli S1, S2

Tutto ok per misure centrali e misure
notte ~ 70 ms



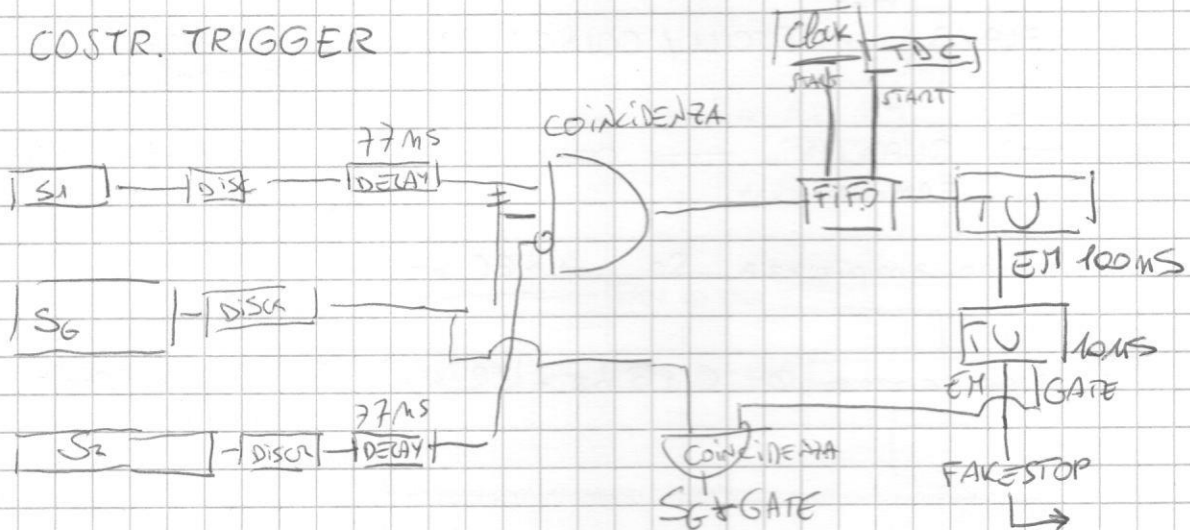
Coincidenze casuali 18:35

4/02

Ristabiliamo temporizzazioni di S_1 e S_2

$S_1, S_2 \rightarrow 6\text{ns} + 6\text{ns} + 1.5/\text{ns}/4 \rightarrow 65\text{ns modulo}$

COSTR. TRIGGER



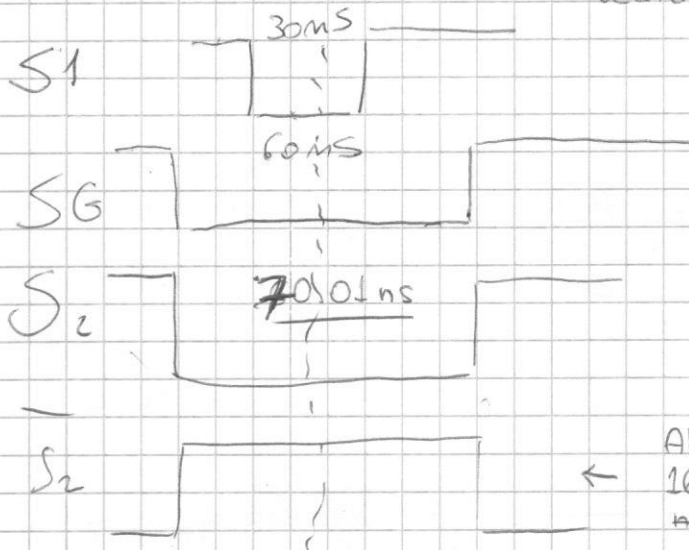
Sistemiamo width AND1 $\rightarrow 303\text{ns}$ (div. di 20)

Modulo T.U. Dual Timer

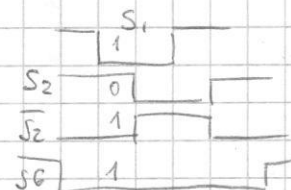
Scala grezza + Scala fine

Sopra scala $50\text{ns} + \text{scala fine } 180 \rightarrow 100\text{ns } 101\text{ns}$
delay
oscilloscopio

Delay + Gate di $10.10\mu\text{s}$ su
II T.Unit
Scala $4\mu\text{s}$



VETO con S_2 da
 30ns e delay di 77ns
come S_1



① qui segna
1 ma vorrei
avere 0!

Abbiamo tolto
 16ns altrimenti falliva
non il veto

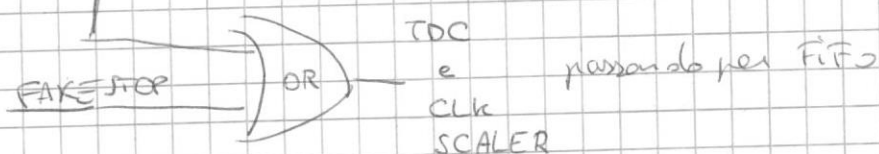
→ Anticipiamo di nuovo di 8 ns

width aumentata di 10 ns → width = 6970 ns

233 in 100 seconds rate di $S_1 * SG * S_2$, S_1 e S_2
 $S_1 * SG$

STOP

SG



~~Nota: START SG con carico da 6 ns~~
~~STOP (TRUE)~~

CLOCK → 10 MHz → Ris 100 ns

~~START~~

Preso quella dopo delay
in tempo con SG poi da AND1 carico a TDC!

Nota: START dato da S_1 → collegato a START con carico 6 ns
TDC

Invece lo STOP (quello TRUE dà il tempo)

→ Ha carichi da 1 + 2 + 6 ns

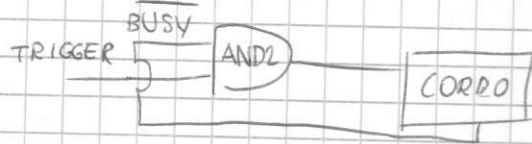
Sicuro il nostro errore sarà da minimo 3 ns!

Più tutti gli offset

Costruzione AND2

→ Il CORBO ha $\overline{\text{BUSY}} \rightarrow 0$ quando c'è lettura

→ lo mandiamo in coinc con trigger



Poi il BUSY serve agli scaler come VETO

Quindi lo splittiamo e prendiamo $\overline{\text{OUT}}$, cioè BUSY (il BUSY)

per VETO su SCALER

* Splittiamo anche TRIGGER (AND1) così lo inviamo a 2 scaler, uno retato con BUSY (no $\overline{\text{BUSY}}$)

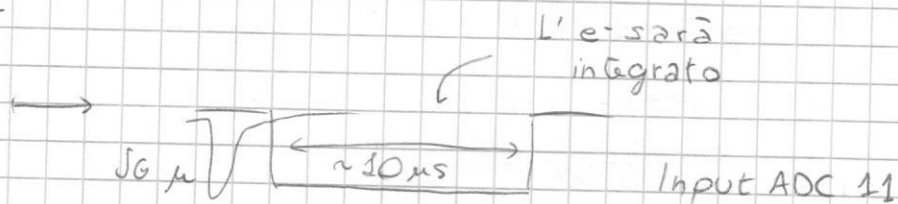
////

TEMPORIZZAZIONE ~~84~~ ADC

→ Sg analogico

Ritardiamo il GATE di altri $\sim 100\text{ns}$ così

il picco muonico rimane fuori e in caso c'è solo e^-



Invece S_1 è stato ritardato con CAVI (no moduli) in modo da essere dentro gate di $\sim 28\text{ns}$



Abbiamo messo gli START e le uscite che andavano alle Pattern Unit con input AND2 invece che AND1

↳ Invece ~~le imp~~, AND1 la continuiamo a usare su SCALER

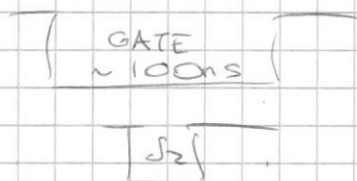
////

TEMPORIZZAZIONE PATT. UNIT

S₂ indica FLAG

Come GATE prendiamo OUT del primo Time Unit quindi ampiezza ~100 ns

↳ Suff. a contenere S₂ che però ~~va~~ è stato ritardato con altra A.T. Unit → Temporizz. su FOTO



Ora tolgo S₂ da AND1
→ Sostit. con FLAG

////

TRIGGER + IMPULSATORE

↳ Mettiamo impulsatore in AND con AND2, togliamo S₂ e togliamo AND1 da coine. AND2

↳ Utilizziamo solo impulsatore per fare acquisizione rapida e valutare fondo

↳ PIEDISTALLO ADC → Svincolato da muoni (uso impulsatore)

Freq. Impulsatore → ~400 Hz

↳ ~~largh. impulso~~

↳ Dist. fra due impulsi ~2 ns

→ run piedistallo 20210204 - 190959

Ora re includiamo TRIGGER ed escludiamo
impulsatore (sempre senza S2) ~~con BUCH~~

→ RUN a 18:35

Domani → gate a 6 μ s

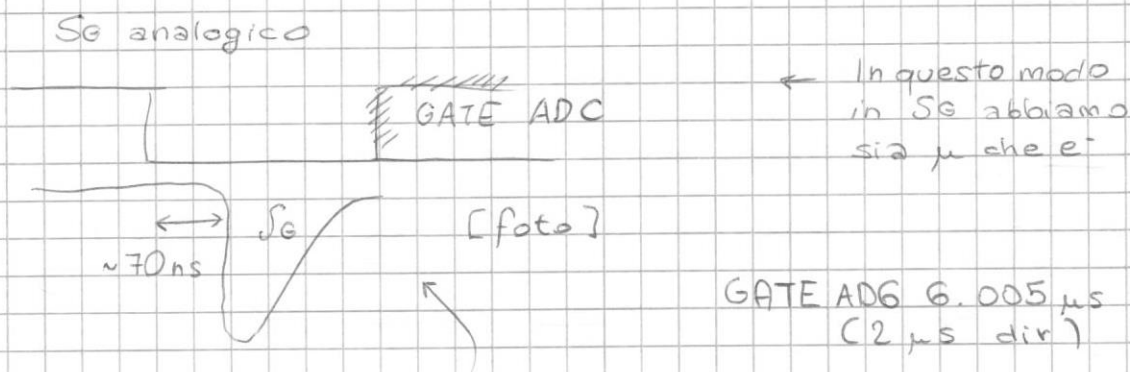
5/02

Splittiamo ~~il gate~~ AND2 introducendo un cavo da 1ns
e offset FAN IN - FAN OUT

Un'uscita va alla T.Unit con delay $\sim 100ns$ e
width $\sim 10\mu s \rightarrow$ che andrà in coincid. a $S_0(e^-)$
e poi a TDC e CLK SCALER

L'altra ~~va all'ADC~~ va in un'altra T.U. dove imposteremo
GATE per ADC di $\sim 10\mu s$ ma ~~senza~~ senza delay

\rightarrow In questo modo temporizziamo nuovamente ADC:



Risparmiamo su ritardi di S_2 in termini di cavi
che possiamo usare per S_0

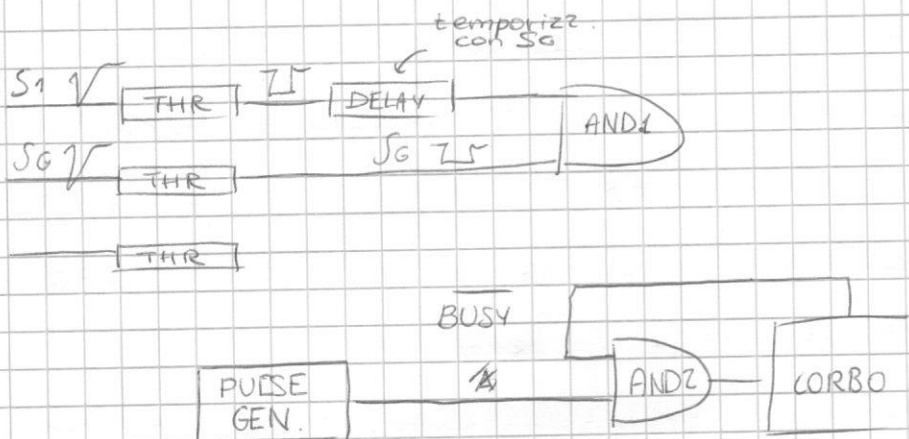
Anche S_2 è dentro di $\sim 70ns$ [foto]

Invece il GATE che andrà allo STOP TDC

$\rightarrow 6.008 \mu s$ (1 μs scala)

Rilanciamo run piedistallo

→ Mettiamo in coinc. impulsatore e $\overline{\text{busy}}$
senza AND1



COSTRUZIONE INDIRIZZO

VME → Supponendo che di avere VME P.V. (scheda su camp.)
e che la funzione sia 0x28 (legge molteplicità)

→ ADDRESS (32 BIT) = 0x 00 BASE ADDR 28

non usati
→ servono per arrivare a 32
16 bit = 2 byte
= 4 n° esad.
→ es. 0x1234

CAMAC

→ Addressing a 24 BIT
branch 0 pos 9 dec → (01001) bin

10 000 001 01001 1111 00010 10

scelti da costr. crate 1 channel 15 funzione 2

Letture a 16 bit

Come si Legge? A byte

10 00 0001 0100 1111 1000 1010

(8) HEX (1) HEX (4) HEX (F) HEX (8) HEX (A) HEX

→ Leggiamo 0x 00814F8A
per arriv. a 32

OPERAZIONI & e |

Supponiamo di avere 10101

→ 10101
 &
 11100

10101
 1
10010

→ 10100

→ con "&"

posso separare

~~il~~ il binario

→ 10111

con "1" faccio
una "somma"

p	q	p and q	p or q
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	1