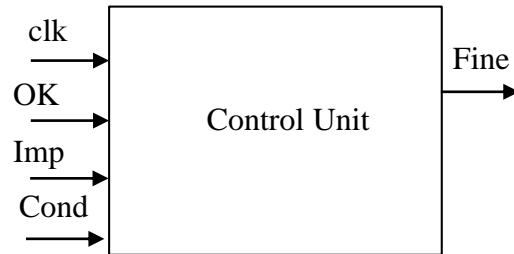
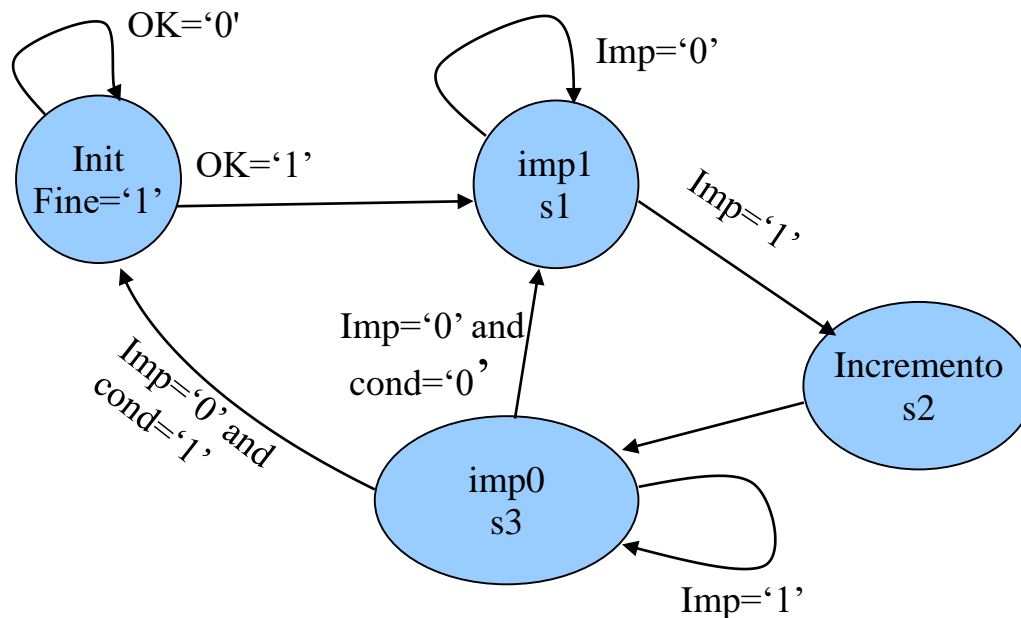

ESEMPI VHDL

ESERCIZIO 7: CONTROL UNIT

- ✦ Modellare in VHDL una unità di controllo caratterizzata dalla seguente interfaccia:



il cui comportamento è descritto dal seguente diagramma degli stati (Macchina di Moore).

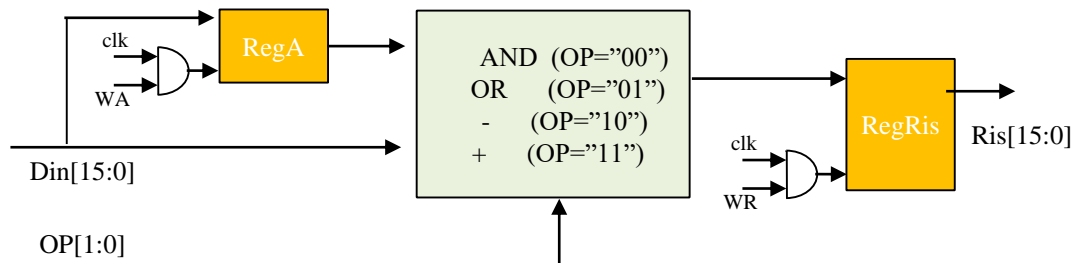


ESERCIZIO 8: COMPITO 26/01/2021 T2

Data l'entity

```
Entity DPath is
Port(      Din: in std_logic_vector(15 downto 0);
          OP: in std_logic_vector(1 downto 0);
          Clk,WA, WR: in std_logic;
          Ris: out std_logic_vector(15 downto 0)
);
End DPath;
Architecture beh of DPath is
begin
--
end beh;
```

descrivere in VHDL il comportamento descritto dal seguente schematico



ESERCIZIO 9: COMPITO 26/01/2021 T1

Data l'entity

```
Entity CU is
Port(
    stato:    in std_logic_vector(1 downto 0);
    en,cnt:    in std_logic;
    WA, WB, Exe, Ready: out std_logic);
End CU;
Architecture beh of CU is
begin
--
end beh;
```

descrivere in VHDL il comportamento descritto dalla seguente tabella

stato	en	cnt	WA	WB	Exe	Ready
00	-	-	0	0	0	1
01	0	-	1	0	0	0
01	1	-	1	1	0	0
10	-	-	0	1	0	0
11	-	0	0	0	0	0
11	-	1	0	0	1	0

ESERCIZIO 10: COMPITO 31 GENNAIO 2020

Data l'entity

Entity Datapath is

```
Port(      D: in std_logic_vector(15 downto 0);  
        clk,WA,WS,Wp: in std_logic;  
        RIS: out std_logic_vector(15 downto 0);
```

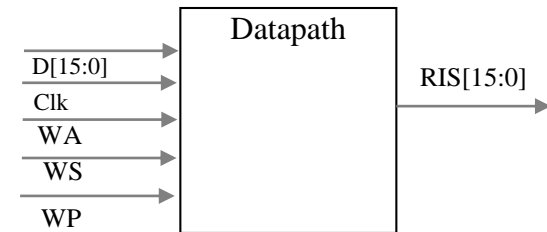
```
End DataPath;
```

Architecture beh of Datapath is

```
begin
```

```
--
```

```
end beh;
```



modellare in VHDL un sistema il cui comportamento è descritto dalla seguente schematico

