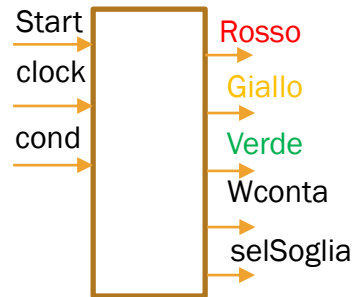
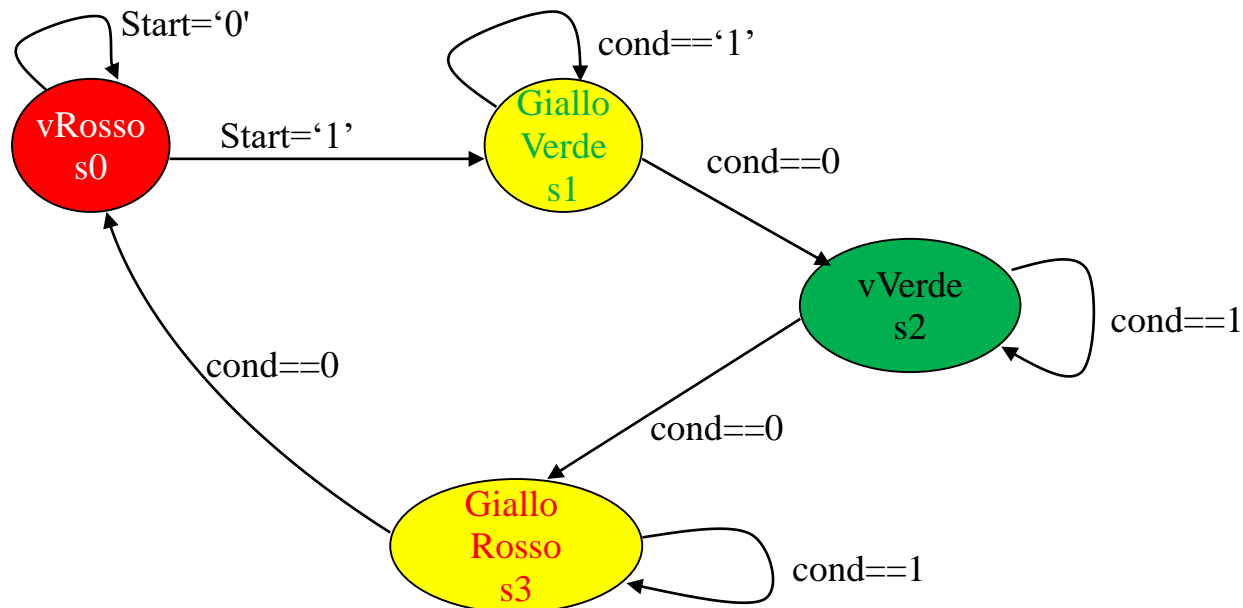

Esempi di esercizi VHDL

ESERCIZIO 1 CU SEMAFORO

Modellare in VHDL una unità di controllo caratterizzata dalla seguente interfaccia :



il cui comportamento è descritto dal seguente diagramma degli stati (Macchina di Moore).



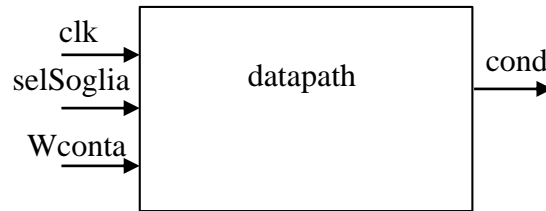
ESERCIZIO 1 CU SEMAFORO

L'unità di controllo deve produrre le seguenti uscite

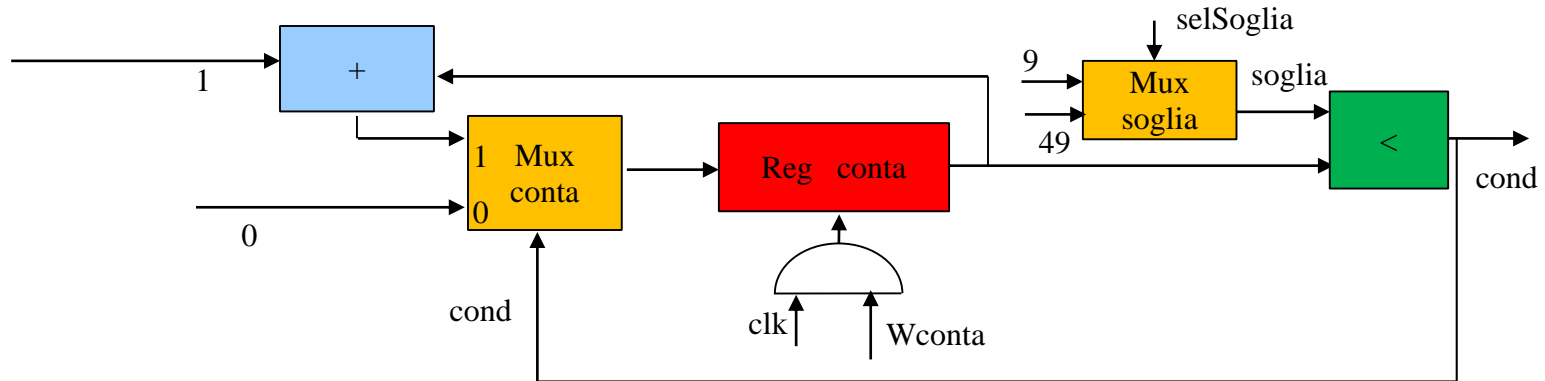
Stato	Wconta	selSoglia	Rosso	Giallo	Verde
vrosso	0	0	1	0	0
gialloverde	1	0	0	1	0
vverde	1	1	0	0	1
giallorosso	1	0	0	1	0

ESERCIZIO 2 DATAPATH SEMAFORO

- ✗ Modellare in VHDL un sistema (datapath) caratterizzato dalla seguente interfaccia :



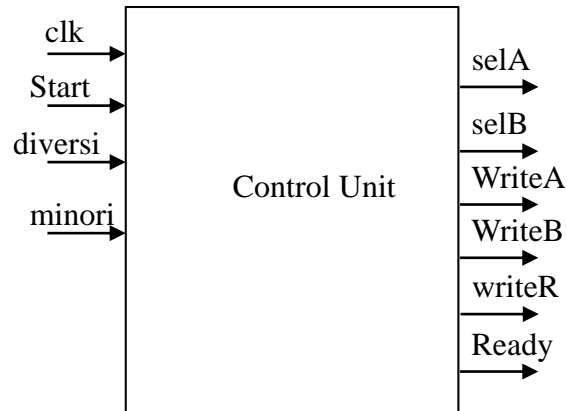
- ✗ Il cui comportamento è descritto dal seguente schematico



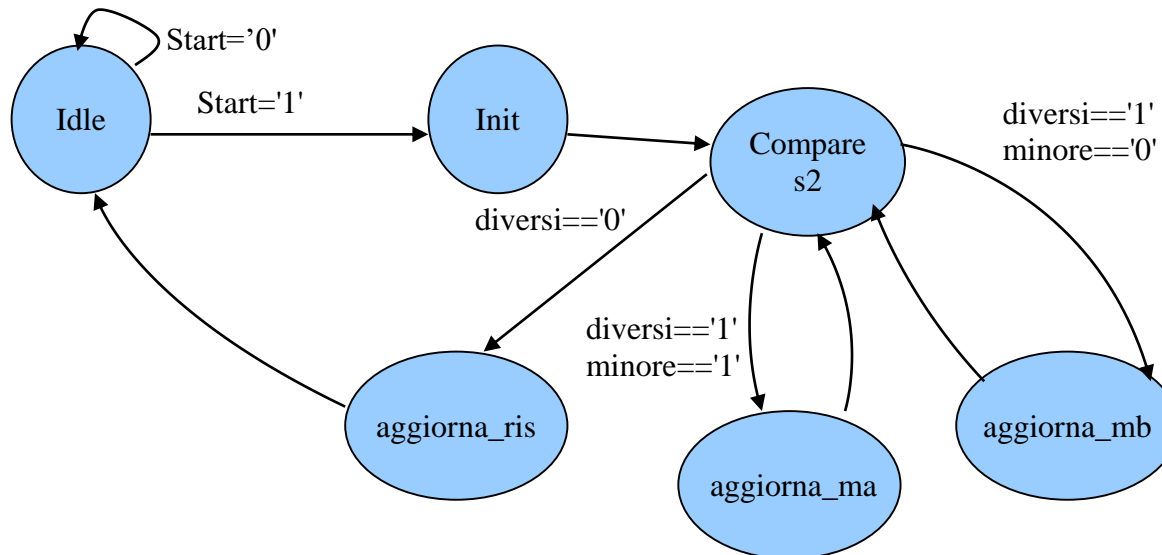
- ✗ Soglia è uguale a 9 quando `selSoglia='0'`, 49 altrimenti.
- ✗ Cond è uguale a '1' se conta è minore soglia, altrimenti vale '0'

ESERCIZIO 3 CU MCM

- ✘ Modellare in VHDL una unità di controllo caratterizzata dalla seguente interfaccia:



il cui comportamento è descritto dal seguente diagramma degli stati (Macchina di Moore).



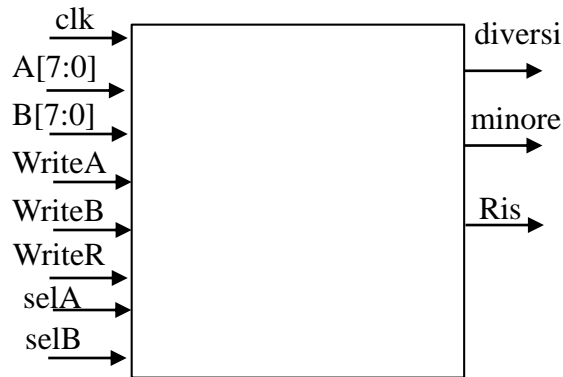
ESERCIZIO 3 CU MCM

L'unità di controllo deve produrre le seguenti uscite

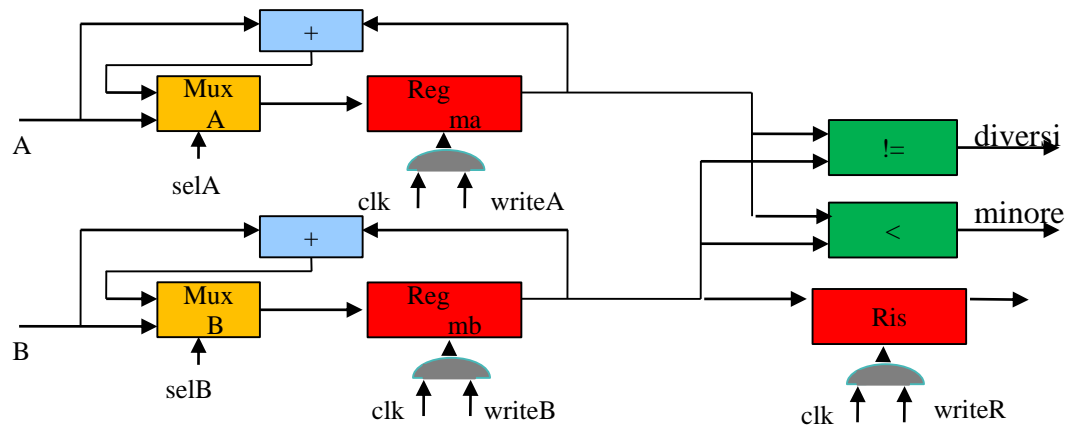
Stato	selA	selB	WriteA	writeB	writeR	Ready
Idle	0	0	0	0	0	1
init	0	0	1	1	0	0
compare	1	1	0	0	0	0
Aggiorna_ma	1	1	1	0	0	0
Aggiorna_mb	1	1	0	1	0	0
Aggiorna_ris	1	1	0	0	1	0

ESERCIZIO 4 DATAPATH MCM

- ✗ Modellare in VHDL un sistema digitale (datapath) caratterizzato dalla seguente interfaccia :



il cui comportamento è descritto dal seguente schematico.



Se $\text{selA} = '0'$ viene selezionato A , altrimenti il risultato della somma.

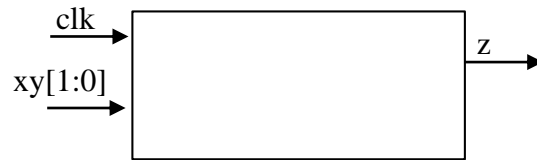
Se $\text{selB} = '0'$ viene selezionato B , altrimenti il risultato della somma.

$\text{diversi} = '1'$ se ma è diverso da mb , altrimenti $'0'$;

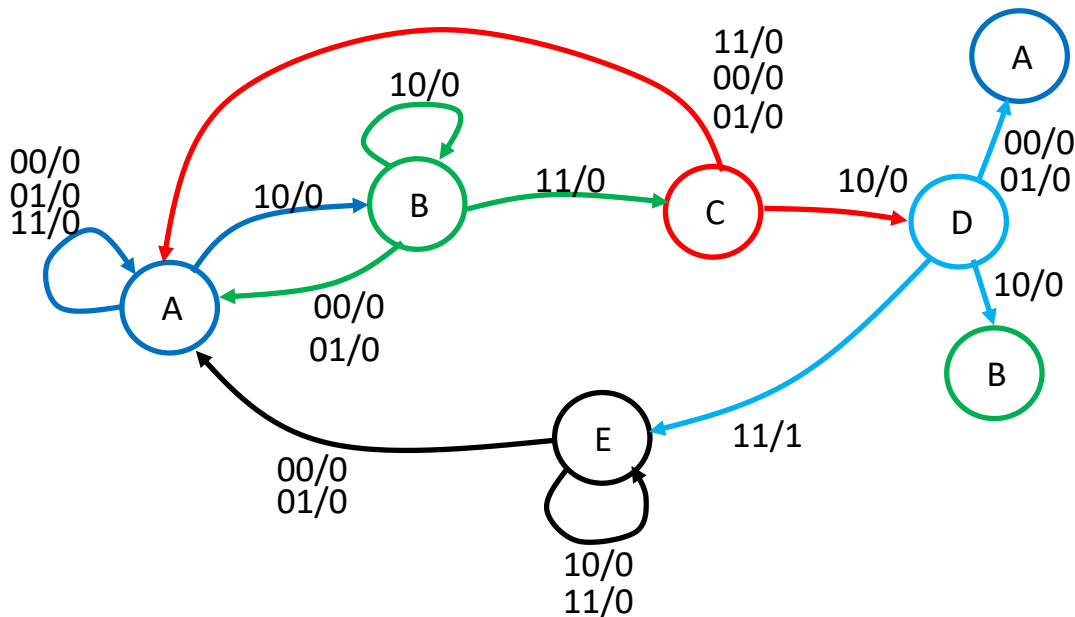
Minori $= '1'$ se ma è minore di mb , altrimenti $'0'$

ESEMPIO 5 FSM

Modellare in VHDL un sistema caratterizzato dalla seguente interfaccia :



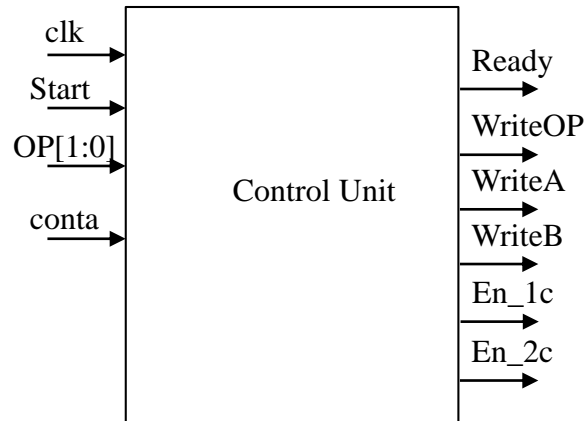
il cui comportamento è descritto dalla seguente macchina di Mealy



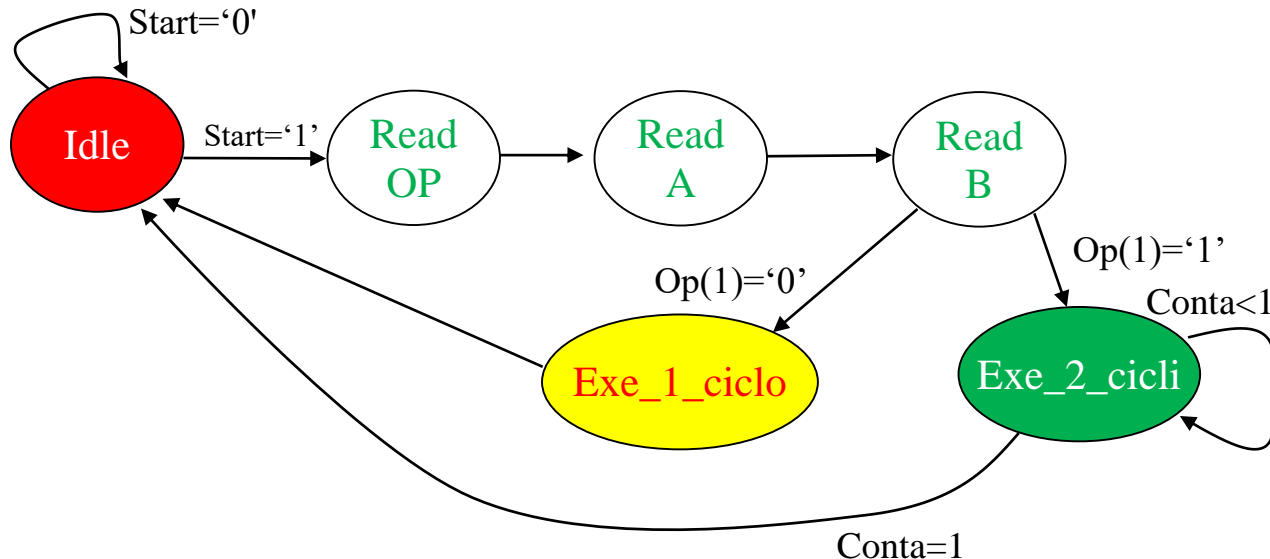
Stato	00	01	11	10
A	A/0	A/0	A/0	B/0
B	A/0	A/0	C/0	B/0
C	A/0	A/0	A/0	D/0
D	A/0	A/0	E/1	B/0
E	A/0	A/0	E/0	E/0

ESERCIZIO 6 CU COMPITO 24/10/19

- ✗ Modellare in VHDL una unità di controllo caratterizzata dalla seguente interfaccia :



il cui comportamento è descritto dal seguente diagramma degli stati (Macchina di Moore).



ESERCIZIO 6 CU COMPITO 24/10/19

L'unità di controllo deve produrre le seguenti uscite

Stato	WriteOP	WriteA	WriteB	En_1C	En_2c	Ready
Idle	0	0	0	0	0	1
Read Op	1	0	0	0	0	0
Read A	0	1	0	0	0	0
Read B	0	0	1	0	0	0
Exe_1c	0	0	0	1	0	0
Exe_2c	0	0	0	0	1	0