

Progetto

Specifiche di progetto

Obiettivo del progetto è quello di realizzare un amplificatore operazionale con stadio di ingresso a pmos e stadio di uscita in classe A.

Lo specchio che fornisce la corrente allo stadio differenziale di ingresso è realizzato con transistori pmos, mentre lo specchio che fornisce il segnale allo stadio d'uscita è realizzato con transistori nmos.

Lo schema circuitale ed il suo parziale dimensionamento fanno parte delle specifiche, mentre la determinazione delle larghezze W di tutti i transistori per stabilire l'*aspect ratio* (W/L) di ogni transistore, fissata una $V_{GS} - V_T$ desiderata di 200mV, è stato compito del progetto.

Il successivo passo, dopo il dimensionamento della rete e dopo la verifica in *LTspice XVII* del corretto funzionamento del circuito tramite le simulazioni, è quello di disegnare la cella usando il software freeware *Glade*, programma molto simile al *tool* grafico offerto dall'ambiente di progettazione *Cadence*, rispettando nel disegno tutte le *constraints* fornite dal *Design Rule Manual* DRM creato e fornito dal Professore. Una volta disegnata la cella, è richiesta la verifica della corrispondenza di quest'ultima con lo schema di partenza estrapolando il *Layout Versus Schematic* ed effettuando il confronto.

Specifiche

- $V_{DD} = 2.5V$
- $I_0 = 40 \mu A$
- $I_{01} = 50 \mu A$
- $L = 1 \mu m$
- $V_{OVERDRIVE} = V_{GS} - V_T = 200 mV \pm 20 mV$

Come si vede dallo schematico in fig.1 lo specchio composto dai transistori M8 e M7 deve realizzare un *current magnifier* 1:2, guadagnando così un risparmio in potenza statica ottenuto diminuendo la corrente I_{BIAS} .

In uscita avremo che $V_{OUT} = g_{m5} * V_1 * r_{d5} // r_{d6}$

E che $V_1 = V_d * g_{m1} * r_{d2} // r_{d4}$, dove $V_d = V_{i2} - V_{i1}$

Dunque, $V_{OUT} = (g_{m5} * g_{m1} * r_{d2} // r_{d4} * r_{d5} // r_{d6}) * V_d$

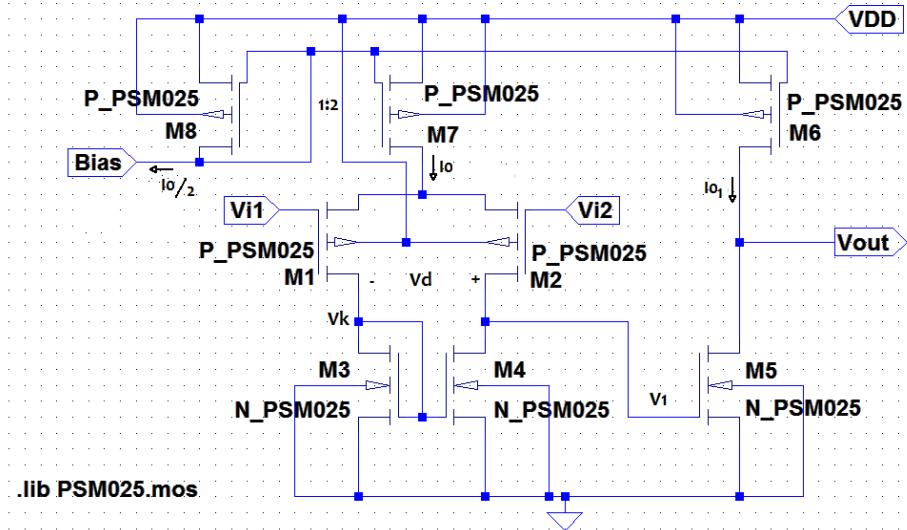


fig.1

Dimensionamento

Dobbiamo far sì che a riposo, quando applico una tensione differenziale, tutti i transistori siano in saturazione.

$$\text{per } V_d = 0 \text{ si ha che: } I_{D1} = I_{D2} = \frac{I_0}{2}$$

e $V_k = V_1$ la quale non è una simmetria topologica ma una simmetria elettrica, da questa simmetria concludiamo che $V_{GS3} = V_{GS5}$

$$V_{GS3} - V_T = V_{GS5} - V_T \Rightarrow \sqrt{\frac{2I_{D3}}{\beta_3}} = \sqrt{\frac{2I_{D5}}{\beta_5}} \Rightarrow I_{D5} = \frac{I_{D3} * \beta_5}{\beta_3}$$

Dal circuito vediamo anche che $I_{D3} = I_0/2$ e che $I_{D5} = I_{D6}$, per analogia al calcolo sovrastante si ha che:

$$I_{D5} = I_{D6} = \frac{I_0 * \beta_6}{\beta_7}$$

M3,M4:

Vogliamo che $V_{GS} - V_T = 200 \text{ mV}$ e sappiamo che al punto di riposo $I_{D3} = I_{D1} = I_0/2 = 20 \mu\text{A}$

$$\text{Dunque, } \left(\frac{W}{L}\right)_3 = \frac{\frac{2 * I_{D3}}{(V_{GS} - V_T)^2} * 1}{\mu_n * c_{ox}}, \text{ dove il valore tipico di } \mu_n * c_{ox} = 240 * 10^{-6} \frac{A}{V^2} \text{ (dal DRM)}$$

Facendo i calcoli si trova che $(\frac{W}{L})_3 = \frac{25}{6}$ dunque $w_3 = 4.15 \mu m$, a tale valore di larghezza del canale si ricavano tramite simulazione una $V_{GS3} = 0.646 V$ e una $V_T = 0.423 V$.

$V_{GS} - V_T = 0.223 V$ che non rientra nel range della tolleranza accettata.

Applicando la formula $(\frac{W}{L})_3 = (\frac{W}{L})_3 * \left[\frac{(V_{GS} - V_T)^*}{(V_{GS} - V_T)} \right]^2$ troviamo che $(\frac{W}{L})_3 = 5.1801$, con il quale tramite simulazione otteniamo $V_{GS3} = 0.623 V$ e $V_T = 0.423 V$ che ci danno una tensione di *overdrive* di 200mV come desiderato. Avendo una risoluzione minima in *Glade* di $0.05 \mu m$ scegliamo come valore $(\frac{W}{L})_3 = 5.15$.

Dunque, $W_3 = W_4 = 5.15 \mu m$.

M1, M8:

$$(\frac{W}{L})_1 = \frac{(\frac{W}{L})_3 * \mu_n}{\mu_p}$$

Sapendo dal DRM che $\mu_p * c_{ox} = 50 * 10^{-6} \frac{A}{V^2}$, troviamo facendo i calcoli che: $(\frac{W}{L})_1 = 24.72$. Iterando per due volte il procedimento proporzione/simulazione visto analiticamente nel caso precedente del transistore M3 otteniamo infine un valore di $W_1 = 17.15 \mu m$ per il quale si ha $V_{GS1} = 0.765 V$ e $V_T = -0.567 V$, da cui otteniamo una tensione di *overdrive* di 0.198V che è accettabile.

Dunque:

- $W_3 = 5.15 \mu m$
- $W_1 = 17.15 \mu m$
- $W_2 = W_1 = 17.15 \mu m$
- $W_8 = W_1 = 17.15 \mu m$
- $W_7 = 2W_8 = 34.30 \mu m$
- $W_6 = \frac{5}{2}W_8 = 42.9 \mu m$
- $W_5 = \frac{5}{2}W_3 = 12.9 \mu m$
- $W_4 = W_3 = 5.15 \mu m$

Simulazioni

Una volta dimensionato lo schematico, è stato creato il simbolo (X1, come vediamo in fig.2) ed è stato realizzato un *test bench* per verificarne il guadagno e l'assenza di offset.

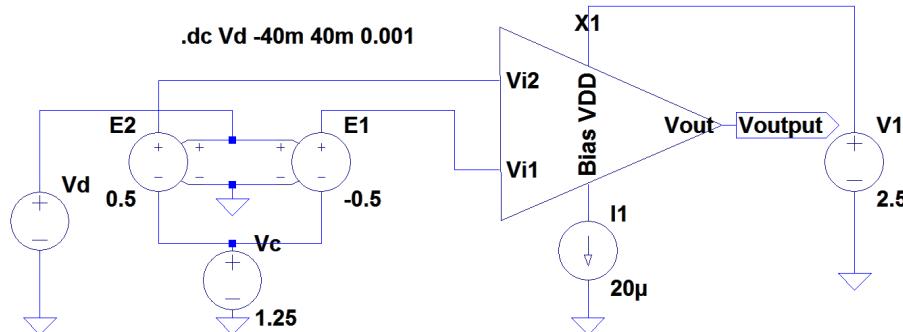


fig.2

Dalla simulazione si osserva un guadagno differenziale maggiore di 1000, come era stato previsto in fase di dimensionamento e precisamente dalla simulazione otteniamo 1139.81 (fig.3).

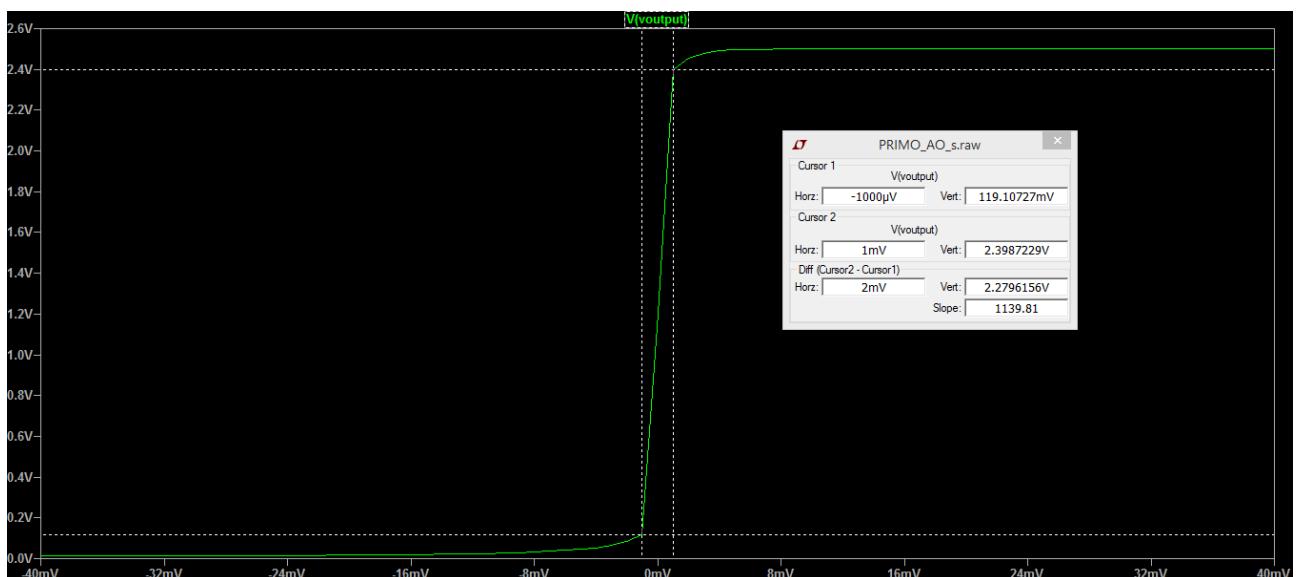


fig.3

Successivamente l'amplificatore operazionale è stato montato a buffer, pilotando l'ingresso con un segnale *DC sweep* che va da 0 a 2.5V con passo lineare. In uscita è stato messo in serie un carico di $20K\Omega$ e per dare la possibilità all'amplificatore operazionale di poter erogare oppure assorbire corrente è stato introdotto in serie al carico un generatore di tensione che imposta il valore della tensione a metà dinamica e cioè 1.25V (fig.4).

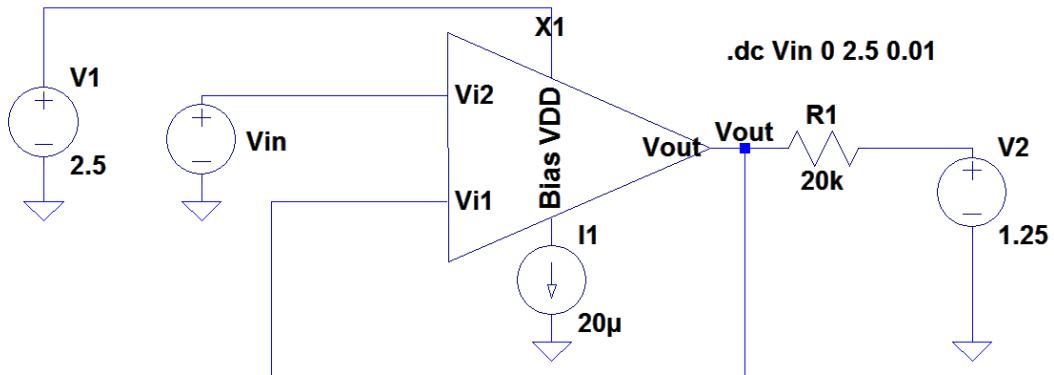


fig.4

Come si può notare dal grafico che rappresenta l'andamento della V_{out} al variare della V_{in} (fig.5), abbiamo uno scostamento dalla bisettrice sia per quanto riguarda i bassi che per quanto riguarda gli alti valori di tensione d'ingresso. Per quanto riguarda i bassi valori questo è dovuto all'ingresso del transistore M5 nella zona triodo, il quale per far sì che lo stadio di uscita possa assorbire una corrente tale da abbassare la V_{out} a valori tendenti allo zero, deve mantenere una tensione V_{DS5} diversa da zero (intorno agli 80mV). Nel caso invece delle tensioni alte, lo stadio di uscita ha uno specchio dimensionato per poter erogare una corrente massima di uscita di $50\mu A$, di conseguenza la massima variazione verso l'alto non può superare il valore di $20\text{ k}\Omega \times 50\mu A = 1\text{ V}$, per questo motivo il valore massimo di tensione in uscita è all'incirca 2.21V, in accordo con il risultato teorico di $1.25\text{ V} + 1\text{ V} = 2.25\text{ V}$ (fig.5).

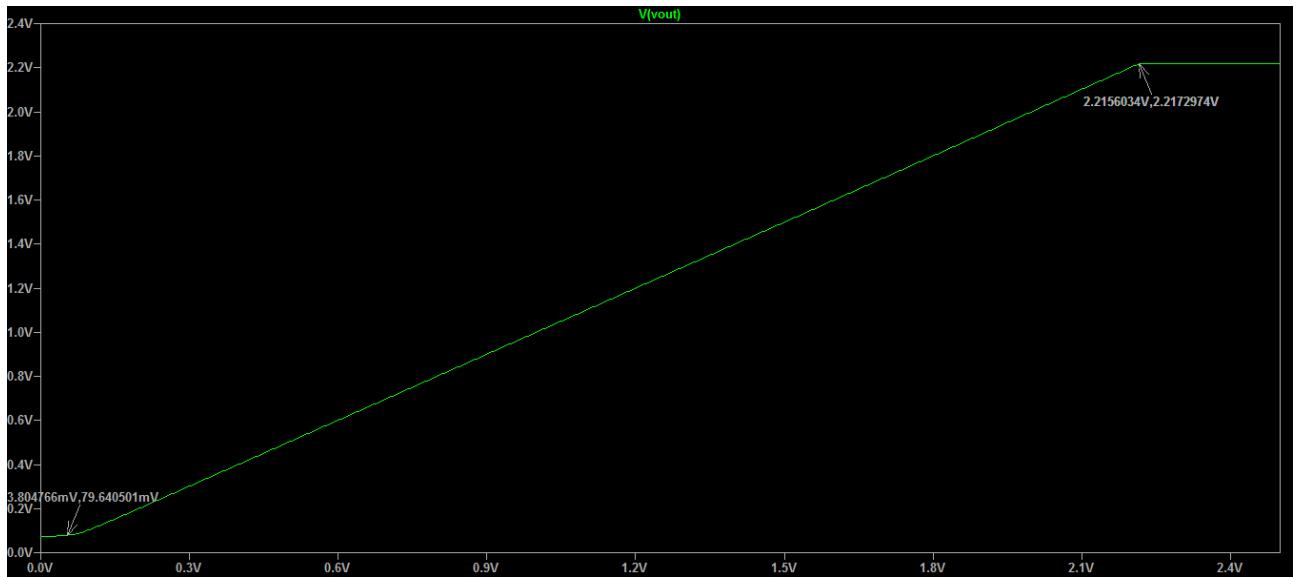


fig.5

È stata poi usata la stessa configurazione circuitale mettendo questa volta un carico in uscita di $2\text{M}\Omega$ (fig.6).

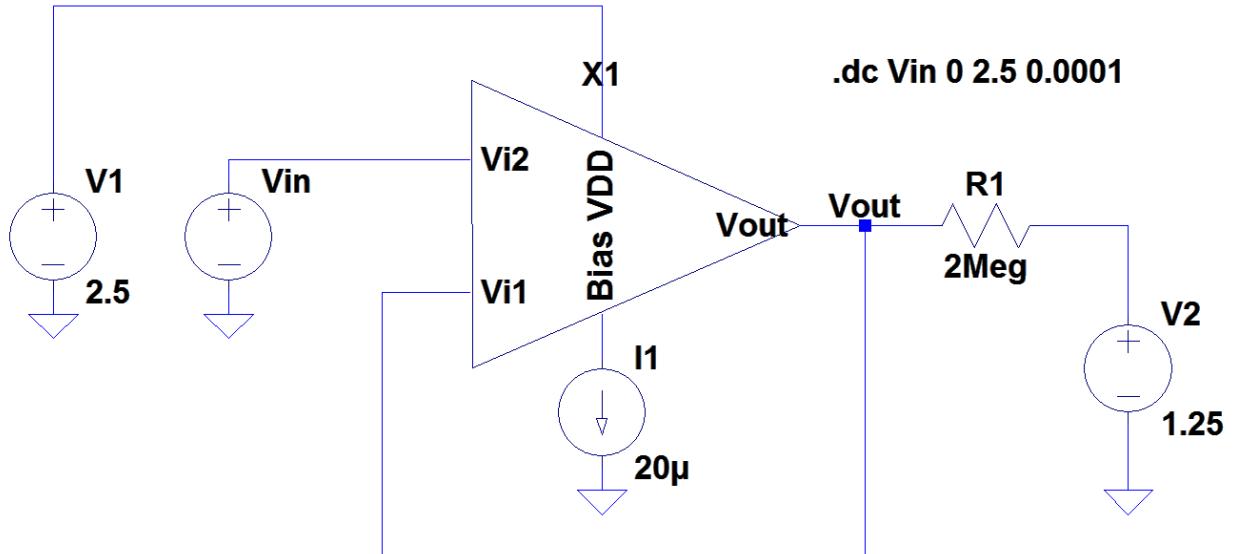


fig.6

In questo caso inserire un carico di $2M\Omega$ equivale ad avere un amplificatore operazionale con uscita flottante. Come si può vedere da fig.7 ho dei punti che si discostano dalla bisettrice nei due punti contrassegnati dalle frecce.

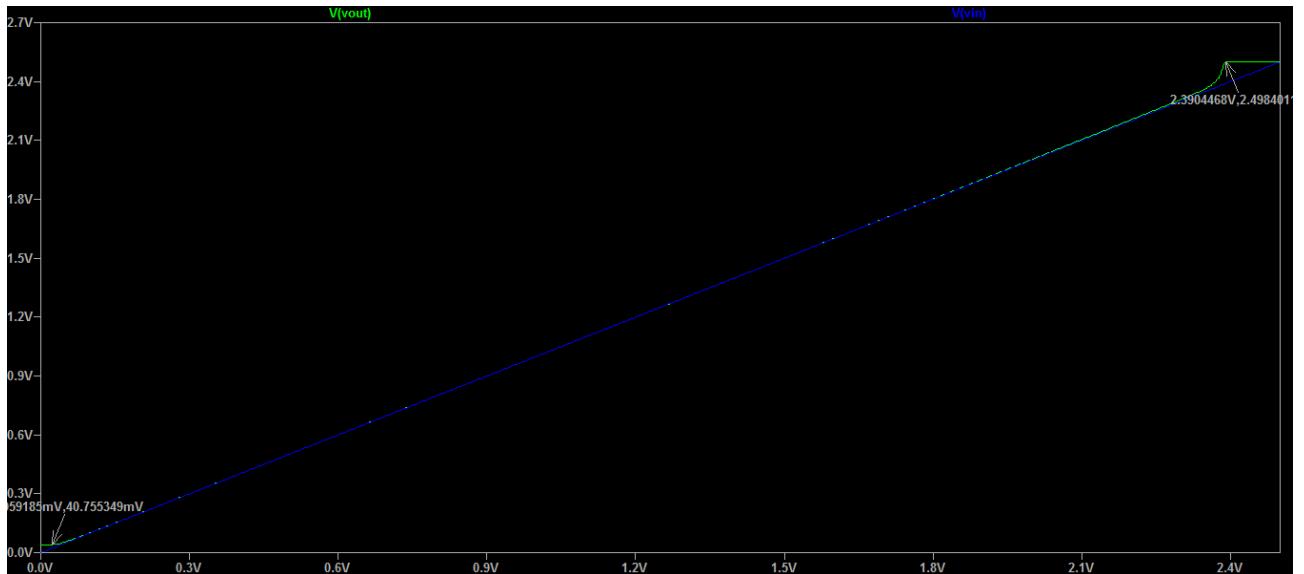


fig.7

Come vediamo da fig.7 intorno alla tensione di 2.4V abbiamo che la tensione in uscita ha già raggiunto il valore massimo, questo potrebbe esser dovuto al fatto che visto che il mosfet M6 passa a lavorare da zona di saturazione a zona triodo, la resistenza differenziale nella transizione diminuisce repentinamente, ciò fa sì che la tensione in uscita viene a coincidere praticamente con la tensione di alimentazione V_{DD} .

Layout

Dopo il dimensionamento e le simulazioni per verificare il corretto funzionamento dell'amplificatore è stato realizzato il *layout* tramite il CAD di disegno freeware *Glade*.

Sono state rispettate le *constraints* secondo il documento DRM fornito dal professore.

In più per ogni singolo mosfet è stato inserito il corrispettivo doppio anello di guardia come descritto nel DRM.

Per mantenere nell'amplificatore rapporti precisi, quest'ultimo è stato costruito in modo modulare, come si può vedere nel seguente schematico (fig.8).

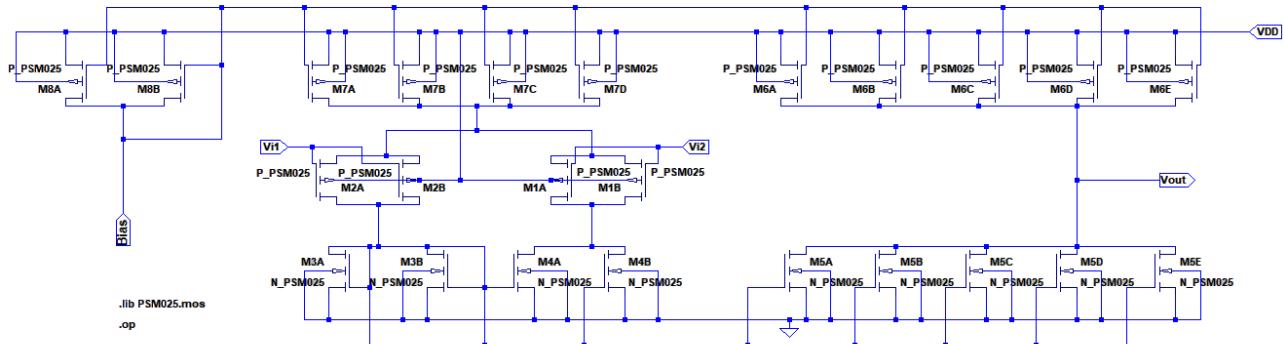


fig.8

E' stata scelta come cella unitaria per i transistori PMOS M6,M7,M8 ed M1,M2 una cella con valore di $W= 8.5\mu m$, e sono stati creati gli opportuni rapporti tramite multipli di questa cella unitaria (i rapporti desiderati sono 5:4:2:2:2 rispettivamente), mentre per i transistori NMOS M3, M4 ed M5 è stata scelta come cella unitaria una cella con $W=2.6\mu m$ (i rapporti desiderati tra i tre transistor sono 2:2:5 rispettivamente).

Nella figura successiva si osserva in dettaglio il *layout* di una delle celle base del transistore PMOS M8, M8A (fig.9).

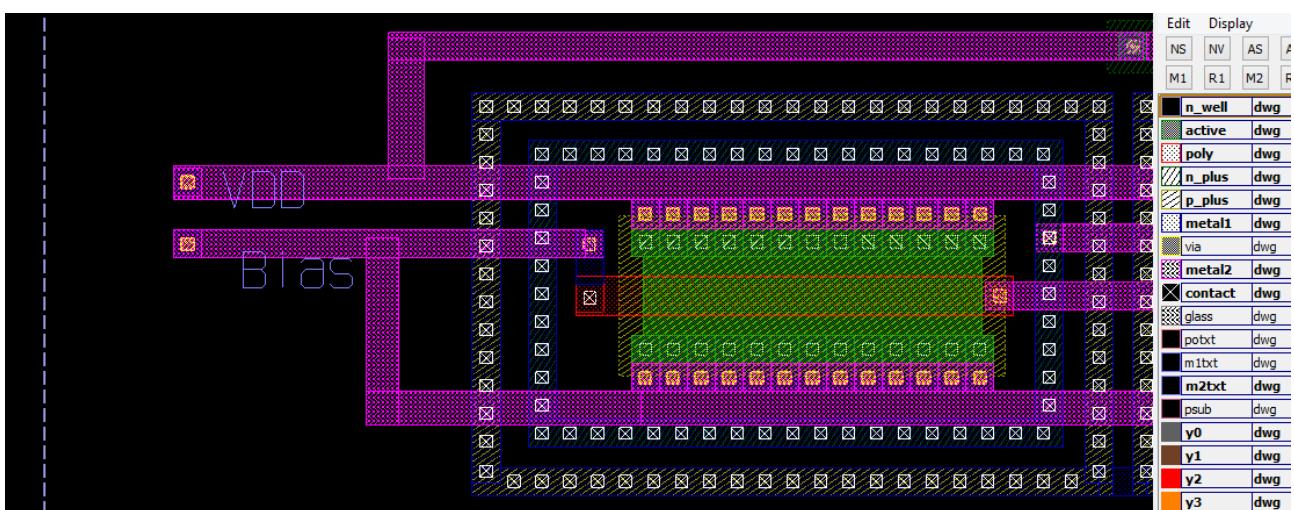


fig.9

Di seguito viene riportato il layout dell'intero amplificatore operazionale (fig.10).



fig.10

In conclusione è stato effettuato sia il controllo DRC che LVS i cui i file sono stati inseriti nella pagina a seguire:

DRC:

```
>>> ui().verifyDRCRun()
>>> # INFO: Connectivity analysis will use 2 threads
# INFO: Build connectivity graph, 8 tasks
# INFO: Extract connectivity graph...
Check n_well
Check active
Check poly
Check p_plus
Check n_plus
Check contact
Check metall1
Check via
Check metall2
No Errors Detected
ui().winFit()
>>> >>> # INFO: DRC run completed
```

LVS:

```
Graph "C:\Users\enrico\Desktop\layout_gori\layout_extracted.cdl": Number of devices: 24
Number of nets: 9

Graph "C:\Users\enrico\Desktop\layout_gori\Draft1.cir": Number of devices: 24
Number of nets: 9

These circuits contain some symmetry (72% nodes not yet matched).
Gemini will attempt to find a valid match for symmetrical nodes.
#####
0 size warnings.
0 (0%) matches were found by local matching
All nodes were matched in 9 passes

0 devices and 0 nets written to C:\Users\enrico\Desktop\layout_gori\layout.err

# INFO: LVS finished with exit code 0
# INFO: LVS completed.
```

Da cui si accerta l'equivalenza schematico/layout.