



UNIVERSIDAD NACIONAL AUTÓNOMA DE
MÉXICO

FACULTAD DE INGENIERÍA

SEMESTRE 2024-1

SISTEMAS OPERATIVOS

GRUPO 06

PROFESOR: ING. GUNNAR EYAL WOLF
ISZAEVICH

**ANDROID AND RISC-V WHAT YOU
NEED TO BE READY**

LARA AGUILAR CHRISTIAN ABRAHAM
MARTÍNEZ VILLEGAS PEDRO

Antecedentes necesarios

¿Qué es un conjunto de instrucciones?

Un conjunto de instrucciones es una especificación que detalla las instrucciones que una unidad central de procesamiento (CPU) puede entender y ejecutar, o el conjunto de todos los comandos implementados por un diseño particular de una CPU. El conjunto de instrucciones describe los aspectos del procesador generalmente visibles para un programador, como los tipos de datos, las instrucciones, los registros, la arquitectura de memoria y las interrupciones. El conjunto de instrucciones también se conoce como código máquina o lenguaje ensamblador.

Existen diferentes tipos de conjuntos de instrucciones, como CISC (Computadoras de Conjunto de Instrucciones Complejas), RISC (Computadoras de Conjunto de Instrucciones Reducidas) y VLIW (Palabra de Instrucción Muy Larga). Cada tipo tiene sus ventajas y desventajas en términos de complejidad, rendimiento y eficiencia. Por ejemplo, RISC se utiliza en ordenadores de sobremesa y portátiles para ahorrar energía y mejorar el rendimiento, mientras que CISC se utiliza en ordenadores más potentes y versátiles.

El conjunto de instrucciones es la parte de la CPU que contiene las instrucciones que la CPU puede ejecutar. El conjunto de instrucciones suele estar almacenado en la memoria de la CPU. El conjunto de instrucciones se puede dividir en varias categorías, como instrucciones de transferencia de datos, instrucciones aritméticas, instrucciones lógicas, instrucciones de transferencia de control, instrucciones de cadena e instrucciones de entrada/salida. Estas instrucciones se utilizan para realizar operaciones básicas con los datos de los registros y la memoria, o para comunicarse con los dispositivos de hardware.

¿Cómo afecta la arquitectura del procesador al rendimiento del sistema?

La arquitectura del procesador es el diseño y la organización de los componentes internos que determinan las características y el funcionamiento del mismo. La arquitectura del procesador afecta al rendimiento del sistema de varias formas, como se explica a continuación:

- *El número y el tipo de núcleos e hilos:* Los núcleos son las unidades de procesamiento independientes que pueden ejecutar instrucciones simultáneamente. Los hilos son las subdivisiones lógicas de los núcleos que permiten optimizar el flujo de trabajo y aprovechar mejor los recursos del procesador. Cuantos más núcleos e hilos tenga un procesador, mayor será su capacidad para realizar múltiples tareas al

mismo tiempo, lo que se traduce en un mayor rendimiento del sistema, especialmente en aplicaciones que requieren un alto grado de paralelismo.

- *La frecuencia y el turbo:* La frecuencia es la velocidad a la que el procesador realiza las operaciones por segundo, medida en hercios (Hz). El turbo es una función que permite al procesador aumentar temporalmente su frecuencia por encima de la nominal cuando se necesita más potencia, siempre que se cumplan ciertas condiciones de temperatura y consumo. Cuanto mayor sea la frecuencia y el turbo de un procesador, mayor será su rendimiento en aplicaciones que requieren una alta velocidad de cálculo, siempre que no haya cuellos de botella en otros componentes del sistema.

- *El tamaño y la velocidad de la caché:* La caché es una memoria interna del procesador que almacena temporalmente las instrucciones y los datos más utilizados, para que el procesador pueda acceder a ellos rápidamente sin tener que recurrir a la memoria RAM o al disco duro. El tamaño de la caché se mide en bytes (B) y la velocidad en nanosegundos (ns). Cuanto mayor sea el tamaño y la velocidad de la caché de un procesador, menor será el tiempo que tarda en procesar la información, lo que se traduce en un mayor rendimiento del sistema, especialmente en aplicaciones que requieren una alta frecuencia de acceso a la memoria.

- *La arquitectura y la litografía:* La arquitectura es el conjunto de instrucciones y características que definen el funcionamiento y la compatibilidad de un procesador. La litografía es el proceso de fabricación que determina el tamaño de los transistores y los circuitos integrados del procesador, medido en nanómetros (nm). Cuanto más avanzada sea la arquitectura y más pequeña sea la litografía de un procesador, mayor será su eficiencia y su rendimiento, ya que podrá realizar más operaciones con menos energía y menos calor.

En conclusión, la arquitectura del procesador es un factor clave que influye en el rendimiento del sistema, pero no es el único. También hay que tener en cuenta otros componentes, como la memoria RAM, el disco duro, la tarjeta gráfica, la placa base y la fuente de alimentación, que pueden limitar o potenciar el rendimiento del procesador según su calidad y su compatibilidad.

¿Cuál es la diferencia entre CISC y RISC?

La diferencia entre RISC y CISC es el tipo y el número de instrucciones que pueden ejecutar los procesadores. RISC significa Computación de Conjunto de Instrucciones Reducidas, y CISC significa Computación de Conjunto de Instrucciones Complejas.

Los procesadores RISC tienen un conjunto de instrucciones pequeño y simple, que consiste en instrucciones que realizan una sola operación cada una. Estas instrucciones se pueden ejecutar en un solo ciclo de reloj, lo que hace que el procesamiento sea rápido y eficiente. Los procesadores RISC también tienen más registros, lo que reduce la necesidad de acceder a la memoria. Los procesadores RISC se utilizan en aplicaciones de alto rendimiento, como el procesamiento de imágenes, el vídeo y las telecomunicaciones.

Los procesadores CISC tienen un conjunto de instrucciones grande y complejo, que consiste en instrucciones que realizan varias operaciones cada una. Estas instrucciones pueden tardar varios ciclos de reloj en ejecutarse, lo que hace que el procesamiento sea lento y costoso. Los procesadores CISC también tienen menos registros, lo que aumenta la dependencia de la memoria. Los procesadores CISC se utilizan en aplicaciones de propósito general, como los sistemas operativos, las bases de datos y las aplicaciones de escritorio.

La siguiente tabla resume algunas de las diferencias entre RISC y CISC:

RISC	CISC
Conjunto de instrucciones pequeño y simple	Conjunto de instrucciones grande y complejo
Instrucciones de un solo ciclo	Instrucciones de varios ciclos
Más registros	Menos registros
Menos acceso a la memoria	Más acceso a la memoria
Alto rendimiento y eficiencia	Versatilidad y compatibilidad

Ahondando en RISC-V

RISC-V es una arquitectura de conjunto de instrucciones (ISA) basada en un diseño de tipo RISC (conjunto de instrucciones reducido). A diferencia de la mayoría de los conjuntos de instrucciones, el de RISC-V es libre y abierto y se puede usar sin regalías para cualquier propósito, lo que permite que cualquiera diseñe, fabrique y venda chips y software de RISC-V.

El proyecto comenzó en 2010 en la Universidad de California en Berkeley, pero muchos colaboradores son voluntarios y trabajadores de la industria fuera de la

universidad. El conjunto de instrucciones se ha diseñado pensando en implementaciones pequeñas, rápidas y de bajo consumo para el mundo real.

RISC-V define nueve operaciones posibles: intercambio (use el valor del registro de origen directamente); añadir; bitwise y, o, y exclusivo -o; y mínimo y máximo firmado y sin firmar. Un diseño de sistema puede optimizar estas operaciones combinadas más que lr y sc.

RISC-V International es una organización que está cambiando la forma en que la industria trabaja y colabora, creando un nuevo tipo de ecosistema de hardware y software abierto. A través de varios eventos y talleres, RISC-V International está impulsando la innovación en el diseño de ISA para el futuro de la industria.

¿Qué dispositivos pueden usar RISC-V?

RISC-V se está utilizando en una amplia gama de dispositivos, desde microcontroladores incrustados hasta servidores de alto rendimiento. En el espacio móvil, Qualcomm ha anunciado el primer SoC Android RISC-V para el mercado masivo. Este chip, desarrollado en colaboración con Google, representa el primer intento comercial de un proyecto Android RISC-V. Se espera que este chip ayude a allanar el camino para que más productos dentro del ecosistema de Android aprovechen las CPUs personalizadas que son de bajo consumo y alto rendimiento.

¿Cómo funcionaría si tuviera soporte total en dispositivos Android?

Google ha anunciado oficialmente su apoyo a RISC-V en Android. Esto significa que están trabajando para optimizar las compilaciones de Android en RISC-V. Actualmente, la mayoría de las aplicaciones de Android se envían como código Java, y la forma en que se convierte en una aplicación ARM es cuando el tiempo de ejecución de Android (ART) lo compila en código ARM. En cambio, pronto se compilará en código RISC-V sin ningún trabajo adicional por parte del desarrollador. Sin embargo, el código nativo que no está escrito en Java, como los juegos y las bibliotecas de componentes, necesitará ser portado.

¿Qué se espera del futuro?

Se espera que RISC-V gane terreno en los próximos años. A medida que más empresas adopten RISC-V, podemos esperar ver una mayor diversidad de diseños de chips, más innovación y más competencia en la industria de los chips. Además, se espera que el mercado consuma 62.4 mil millones de núcleos de CPU RISC-V para 2025. En el espacio móvil, se espera que los wearables sean la primera forma disponible.

¿Cómo participar en la comunidad?

Para enviar parches a AOSP, se debe seguir el proceso habitual de contribución, que implica crear una cuenta de Gerrit (aplicación web para revisar código), firmar el acuerdo de licencia, configurar el entorno de trabajo, hacer cambios en el código fuente, subir los cambios a Gerrit, y esperar la revisión y la aprobación de los mantenedores.

Conclusiones

RISC-V representa una gran amenaza para la arquitectura de CPU Arm que actualmente domina todos los dispositivos móviles. La arquitectura RISC-V es de código abierto, lo que puede hacerla más barata y flexible que Arm. Si las empresas quieren diseñar sus propios chips, pueden hacerlo sin pagar una tarifa de licencia a Arm. Dado que la arquitectura es de código abierto, es posible crear un chip completamente de código abierto. Con el apoyo oficial de Google a RISC-V en Android, se espera que RISC-V gane terreno en los próximos años y transforme la industria de los chips.

Bibliografía

- (1) Is RISC-V The Future? - Semiconductor Engineering.
<https://semiengineering.com/is-risc-v-the-future/>.
- (2) Qualcomm announces first-ever mass-market RISC-V Android SoC.
<https://arstechnica.com/gadgets/2023/10/qualcomm-announces-first-ever-mass-market-risc-v-android-soc/>.
- (3) Google announces official Android support for RISC-V.
<https://arstechnica.com/gadgets/2023/01/google-announces-official-android-support-for-risc-v/>.
- (4) Android and RISC-V: What you need to know to be ready.
<https://opensource.googleblog.com/2023/10/android-and-risc-v-what-you-need-to-know.html>.
- (5) What is RISC-V, and why we're unlocking its potential.
<https://www.qualcomm.com/news/onq/2023/09/what-is-risc-v-and-why-were-unlocking-its-potential>.
- (6) Flexibility, Performance, and Open-Source: Why RISC-V is the Future of
<https://medium.com/@lanceharvierreuntime/flexibility-performance-and-open-source-why-risc-v-is-the-future-of-chips-b73ae4da7e16>.
- (7) RISC-V Celebrates Momentum of 2022 and Accelerating Adoption in 2023.
<https://riscv.org/blog/2023/01/risc-v-celebrates-momentum-of-2022-and-accelerating-adoption-in-2023/>.
- (8) Android will officially support the RISC-V architecture, and that's a
<https://www.androidauthority.com/android-risc-v-support-3262537/>.
- (9) NLnet; RISC-V Phone. <https://nlnet.nl/project/RISC-V-Phone/>.

(10) Google proclaims official Android RISC-V support.
https://www.gsmarena.com/google_proclaims_official_android_riscv_support-news-57076.php.

(11) Android has been ported to a RISC-V board - XDA Developers.
<https://www.xda-developers.com/android-risc-v-port/>.