

Android y RISC-V

WHAT YOU NEED TO BE READY

Lara Aguilar Christian Abraham
Martínez Villegas Pedro

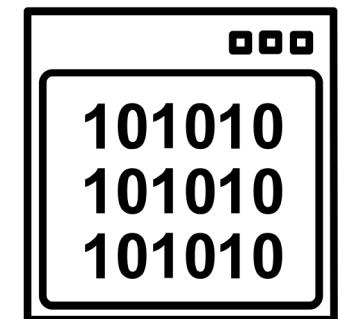
ANTECEDENTES

¿Qué es un conjunto de instrucciones?

Un conjunto de instrucciones especifica las operaciones que el CPU puede ejecutar. Incluye detalles como tipos de datos, registros, arquitectura de memoria e interrupciones. Existen variedades como **CISC**, **RISC** y **VLIW**.

Estas instrucciones se almacenan en la memoria de la CPU y se dividen en categorías como transferencia de datos, aritméticas, lógicas, control, cadena y entrada/salida, permitiendo realizar operaciones básicas y comunicarse con dispositivos de hardware.

Por ejemplo. RISC se emplea en computadoras personales para ahorrar energía, mientras que CISC se usa en sistemas más potentes.

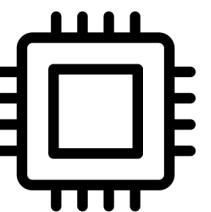


¿Cómo afecta la arquitectura del procesador al rendimiento del sistema?

La arquitectura del procesador afecta al rendimiento del sistema de varias formas, como se explica a continuación:

El número y el tipo de núcleos e hilos

Cuantos más núcleos e hilos tenga un procesador, mayor será su capacidad multitarea, resultando en un rendimiento mejorado, especialmente en aplicaciones que requieren un alto grado de paralelismo.



La frecuencia y el turbo

Un mayor valor de frecuencia y turbo en un procesador se traduce en un rendimiento superior en aplicaciones que demandan alta velocidad de cálculo.



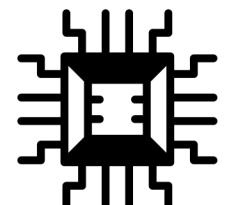
El tamaño y la velocidad de la caché

A mayor tamaño y velocidad de la caché, menor es el tiempo de procesamiento, lo que resulta en un rendimiento mejorado, especialmente en aplicaciones con alta frecuencia de acceso a la memoria.



La arquitectura y la litografía

Una arquitectura avanzada y una litografía más pequeña en un procesador resultan en mayor eficiencia y rendimiento, permitiendo realizar más operaciones con menos energía y generación de calor.



¿Cuál es la diferencia entre CISC y RISC?

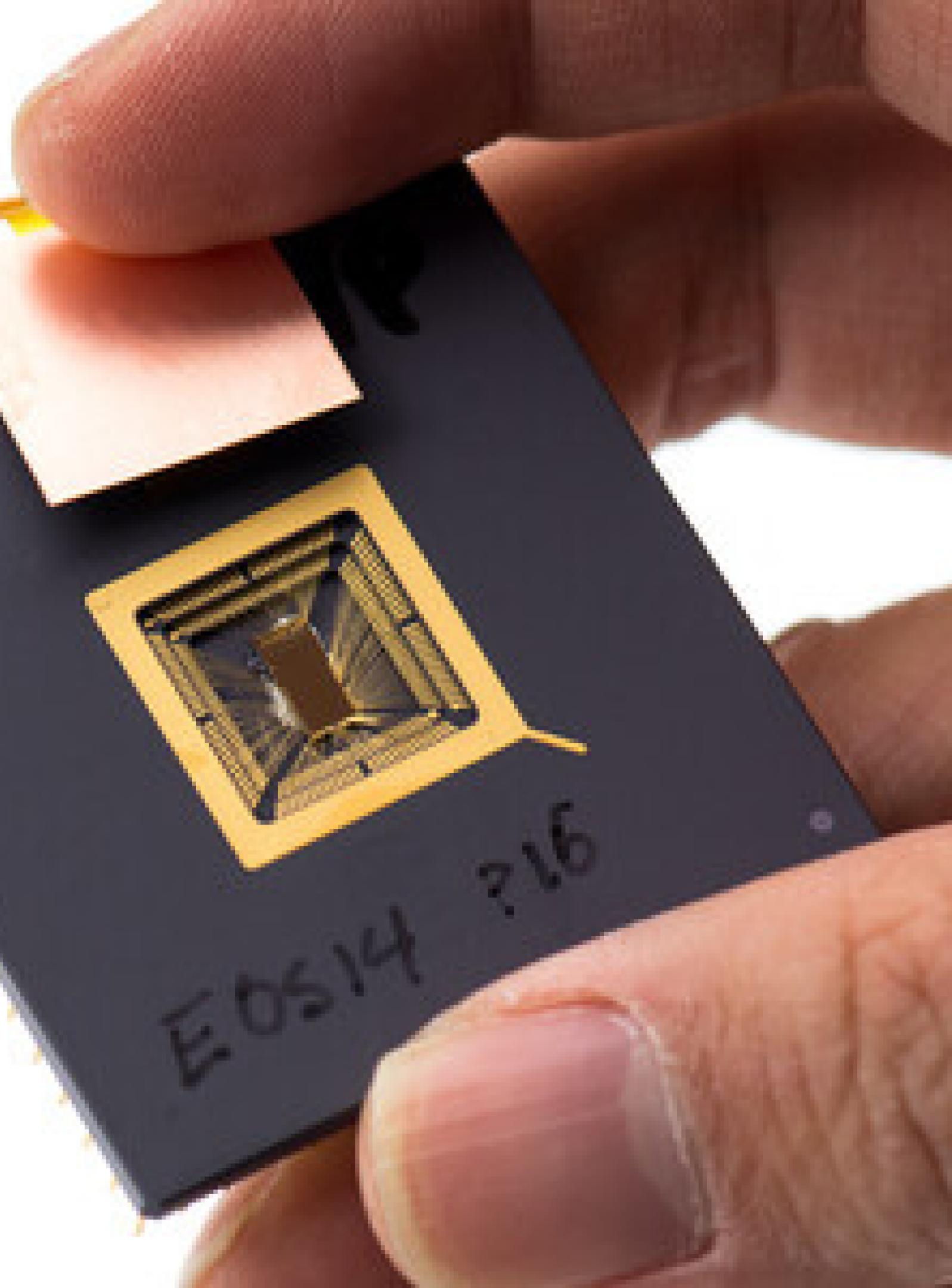
RISC: tienen un conjunto de instrucciones pequeño y simple, ejecutando cada instrucción en un solo ciclo de reloj para un procesamiento rápido y eficiente.

CISC: tienen un conjunto de instrucciones grande y complejo, realizando múltiples operaciones en cada instrucción. Esto puede llevar varios ciclos de reloj, resultando en un procesamiento más lento y costoso.

RISC (Computación de Conjunto de Instrucciones Reducidas) y CISC (Computación de Conjunto de Instrucciones Complejas) difieren en el tipo y cantidad de instrucciones que pueden ejecutar. La siguiente tabla resume algunas de las diferencias entre RISC y CISC:

RISC	CISC
Conjunto de instrucciones pequeño y simple	Conjunto de instrucciones grande y complejo
Instrucciones de un solo ciclo	Instrucciones de varios ciclos
Más registros	Menos registros
Menos acceso a la memoria	Más acceso a la memoria
Alto rendimiento y eficiencia	Versatilidad y compatibilidad



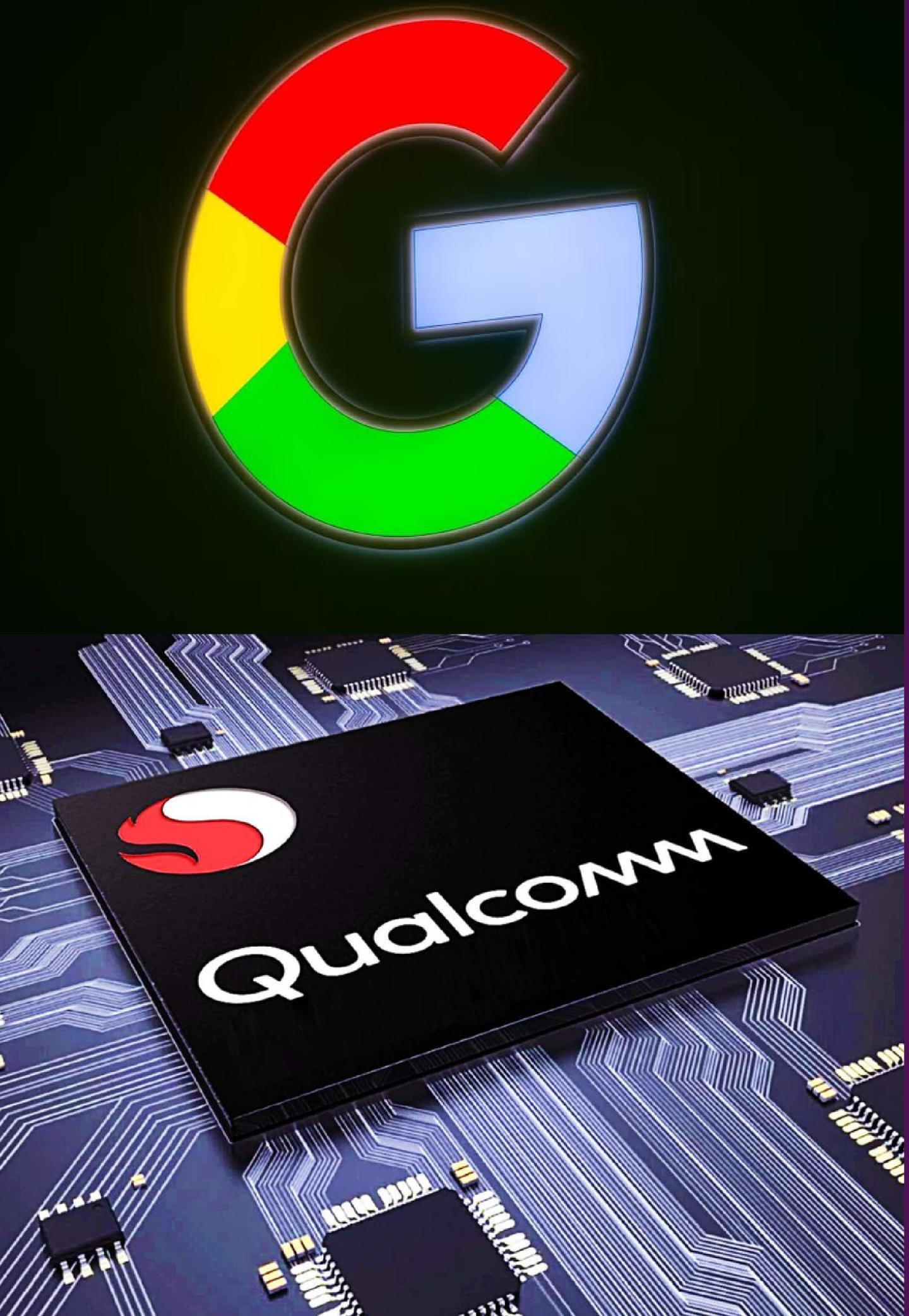


RISC-V

RISC-V es una arquitectura de conjunto de instrucciones (ISA) basada en el diseño RISC, siendo única por ser libre, abierta y sin regalías. Se puede utilizar para diseñar, fabricar y vender chips y software.

Diseñado para implementaciones pequeñas, rápidas y de bajo consumo, RISC-V define nueve operaciones, como intercambio, suma, operaciones bitwise y mínimo/máximo firmado y sin firmar. Este enfoque permite optimizaciones en sistemas más eficientes.

¿Qué dispositivos pueden usar RISC-V?



RISC-V se implementa en diversos dispositivos, desde microcontroladores incrustados hasta servidores de alto rendimiento. En el ámbito móvil, Qualcomm ha lanzado el primer SoC Android RISC-V en colaboración con Google. Este chip, el primer intento comercial de un proyecto Android RISC-V, busca allanar el camino para productos en el ecosistema Android que aprovechen CPUs personalizadas de bajo consumo y alto rendimiento.

¿Cómo funcionaría si tuviera soporte total en dispositivos Android?

Google ha confirmado su respaldo a RISC-V en Android, trabajando para optimizar las compilaciones del sistema operativo para esta arquitectura. Actualmente, la mayoría de las aplicaciones de Android se envían como código Java y se compilan en código ARM durante la ejecución mediante el tiempo de ejecución de Android (ART).

¿Qué se espera del futuro?



¿Cómo participar en la comunidad?

BIBLIOGRAFÍA

- (1) Is RISC-V The Future? - Semiconductor Engineering. <https://semiengineering.com/is-risc-v-the-future/>.
- (2) Qualcomm announces first-ever mass-market RISC-V Android SoC. <https://arstechnica.com/gadgets/2023/10/qualcomm-announces-first-ever-mass-market-risc-v-android-soc/>.
- (3) Google announces official Android support for RISC-V. <https://arstechnica.com/gadgets/2023/01/google-announces-official-android-support-for-risc-v/>.
- (4) Android and RISC-V: What you need to know to be ready. <https://opensource.googleblog.com/2023/10/android-and-risc-v-what-you-need-to-know.html>.
- (5) What is RISC-V, and why we're unlocking its potential. <https://www.qualcomm.com/news/onq/2023/09/what-is-risc-v-and-why-were-unlocking-its-potential>.
- (6) Flexibility, Performance, and Open-Source: Why RISC-V is the Future of <https://medium.com/@lanceharvieruntime/flexibility-performance-and-open-source-why-risc-v-is-the-future-of-chips-b73ae4da7e16>.
- (7) RISC-V Celebrates Momentum of 2022 and Accelerating Adoption in 2023. <https://riscv.org/blog/2023/01/risc-v-celebrates-momentum-of-2022-and-accelerating-adoption-in-2023/>.
- (8) Android will officially support the RISC-V architecture, and that's a <https://www.androidauthority.com/android-risc-v-support-3262537/>.
- (9) NLnet; RISC-V Phone. <https://nlnet.nl/project/RISC-V-Phone/>.
- (10) Google proclaims official Android RISC-V support. https://www.gsmarena.com/google_proclaims_official_android_riscv_support-news-57076.php.
- (11) Android has been ported to a RISC-V board - XDA Developers. <https://www.xda-developers.com/android-risc-v-port/>.

**POR SU ATENCIÓN,
¡GRACIAS! :)**