

# 电子设计实习报告

卢翼

21190603

南京师范大学

电气与自动化工程学院

日期：2021 年 11 月 5 日

## 目录

<b>1</b>	<b>设计任务和技术指标</b>	<b>1</b>
1.1	设计任务	1
1.2	技术指标	1
1.3	设计工具	1
<b>2</b>	<b>原理框图</b>	<b>2</b>
<b>3</b>	<b>单元电路设计</b>	<b>2</b>
3.1	秒脉冲	3
3.2	60 进制计数器	4
3.3	24 进制计数器	5
3.4	报时电路	6
3.5	快速校时电路	7
<b>4</b>	<b>元器件清单</b>	<b>7</b>
<b>5</b>	<b>实验操作问题</b>	<b>9</b>
<b>6</b>	<b>心得体会</b>	<b>9</b>
<b>7</b>	<b>参考文献</b>	<b>10</b>

# 1 设计任务和技术指标

## 1.1 设计任务

1. 能用数字显示时、分、秒（23 小时 59 分 59 秒）。
2. 具有快速校准时、分的功能。
3. 具有整点报时功能（从 59 分 51 秒开始鸣叫 5 响，分别为四低一高）。

## 1.2 技术指标

1. 产生频率  $f = 1\text{ kHz}$  的脉冲信号；
2. 设计分频比为 1000 的分频器，产生 1 Hz 的秒脉冲；
3. 分别设计 60 进制计数器和 24 进制计数器；
4. 设计用于校时、校分的 2 选 1 数据选择器；
5. 用 1 Hz 脉冲作为时、分的快速校正信号；
6. 设计报时电路，前 4 响 500 Hz 声音，最后一响 1 kHz。

## 1.3 设计工具

软件: proteus

硬件: 见物料清单

# 2 原理框图

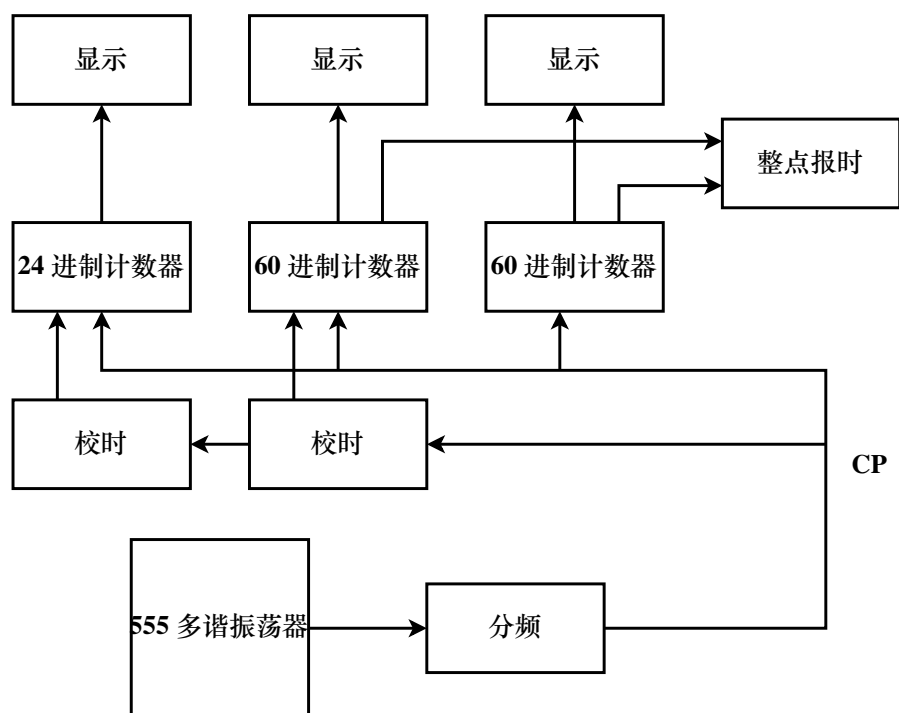


图 1: 原理框图

### 3 单元电路设计

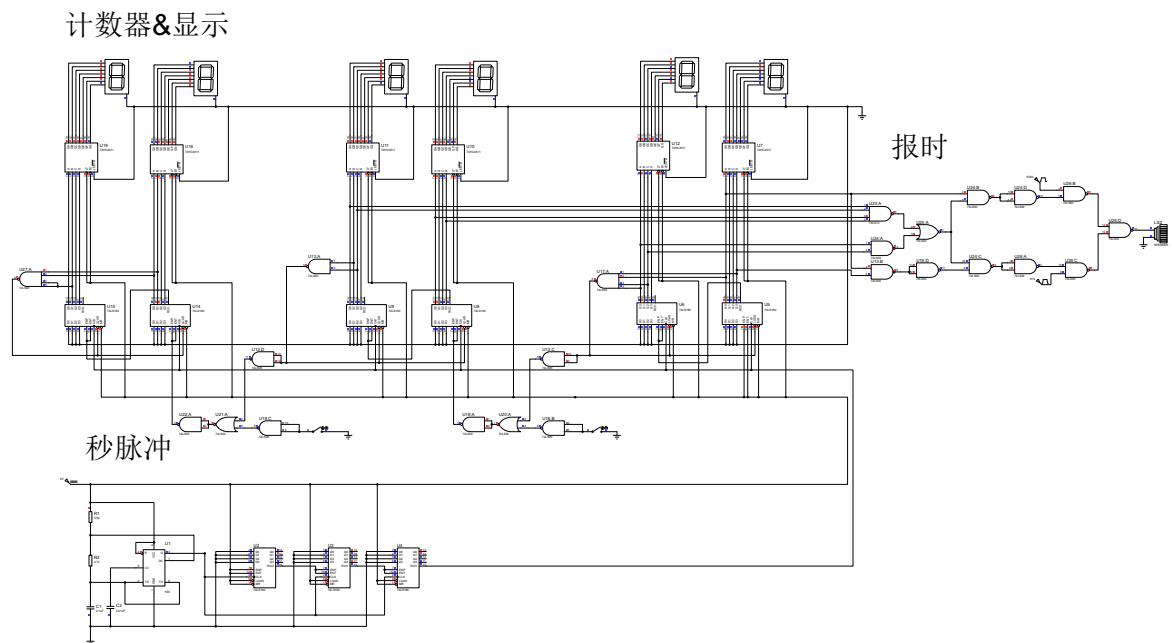


图 2: 总电路图

#### 3.1 秒脉冲

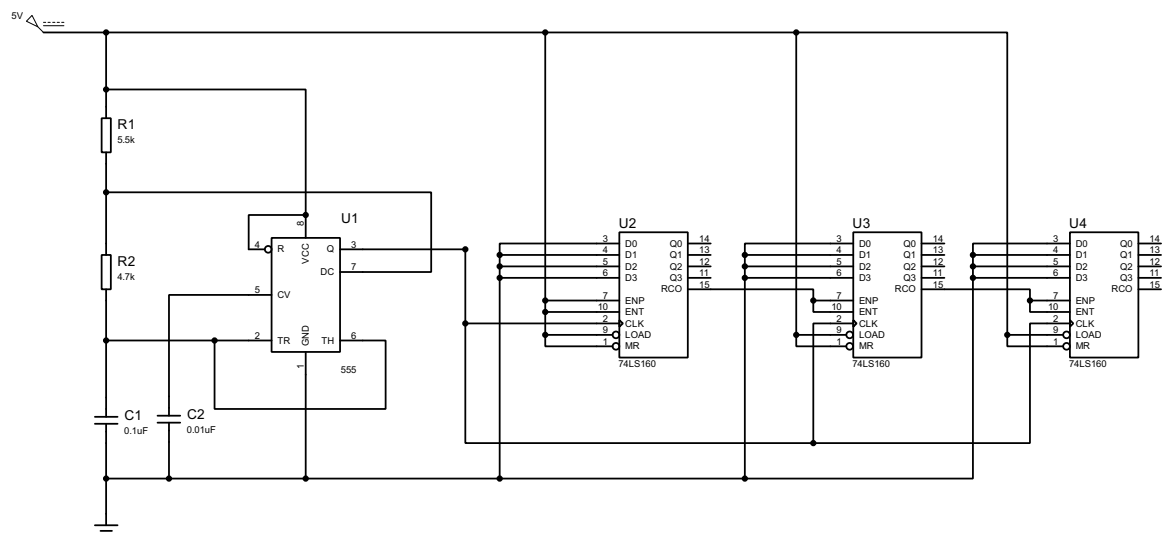


图 3: 秒脉冲电路图

#### 使用元器件

- 555 定时器

555 定时器是一种模、数混合的中规模集成电路，它使用方便、灵活，应用极为广泛。用它可很方便地组成脉冲的产生、整形、延时和定时电路。

• 74LS160

同步十进制计数器（直接清零），用于快速计数的内部超前进位，由 4 个主从触发器和用作除 2 计数器及计数周期长度为除 5 的 3 位 2 进制计数器所用的附加选通所组成。有选通的零复位和置 9 输入。

**秒脉冲** 由多谐振荡器与滤波器组成。555 定时器组成多谐振荡器，振荡出 1 kHz 的脉冲信号，之后由 74LS160 组成的分频器分别分成 100 Hz、10 Hz、1 Hz。最后取 1 Hz 作为时钟的脉冲信号。

**多谐振荡器-原理** 555 定时器接通电源后，电容  $C$  被充电，当  $v_c$  上升至  $\frac{2V_{cc}}{3}$  时，使  $v_0$  为低电平，同时  $T$  导通，此时电容  $C$  通过  $R_2$  和  $T$  放电， $v_c$  下降。当  $v_c$  下降到  $\frac{V_{cc}}{3}$  时， $v_0$  翻转为高电平。如此往复。所以振荡频率为

$$f = \frac{1}{t_{pL} + t_{pH}} \approx \frac{1.43}{(R_1 + 2R_2)C}$$

故选择  $R_1 = 5.5k, R_2 = 4.7k, C_1 = 0.1 \mu F, C_2 = 0.01 \mu F$

**分频器-原理** 74LS160 为异步清零同步置数的十进制计数器，将振荡器发出的 1 kHz 脉冲接至 CP 端，计时器累计到进位时在 RCO 端输出脉冲信号，实现了十分频。故三片 74LS160 即可将 1 kHz 的输入信号转化为 1 Hz 信号，且第一片的 Q0 可输出 500 Hz 信号。

*SR	PE	CET	CEP	工作模式
L	X	X	X	RESET (Clear) 清零
H	L	X	X	LOAD (Pn Qn) 置数
H	H	H	H	COUNT (Increment) 计数
H	H	L	X	NO CHANGE (Hold) 保持（不变）
H	H	X	L	NO CHANGE (Hold) 保持（不变）

表 1: 74LS160 真值表

### 3.2 60 进制计数器

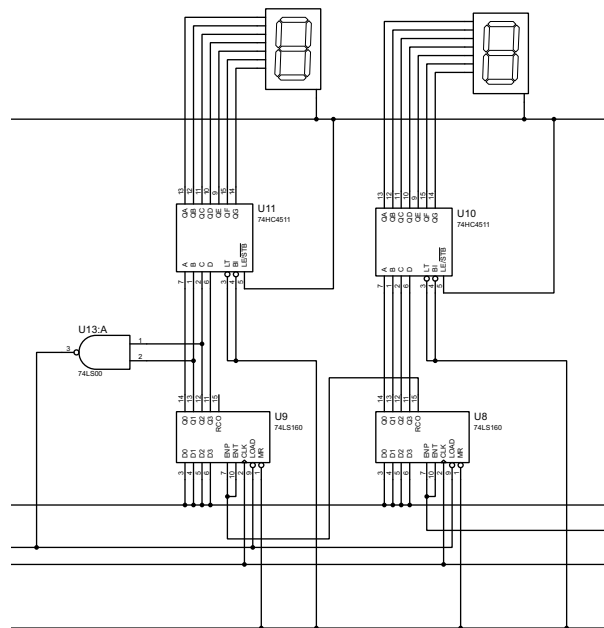


图 4: 60 进制计数器

#### 使用元器件

- 74HC4511: BCD-To-7 Segment 译码器
- 7 段共阴极数码管
- 74LS160: 异步清零同步置数的十进制计数器
- 74LS00: 与非门

**原理** 通过秒脉冲将1 Hz脉冲接至 2 块 74LS160CP 端，之后将个位的 RCO 端接至十位的使能端，当个位进位时，十位进行计数。再通过与非门输入十位的 Q1,Q2 端，输出至两位的 LOAD 端。实现同步清零。

### 3.3 24 进制计数器

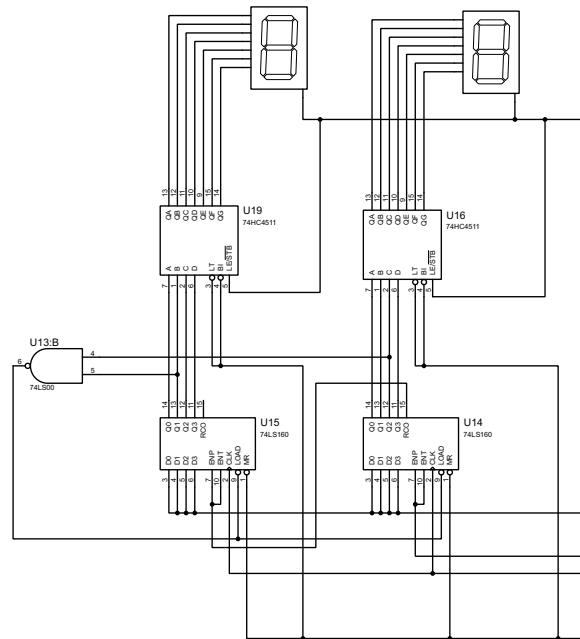


图 5: 24 进制计数器

#### 使用元器件

- 74HC4511: BCD-To-7 Segment 译码器
- 7 段共阴极数码管
- 74LS160: 异步清零同步置数的十进制计数器
- 74LS00: 与非门

**原理** 通过秒脉冲将1 Hz脉冲接至 2 块 74LS160CP 端，之后将个位的 RCO 端接至十位的使能端，当个位进位时，十位进行计数。再通过与非门输入十位的 Q2 与个位的 Q3 端，输出至两位的 LOAD 端。实现同步清零。

### 3.4 报时电路

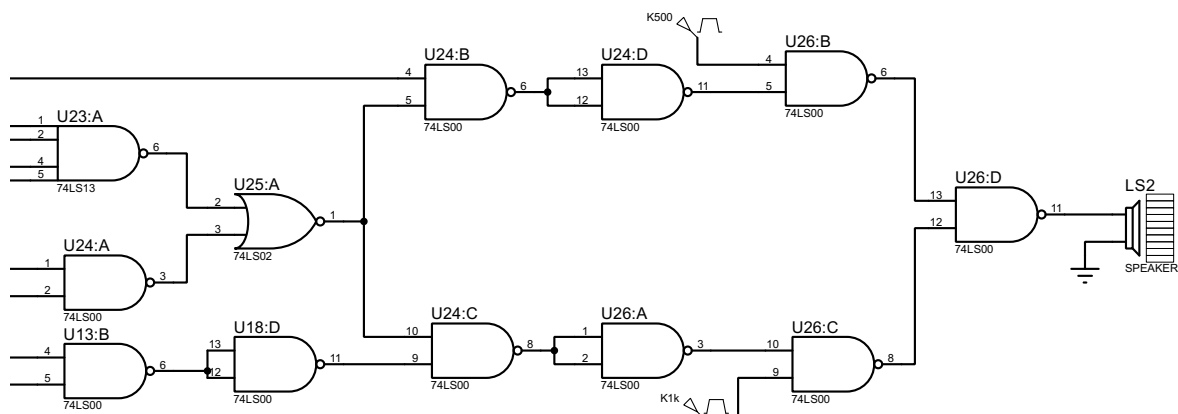


图 6: 报时电路

#### 使用元器件

- 74LS00
- 74LS13
- 74LS02

**效果** 整点报时电路每小时最后 10 秒钟，前四声响 500 Hz 声音，最后一声响 1 kHz；当秒计数器的个位为 1、3、5、7、9 时，扬声器振动发声。

**原理** 当计数器统计为 59 时 50 分时开始处理报时，所以将小时位的十位 Q0、十位 Q2，个位 Q0、个位 Q3 端连接在同一个与非门中，如图 6 中 U23:A 元件，将分钟位十位 Q0、十位 Q2 连接在同一个与非门中，如图 6 中 U24:A 元件。当这些位全部为高电平时 U25:A 元件将输出高电平。因为我们要处理秒计数器的个位为 1、3、5、7、9 的情况，我们发现这些位的 Q0 位都为高电平，故我们只需要取 Q0 端即可，当 Q0 端为高电平，并且 U25:A 元件也为高电平，即可播放声音。不过需要注意在当计数器统计在 9 位时，要播放 1 kHz 的声音，所以专门将秒计数器的个位 Q3 位接出来，与 U25:A 组成一个与非门，并且与 1 kHz 连在一起触发扬声器。

### 3.5 快速校时电路

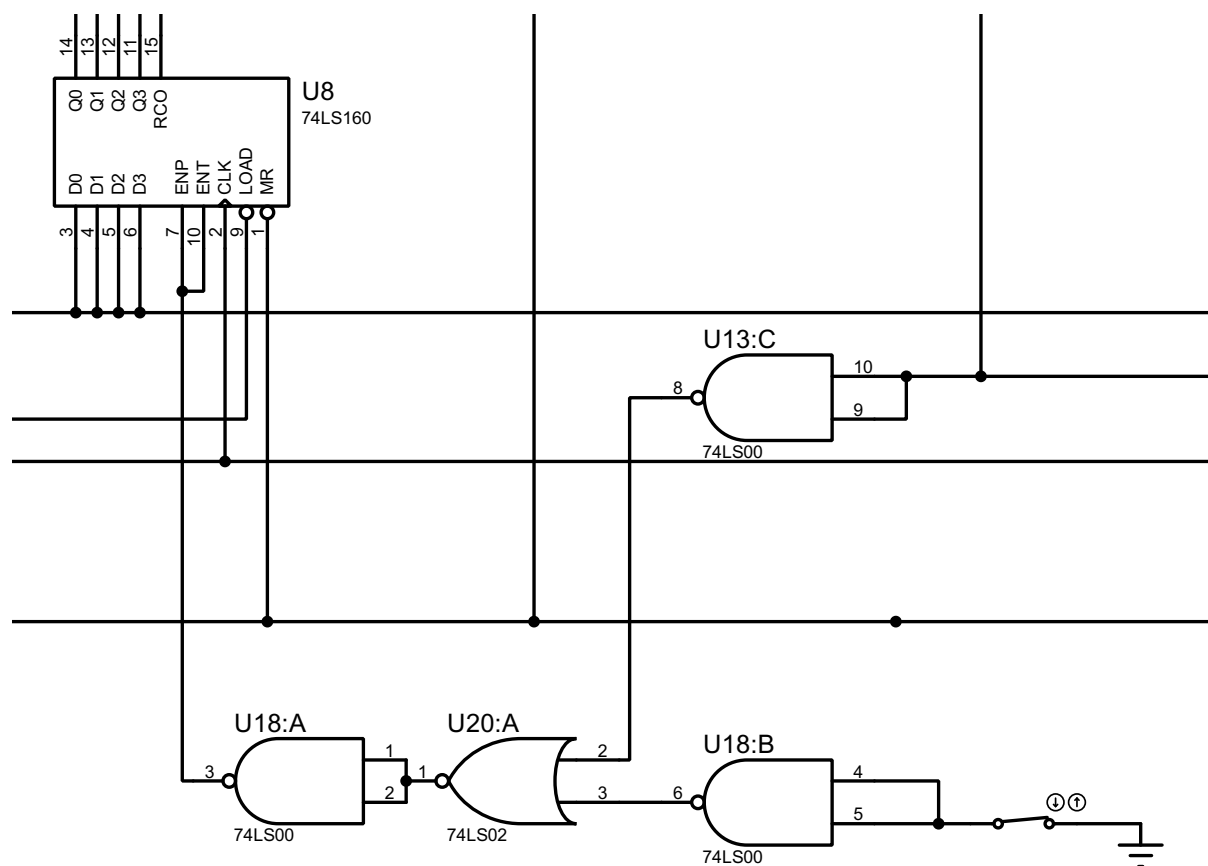


图 7: 自动校时电路

#### 使用元器件

- 74LS00
- 74LS02
- 开关

**原理** 74LS00 为 TTL 门，开关断开时输入高电平，开关闭合时输入低电平。根据相应逻辑关系，开关断开时可根据时钟脉冲快速调整时钟分钟，开关闭合时则正常计数。

## 4 元器件清单



物料清单-21190603卢翼的电子设计实验-数字钟

标题：21190603卢翼的电子设计实验-数字钟  
作者：uncle-lu  
文档编号：v1.0  
修正版本：1  
创建时间：2021年11月4日  
修改时间：2021年11月5日  
元件总数：32

2 电容		
数量	位号	值
1	C1	0.1uF
1	C2	0.01uF
小计：		
2 电阻		
数量	位号	值
1	R1	5.5k
1	R2	4.7k
小计：		
27 集成电路		
数量	位号	值
1	U1	555
9	U2-U6,U8-U9,U14-U15	74LS160
6	U7,U10-U12,U16,U19	74HC4511
5	U13,U18,U22,U24,U26	74LS00
3	U17,U23,U27	74LS20
3	U20-U21,U25	74LS02
小计：		
1 杂项		
数量	位号	值
1	LS2	SPEAKER
小计：		
合计：		

## 5 实验操作问题

**电源线路连接** 由于面包板的结构,各单元面包板间需要采用导线连接方式保证电路的导通,最初设计采用两组杜邦线分别供给上下两块区域的电源,在实际使用过程中,两组杜邦线增加了接线错误率,同时由于杜邦线本身不能与面包板空隙紧密契合,容易发生脱落。出于实际考量,最后我们将面包板上所有供电线路用普通导线连接,使用一组杜邦线为整个电路供电;二是在设计中,我们采用一行全为地线/+5V 供电的设计,然而在实际接线中,发生了两种线路接反的问题,最后通过查线的方式解决了该问题;三是在连接喇叭测试时,误拔了电路的地线,导致1 Hz脉冲信号消失,通过耐心寻找问题,逐模块检查,最终排除问题。

**计数器模块** 本次课程设计中计数器模块是问题相对较多的模块,一方面是由于计数器模块本身连线难度相对较大,较为复杂,一方面是由于该模块是整个数字钟课程设计的核心模块,数字钟相关一系列功能的实现都与其相关,其他模块的故障往往对其也会产生影响。在设计中计数器模块主要产生以下几个问题。首先是导线的错误连接,导线的错误连接常常发生在初次连接与调试时反复插线时,前者的错误归功于清晰的仿真电路图,错误发生较少,易于检查;后者则相对难以查出,需要对实际电路与原理的清晰认识。其次是芯片的选择,同型号不同集成电路结构的芯片的负载能力不同,本次设计过程中出现了下一级芯片接收不到上一级进位信号,而进位信号实际存在的问题,分析问题,原因在于上一级的芯片负载能力较弱,无法满足下一级输入信号的进位要求,实验过程中曾尝试使用相同的芯片,结果仍然出现了问题,最终通过逐级更换芯片的方式解决问题。

**导线选择** 课程设计实验最初实际接线时,采用普通导线剥线紧贴面包板的方式接线,该方法的好处在于接线清晰明了,弊端在于费时费力,同时对距离较远的两点连接尤为不便,因而在完成主要模块的接线后,整点报时与闹钟模块使用杜邦线接线,加快进度的同时,杜邦线连接门电路可以更好的体现逻辑关系。

**仿真与实际接线的差异** 仿真中整点报时电路蜂鸣器输出四低一高的声音信号使用了三极管放大电路,但是实际接线中发现无需三极管放大电路也可以正常输出声音信号,故实际接线可以简化操作。仿真中多谐振荡器产生的方波信号经过分频器得到的 1Hz 信号无法直接测出频率判断是否符合要求,实际操作中可以先使用数字示波器观察 555 芯片输出的信号并通过调节滑动变阻器时期频率为1 kHz,分频器输出的1 Hz信号可以通过灯泡大致判断是否符合要求。

## 6 心得体会

本次课程设计在与同伴的通力合作下,顺利完成。期间虽然遇到了一些问题,但是最终都得到了解决。

本次课程设计,主要有两点收获。一是让我认识到仿真的重要性,在本次实验中,只要仿真没有问题,按照仿真电路图接线都可以达到预期效果,详尽合理的前期仿真是实际搭接电路成功的重要保障;二是提高了实际接线与分析实际问题的能力,在实验设计过程中出现了接线错

误、芯片选择不合理、线路设计不合理等问题，通过结合专业知识与现实条件，最终解决了问题。

## 7 参考文献

1. 康华光；电子技术基础数字部分；华中科技大学电子技术课程组编；第六版；北京高等教育出版社；2014.19
2. 74LS192、74LS160、74LS00、74LS02、74LS20、74LS86、NE555 数据手册
3. TKD-4 型电子设计综合实验箱使用手册