UART→FPGA SPI-Flash ■■■■■■■■

1. ■■■■

■■■■■■■■■■ UART ■ FPGA ■■■■ `firmware.bin` ■■■■ SPI Flash■■■■■■■■

■■■■■

- PC ■■■■■■`host/uart_fwu.py`
- FPGA ■■■■■■`fpga/rtl/fwu_top.sv` ■■■■■■

2. ■■■■

2.1 UART

- `uart_rx`■FPGA ■■■■■■ USB-UART ■ TX■
- `uart_tx`■FPGA ■■■■■■ USB-UART ■ RX■
- ■■■■■ 3.3V TTL ■■■■■■■

2.2 SPI Flash

- `spi_cs_n`■■■■■■■■
- `spi_sck`■■■
- `spi_mosi`■■■■■
- `spi_miso`■■■■■

■■■■■■■ SPI ■■■■■■ QSPI■■

3. FPGA ■■■■■■

3.1 ■■■■

■■■[fwu_top.sv](file:///k:/TRAE/uart_spi/fpga/rtl/fwu_top.sv)

■■■

- `clk`■■■■■
- `rst_n`■■■■■■
- `uart_rx/uart_tx`
- `spi_cs_n/spi_sck/spi_mosi/spi_miso`

3.2 ■■■■■

- `CLK_HZ`■■■■■■■■Hz■
- `UART_BAUD`■■■■■■■■■ `921600`
- `SPI_CLK_DIV`■SPI SCK ■■■SCK ■■ `CLK_HZ/(2*SPI_CLK_DIV)`■

■■■50MHz ■■■SPI_CLK_DIV=4■■ SCK≈6.25MHz■

4. ■■■■■■■■■↔FPGA■

■■■■■■■■■■■

1) `HELLO`■■■■■■■■FPGA ■■ `HELLO_RSP`■Flash ID/■■■■■
2) `START`■■■■■■■■■■■■■■■■■■/■■■■/■■ CRC/page_size■
3) `ERASE`■■■■■■■■■■ sector_size ■■■■■■■
4) `DATA`■■■■■■offset + ■■■■ + ■■■

5) `FINISH`■■■■■■■■■■■■■ + CRC32 ■■■
6) `QUERY`■■■■■■■■ `written_bytes` ■ `running_crc32`

■■■■■■■■■ `DATA` ■■ `seq`■■ ACK ■■■■■■■■ `seq`■FPGA ■■■ `seq+offset+len` ■ DATA ■■■ ACK■

5. PC ■■■■■■■■■■

5.1 ■■■■

```bash
python -m venv .venv
.venv\\Scripts\\activate
pip install -r host/requirements.txt
```

5.2 ■■■■

```bash
python -m host.uart_fwu \
  --port COM5 \
  --baud 921600 \
  --fw firmware.bin \
  --base-addr 0x000000 \
  --chunk 256 \
  --timeout 0.2 \
  --retries 8
```

■■■■■■■■■■■

```bash
python -m host.uart_fwu --list-ports
```

■■■■■■■■■■■■■■■■■■■■■

```bash
python -m host.uart_fwu --port auto --fw firmware.bin --base-addr 0x000000
```

■■■■■

- `--port`■■■■■Windows ■ `COM5`■
- `--port-like`■■■■/■■ID■■■■■■■■ `CH340` ■ `VID:PID=1A86:7523`■
- `--list-ports`■■■■■■■■■■■
- `--baud`■■■■
- `--fw`■■■ `.bin` ■■■■■■■■■ `.bin` ■■■■■■■■■■■■■■■
- `--fw-name`■■ `--fw` ■■■■■■■■■■■■■■■ `.bin`
- `--bin`■■■■■■■■■ `.bin` ■■■■
- `--base-addr`■Flash ■■■■■■■■ FPGA ■■■■
- `--chunk`■DATA ■■■■■■■■ 256■
- `--timeout`■■■ ACK/■■■■■■■■
- `--retries`■■■■■■■■

6. ■■■■■■■■“■■■■■”■

6.1 ■■■

UART ■■ SLIP ■■■■■■■■■■■■

```
| magic[2] | ver[1] | type[1] | seq[2] | len[2] | payload[len] | crc32[4] |
```

- `magic`■0x55 0xAA
- `ver`■0x01
- `type`■■■■■
- `seq`■16 ■■■
- `len`■payload ■■
- `crc32`■■ `magic..payload` ■■ CRC32(IEEE)

■■■■/■■■ [protocol.md](file:///k:/TRAE/uart_spi/docs/protocol.md)■

6.2 SPI Flash ■■■■■■SR1■

FPGA ■■■/■■■■■ `RDSR(0x05)` ■■ SR1■

- Bit0 `WIP`■Write In Progress■1=■■0=■■
- Bit1 `WEL`■Write Enable Latch■1=■■■■

■■ Flash ■■■■■■■■■■■■■■■■■■ `WIP/WEL`■

6.3 Flash ■■■■

- `RDID(0x9F)`■■■ 3 ■■ ID
- `WREN(0x06)`■■■■
- `SE(0x20)`■4KB ■■■■■■ Flash ■ 64KB ■■■■■■■■ `0xD8` ■■■ sector_size■
- `PP(0x02)`■■■■
- `RDSR(0x05)`■■■■■■■■

7. Flash ■■■■

■■■ Flash ■■■■■■

- `base_addr`■■■■■■■■■■
- ■■■■■■■■■■■■/■■/CRC■■■■■■■■ UART ■ START/FINISH ■■■■■■■■■■

8. ■■■■

- ACK ■■■■■ UART ■■■■■■■■■■■■■■■■■■■■ `--timeout`
- Flash ■■■■■■■■ `SE/PP` ■■■ Flash ■■■■■■■■ `sector_size` ■■■■■■