

# **VERILOG**

**Hazırlayan:** Doç. Dr. Hamit Erdem  
Araş. Gör. Gencer Tulay

# İÇERİK

1. HDL nedir?
2. Verilog
3. Verilog ve VHDL'nin Farkları
4. Niçin Kullanılır?
5. Tasarım Yöntemleri
6. Kaynaklar

# **HDL Nedir?**

**HDL:** Hardware Description Language

**DTD:** Donanım Tanımlama Dili

# HDL Nedir?

- **DTD:** Sayısal devrelerin tanımlanması amacı ile kullanılan herhangi bir bilgisayar dilinin sınıfına verilen ad.
- DTD devrenin yürüttüğü işlemin tasarımını ve benzetim yoluyla doğrulamasını gerçekleştirebilir.

# HDL Nedir?

En çok bilinen DTD'ler

- Verilog
- VHDL

# HDL Nedir?

Diğerleri

- ABEL
- AHDL
- Hardware Join Java
- Lola
- MyHDL
- Ruby

# HDL Nedir?

Bir sayısal sistem üç farklı seviyede tanımlanabilir.

1. Anahtar Seviyesi (**Switch Level**): Kablo, direnç, transistör, vb. elemanlar
2. Kapı Seviyesi (**Gate Level**): Mantıksal kapı, flip flop

# HDL Nedir?

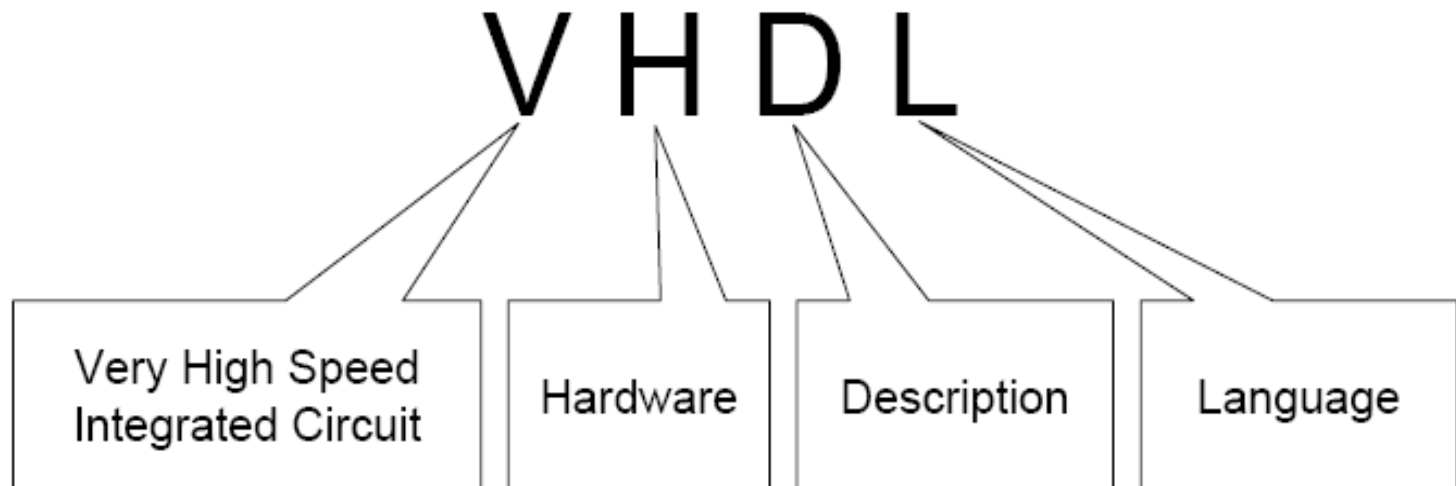
3. Yazmaç Transfer Seviyesi (**Register Transfer Level / RTL**): Yazmaçlar ve yazmaçlar arasındaki sinyal akışı



# Verilog

- Donanım tanımlamak amacıyla kullanılan dil
- 1985'te Gateway Design Corporation tarafından çıkarıldı.
- Şu an Cadence Design System'in ürünü
- Ders kapsamında **Xilinx** program geliştirme ortamında kullanılacaktır.

# Verilog ve VHDL'nin Farkları



# Verilog ve VHDL'nin Farkları

- Verilog C'ye, VHDL ADA'ya yakın
- Avrupa'da VHDL, Amerika ve Uzakdoğu'da Verilog yaygın

# Verilog ve VHDL'nin Farkları

- Anahtar seviyesinde ve kapı seviyesinde tasarımlarda Verilog daha kullanışlı
- Verilog büyük/küçük harf duyarlı, VHDL değil

# Niçin Kullanılır?

1. Tasarım oluşturma
2. Benzetim (Simulation) yolu ile test etme

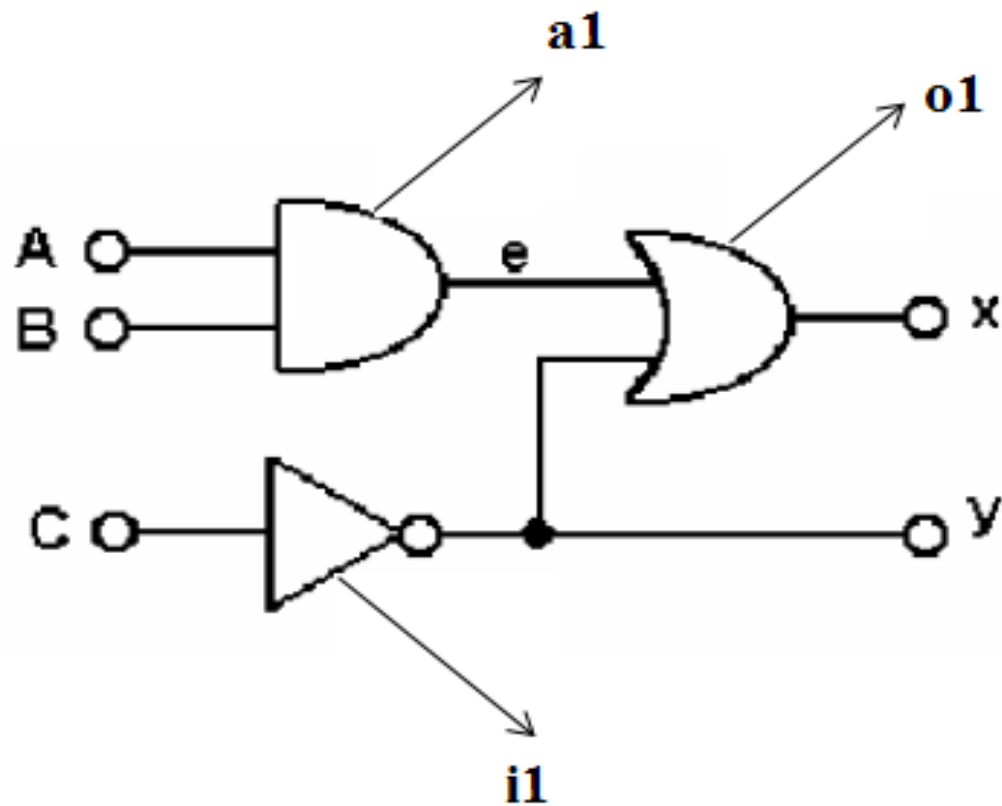
# Niçin Kullanılır?

- Bir elektronik tasarım model olarak çıkartılıp çalışması çeşitli testlerle denetlenmediği durumda çalışma zamanında öngörüleemeyen hatalarla karşılaşılabilir. Bunun sonucu maliyet olarak zarar demektir. Seri üretim hacminin yüksek olduğu durumlarda bu durum yüksek maddi kayba nenden olur.

# Tasarım Yöntemleri

1. Yapısal (Structural)
2. Davranışsal (Behavioral)
3. Fiziksel (Physical)

# Tasarım Yöntemleri





# Tasarım Yöntemleri

## Yapısal Tasarım

```
module cct(X,Y,A,B,C)
output X,Y;
input A,B,C;
wire e;
and a1(e,A,B);
not i1(Y,C);
or o1(X,e,Y);
endmodule
```

## Davranışsal Tasarım

```
module cct(X,Y,A,B,C)
output X,Y;
input A,B,C;
assign Y=~C;
assign X=(A&B)|Y;
endmodule
```

# Kaynaklar

- [www.fpgarelated.com](http://www.fpgarelated.com)
- [www.asic-world.com](http://www.asic-world.com)
- [www.verilog.com](http://www.verilog.com)
- [www.verilog.net](http://www.verilog.net)