

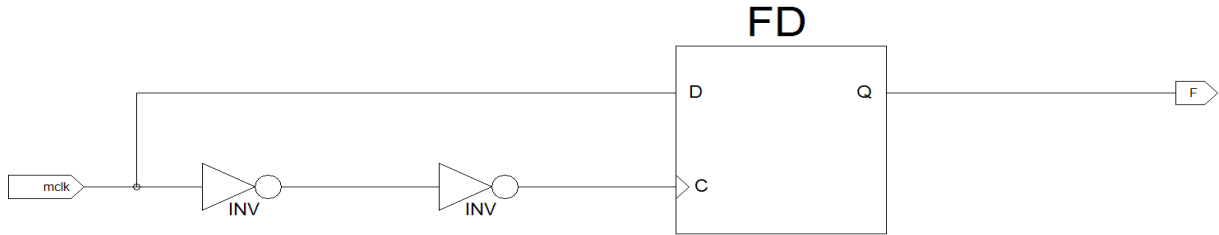
EEM 211 – Sayısal Mantık Tasarımı

Deney No: 4

Deney Grubu: EEM211/01-02

Deneyin Adı: Sıralı Mantık

Deneyisel Çalışma



Yukarıdaki devrede D flip flop kullanarak tasarım yapılmıştır. Zamanla ilgili ayarlamalar aşağıdaki şekilde gerçekleştirilmiştir.

The dialog box titled "Initial Timing and Clock Wizard - Initialize Timing" contains the following sections:

- Clock Timing Information:** Inputs are assigned at "Input Setup Time" and outputs are checked at "Output Valid Delay".
 - ☒ Rising Edge ☐ Falling Edge
 - ☐ Dual Edge (DDR or DET)
 - Clock High Time: 100 ns
 - Clock Low Time: 100 ns
 - Input Setup Time: 15 ns
 - Output Valid Delay: 15 ns
 - Offset: 0 ns
- Clock Information:**
 - ☒ Single Clock (mclk)
 - ☐ Multiple Clocks
 - ☐ Combinatorial (or internal clock)
- Combinatorial Timing Information:** Inputs are assigned, outputs are decoded then checked. A delay between inputs and outputs avoids assignment/checking conflicts.
 - Check Outputs: 50 ns After Inputs are Assigned
 - Assign Inputs: 50 ns After Outputs are Checked
- Global Signals:**
 - ☐ PRLD (CPLD) ☐ GSR (FPGA)
 - High for Initial: 100 ns
- Initial Length of Test Bench:** 1000 ns
- Time Scale:** ns
- ☐ Add Asynchronous Signal Support

Buttons: More Info, < Back, Finish, Cancel

Bu flip flop'un çıkışında görülen dalga şeklini JK flip flop ile tasarım yaparak elde ediniz. JK flip flop için **FJKC**, **Clear** girişlerinde test amaçlı olarak **pulldown** elemanını kullanabilirsiniz.