

# **XILINX PROGRAMI İLE PROJE HAZIRLANMASI**

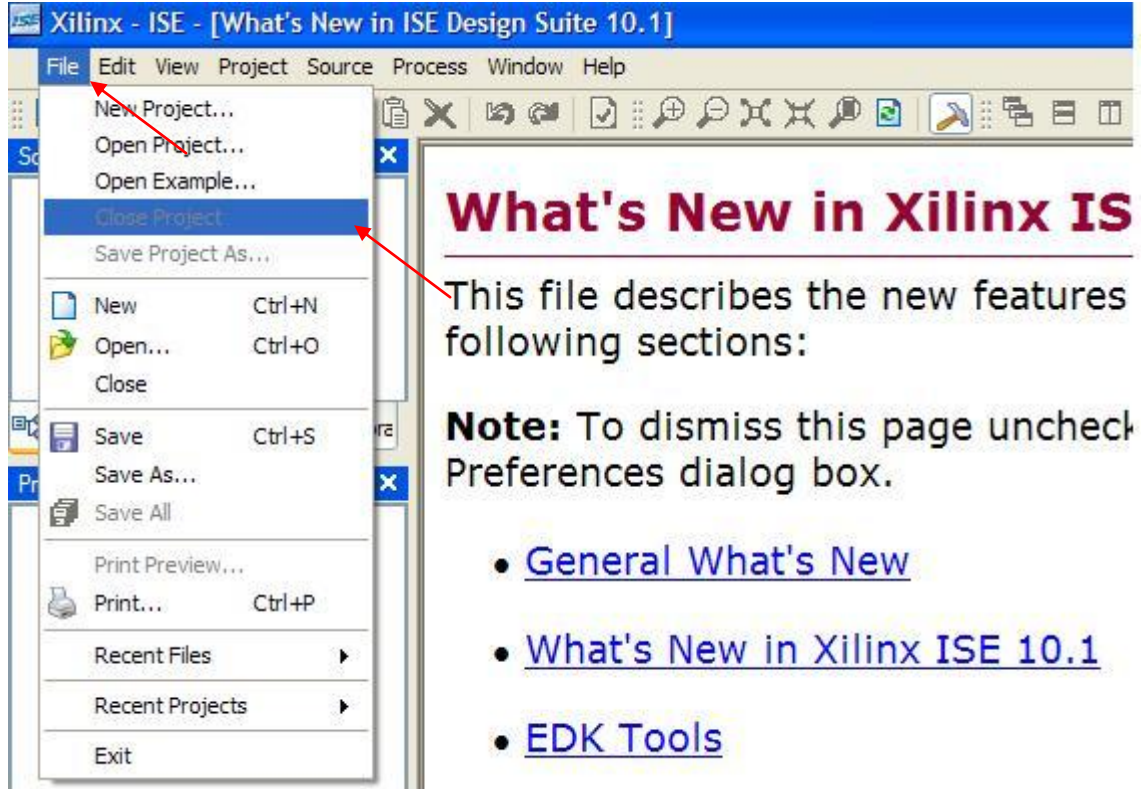
## **İÇİNDEKİLER**

- **PROJE OLUŞTURMA**
- **ŞEMATİK DOSYASI OLUŞTURULMASI**
- **VERILOG DOSYASI OLUŞTURULMASI**
- **TEST DOSYASI OLUŞTURULMASI**
- **XILINX ISE SIMULATOR İLE BENZETİM YAPILMASI**
- **PİN BAĞLANTILARININ TANIMLANMASI**
- **KARTA PROGRAM YÜKLENMESİ**

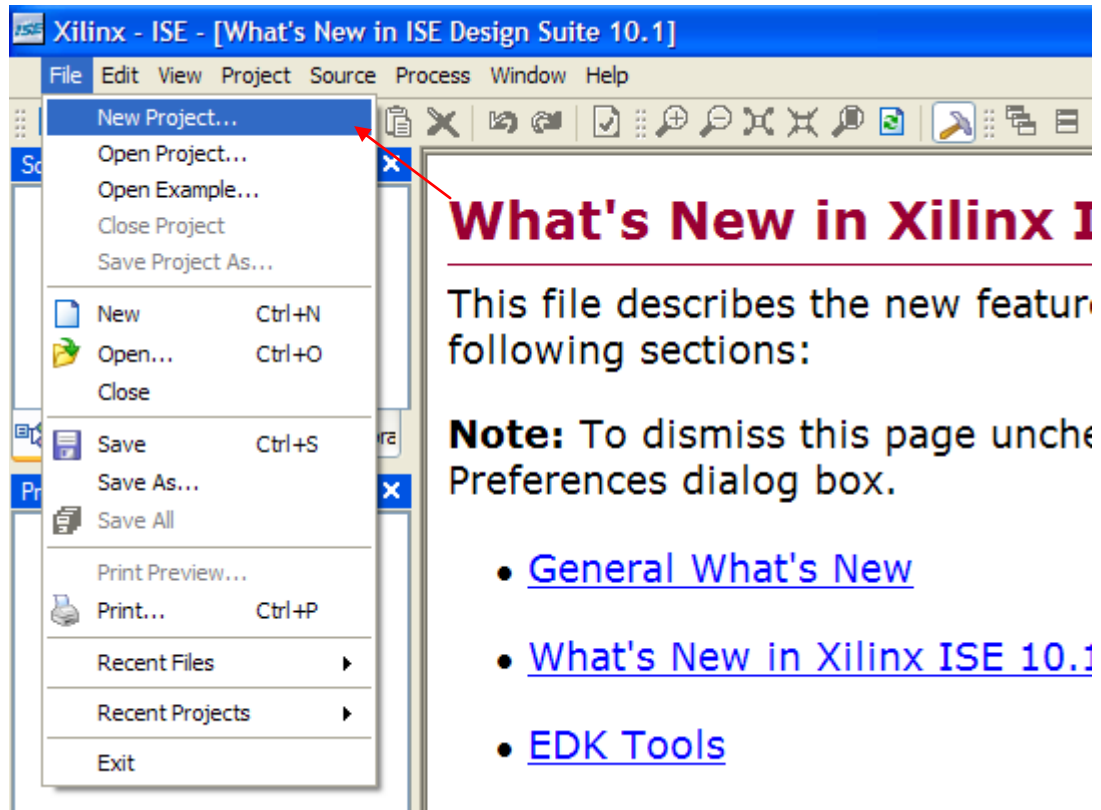
**HAZIRLAYAN: ARŞ. GÖR. EVREN EMEKDAŞ  
ARŞ. GÖR. GENCER TULAY**

## PROJE OLUŖTURMA

**Xilinx** programı ile alıřma yaparken programı alıřtırdığınızda program, zerinde en son alıřma yaptığınız Xilinx dosyası zerinden alıřmaya devam eder. Bu sebeple yeni bir alıřma hazırlarken ncelikle **File→Close Project** ile var olan dosyayı kapatmalı, sonrasında **File→New Project** ile yeni alıřmanızı oluřturmalısınız.

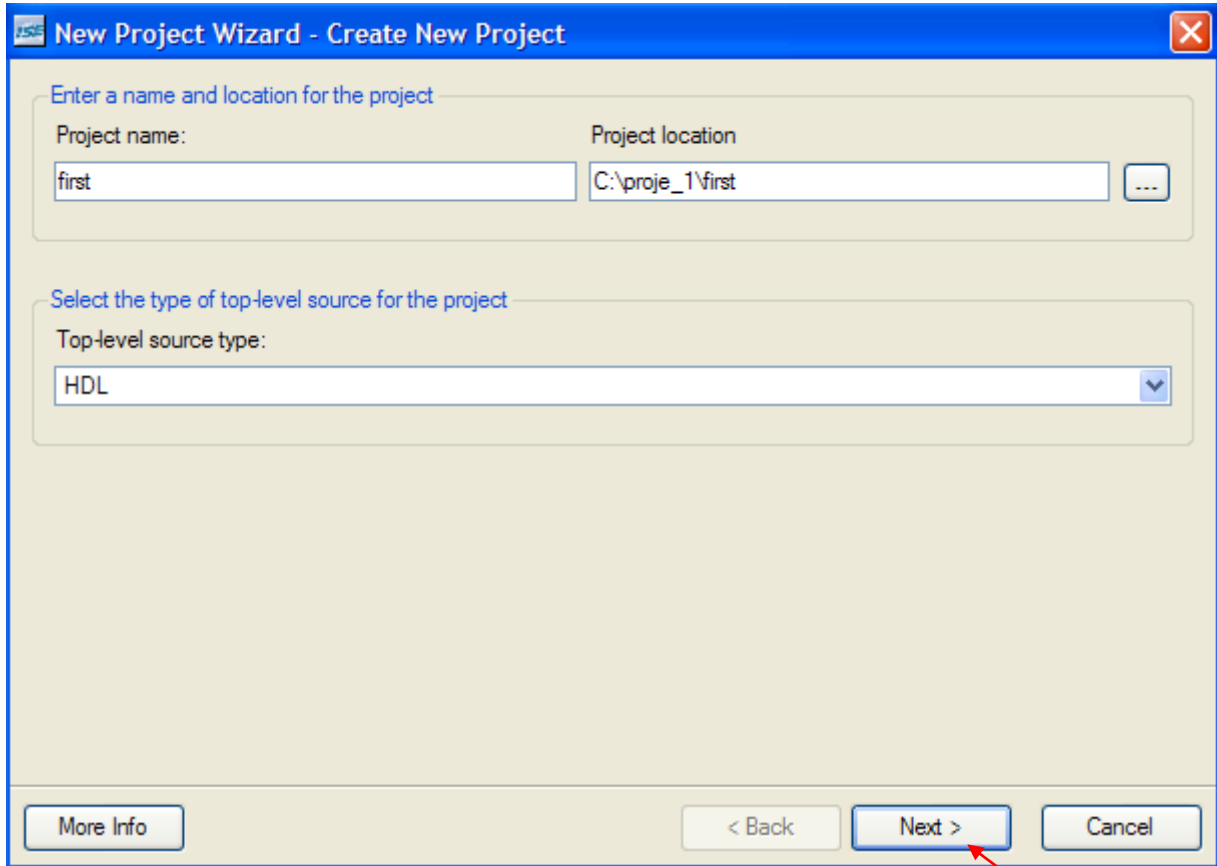


řekil: Var Olan alıřmayı Kapatmak



Şekil: Yeni Proje Oluşturmak

Daha sonra yapacağınız çalışmanın kaydedileceği dosyaların yerini belirleyip projenize isim verin.



**Şekil: Projeye İsim Verilmesi**

**New Project Wizard – Device Properties** penceresinde aşağıdaki ayarlamaları yapın.

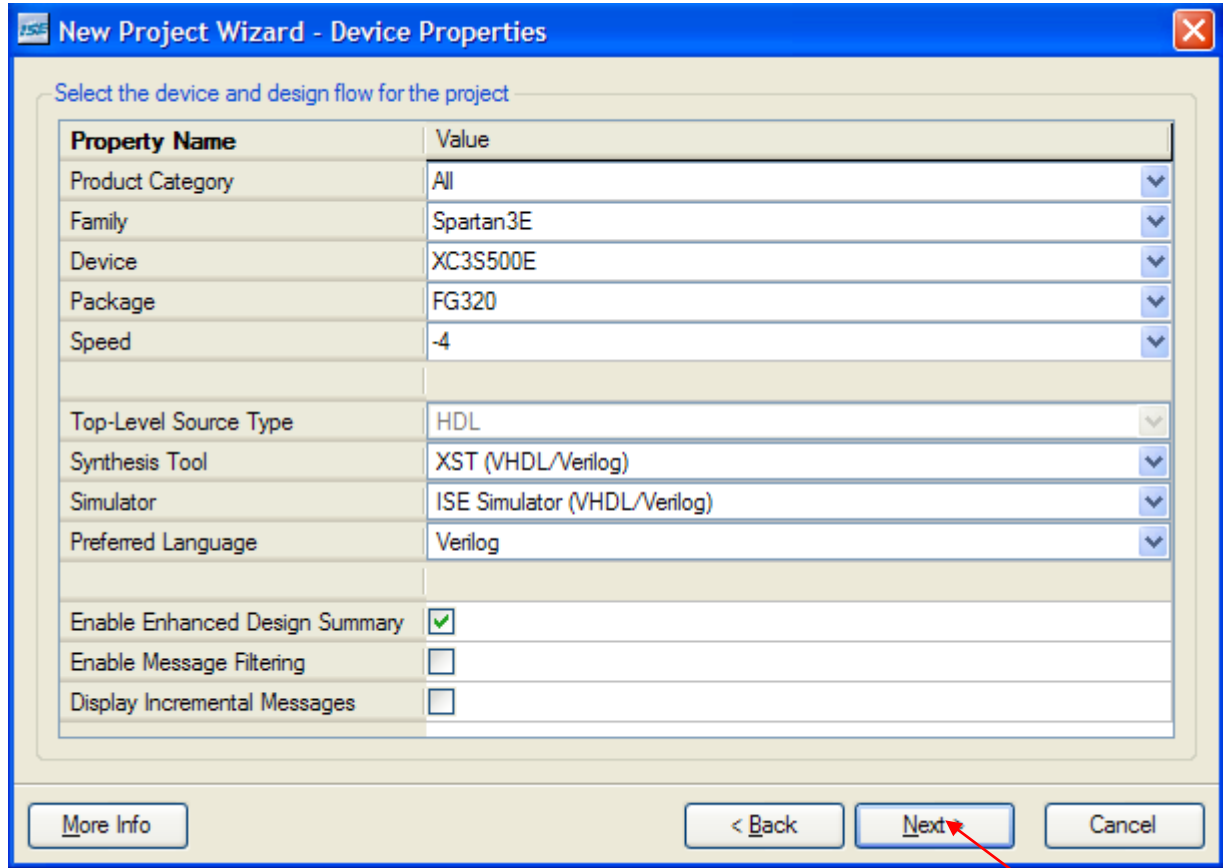
Family: Spartan3E

Device: XC3S500E

Package: FG320

Speed: -4

Simulator: ISE Simulator (VHDL/Verilog)



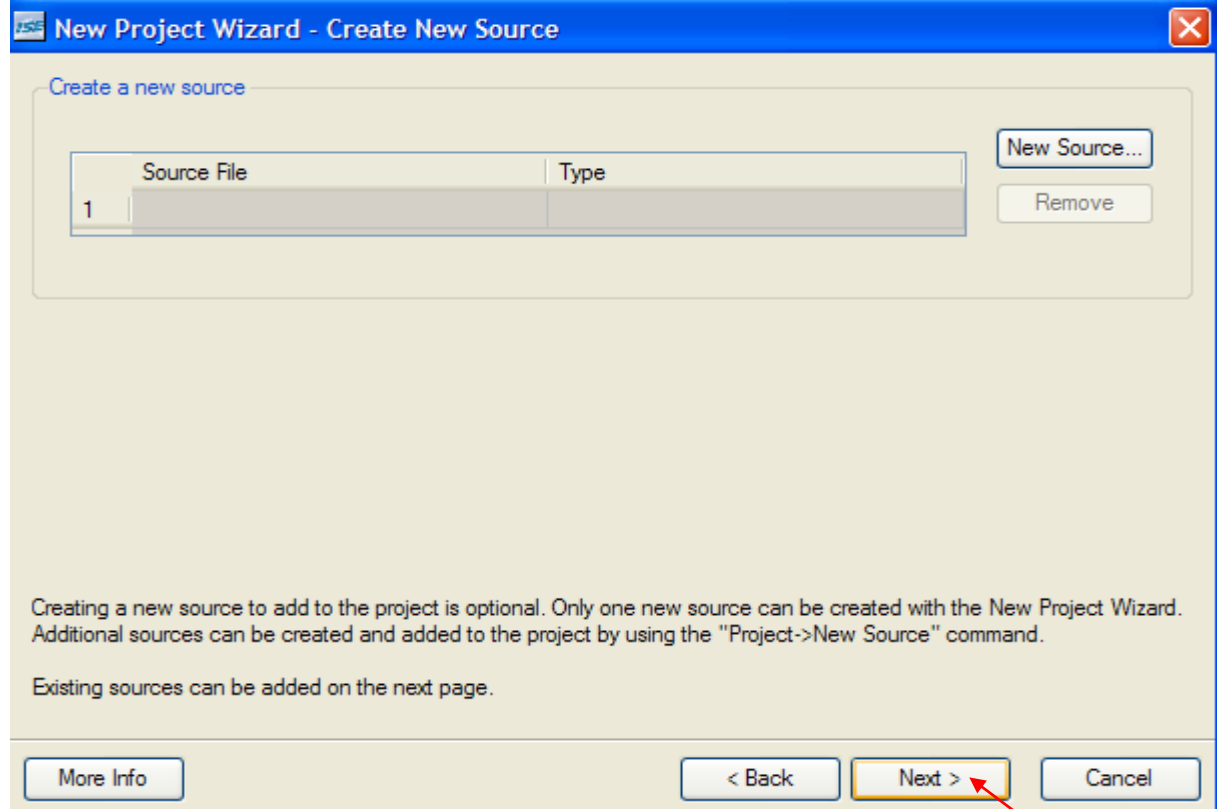
The dialog box is titled "New Project Wizard - Device Properties". It contains a table with the following properties and values:

Property Name	Value
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISE Simulator (VHDL/Verilog)
Preferred Language	Verilog
Enable Enhanced Design Summary	<input checked="" type="checkbox"/>
Enable Message Filtering	<input type="checkbox"/>
Display Incremental Messages	<input type="checkbox"/>

At the bottom, there are three buttons: "More Info", "< Back", and "Next >". A red arrow points to the "Next >" button.

Şekil: Çip Özelliklerinin Ayarlanması

Çip özelliklerini girip **Next** butonuna basın. Açılan **New Project Wizard – Create New Source** penceresindeki **Next** butonuna basın.

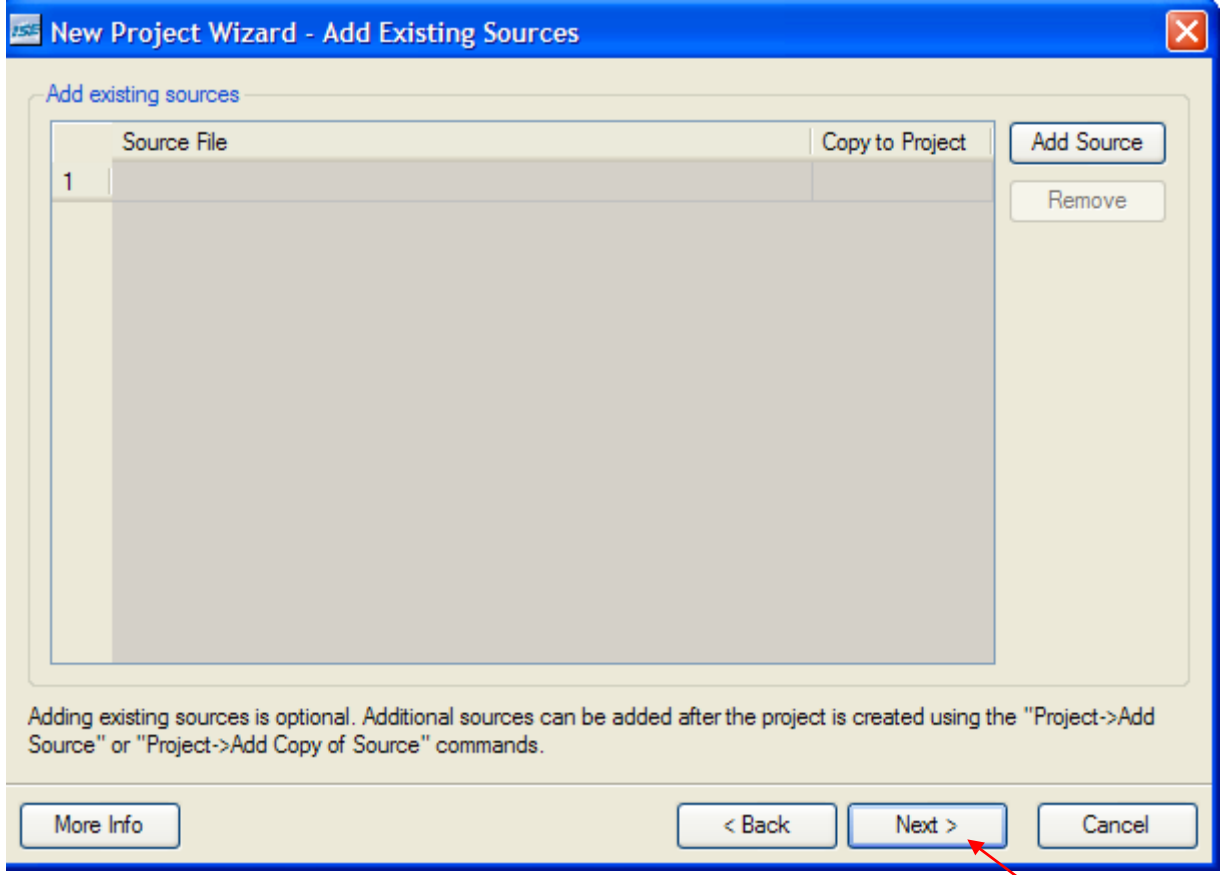


The dialog box is titled "New Project Wizard - Create New Source". It contains a table with the following columns: "Source File" and "Type".

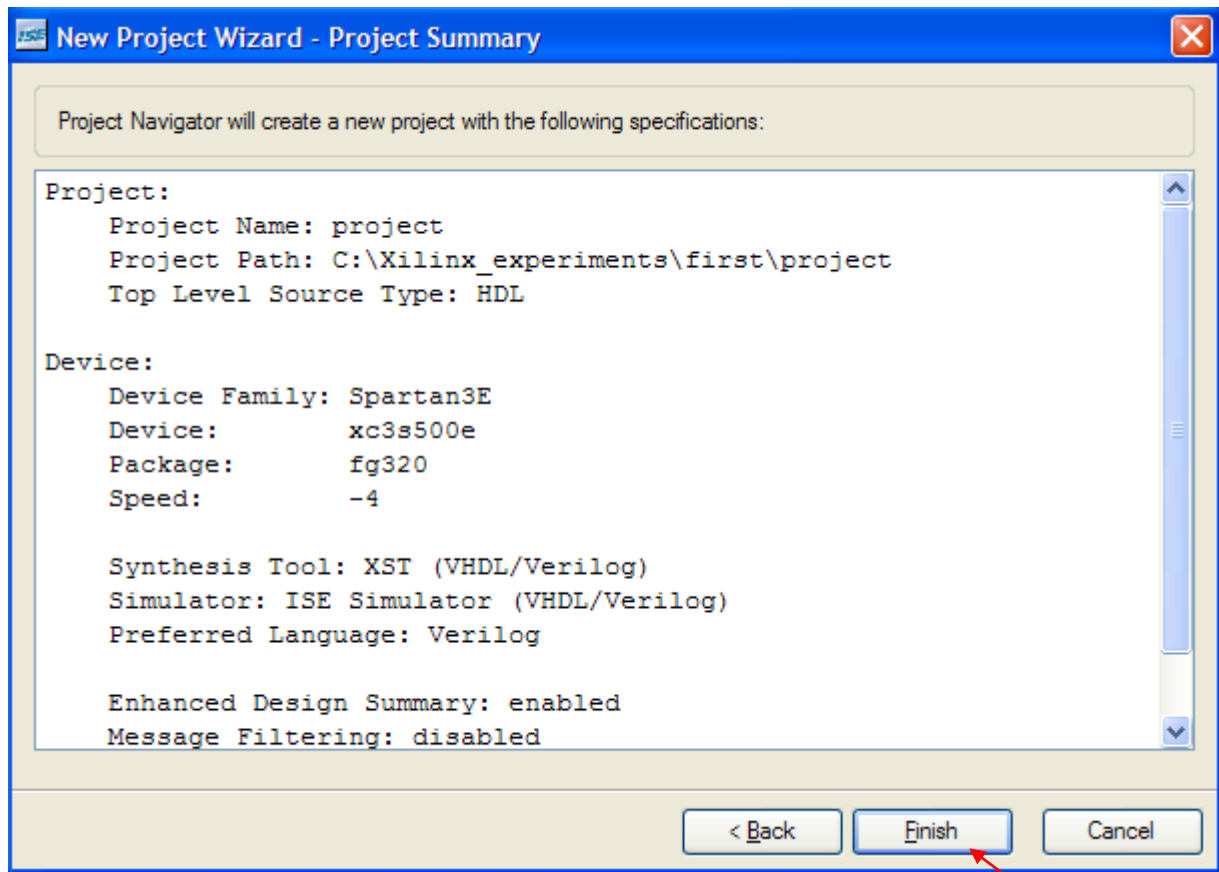
Source File	Type
1	

At the bottom, there are three buttons: "More Info", "< Back", and "Next >". A red arrow points to the "Next >" button.

Açılan **New Project Wizard – Add Existing Sources** penceresindeki **Next** butonuna basın.

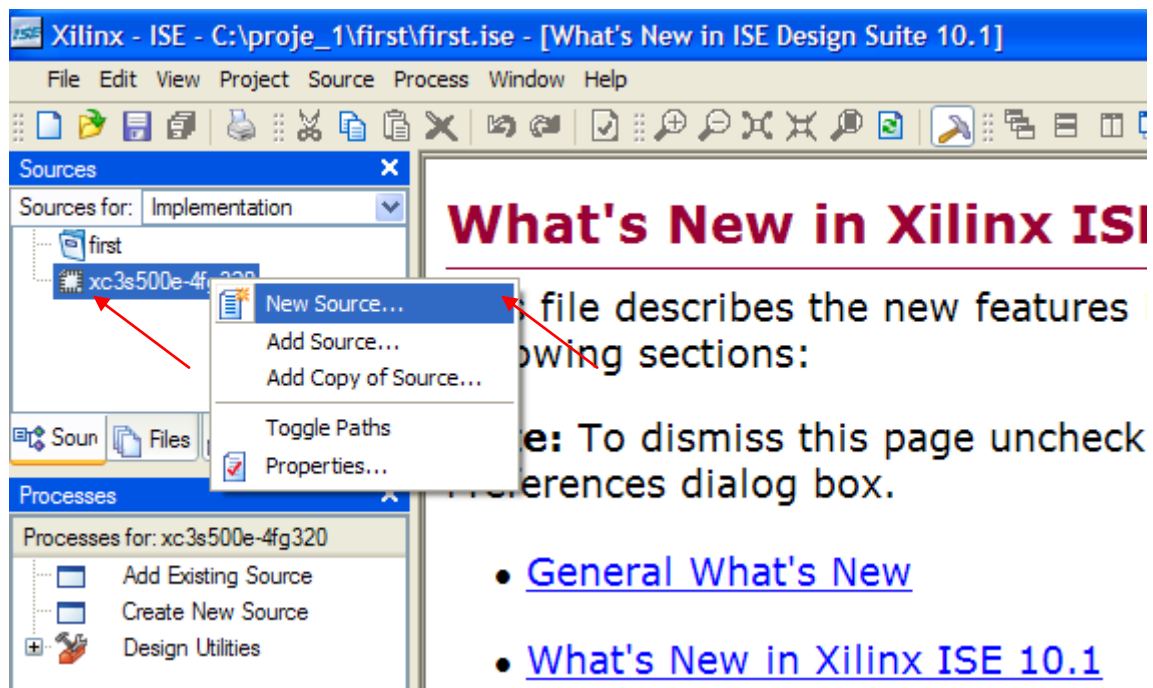


Açılan **New Project Wizard – Project Summary** penceresinde önceden yaptığınız ayarlamaları denetledikten sonra **Finish** butonuna basın.



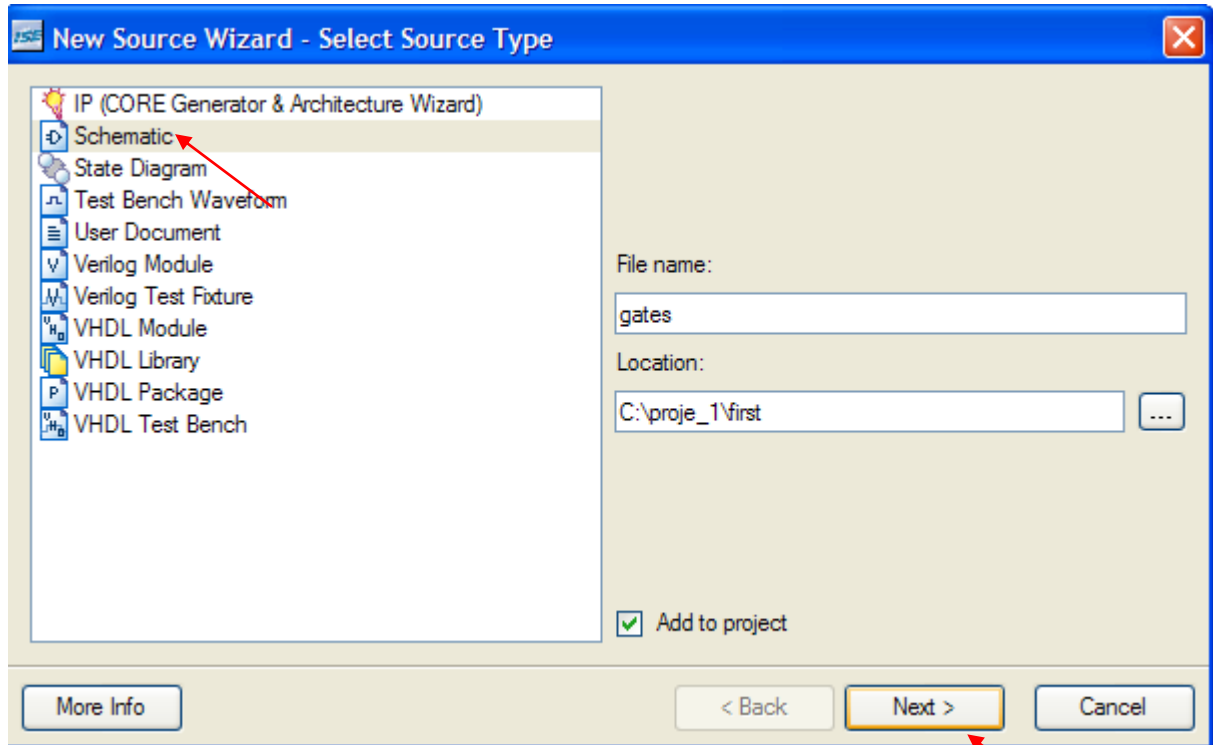
## ŞEMATİK DOSYASI OLUŞTURULMASI

Soldaki **Sources** penceresindeki çip modelinin üstüne sağ tıklayın. Açılan pencerede **New Source** seçeneğine tıklayın.

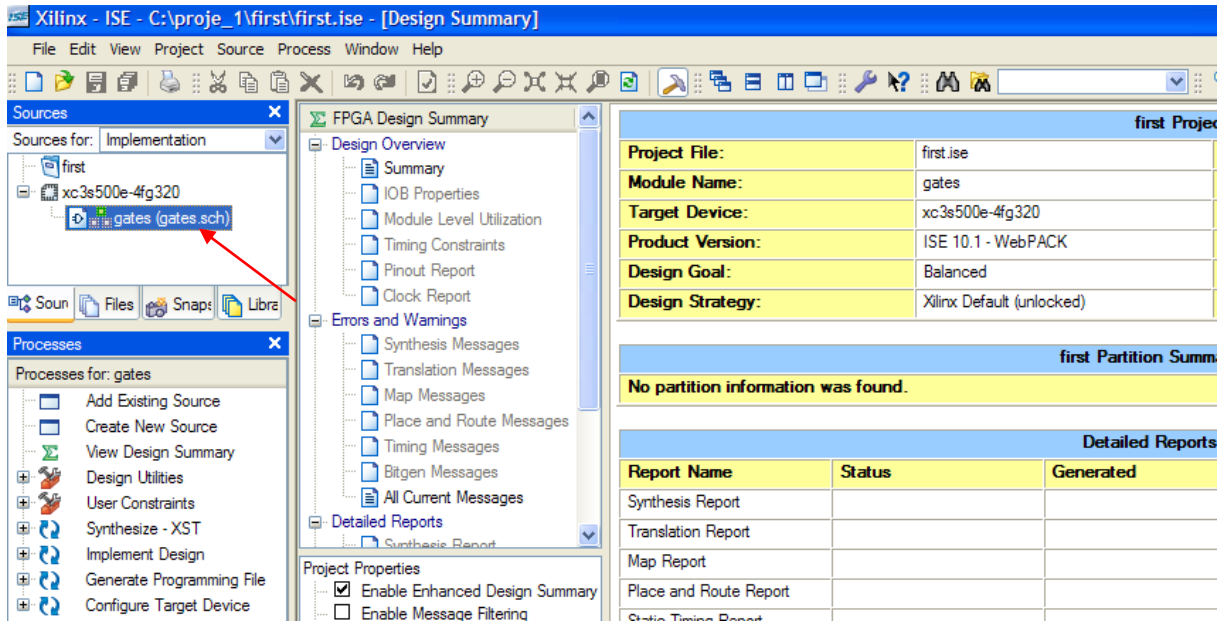


- [General What's New](#)
- [What's New in Xilinx ISE 10.1](#)

Açılan **New Source Wizard – Select Source Type** penceresinde sol sütundaki **Schematic** seçeneğini işaretleyin ve dosya ismi belirtip **Next** butonuna tıklayın.

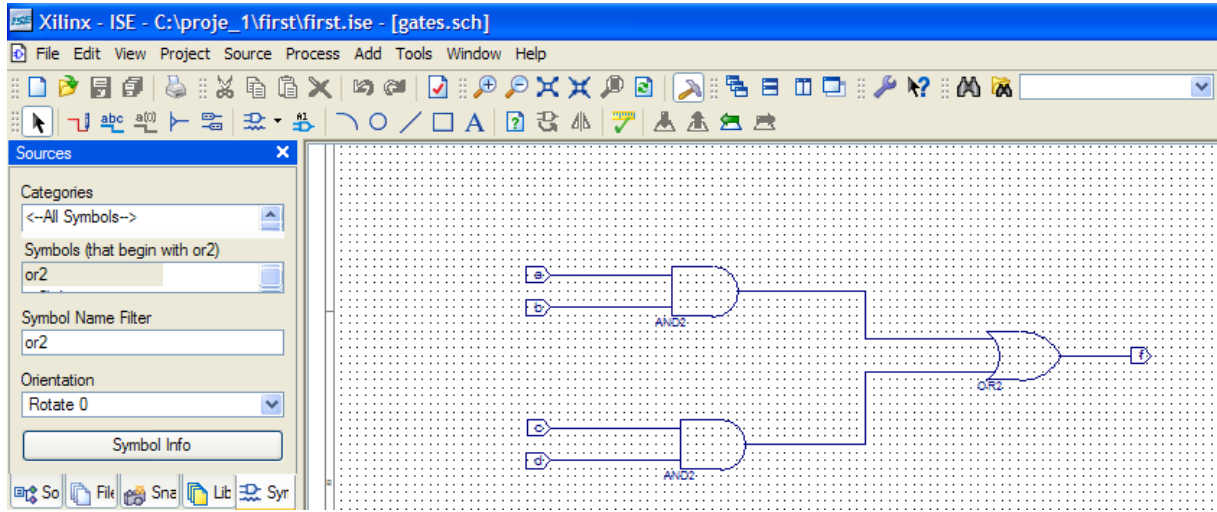


Açılan **New Source Wizard – Summary** penceresindeki bilgileri denetleyip **Finish** butonuna tıklayın.



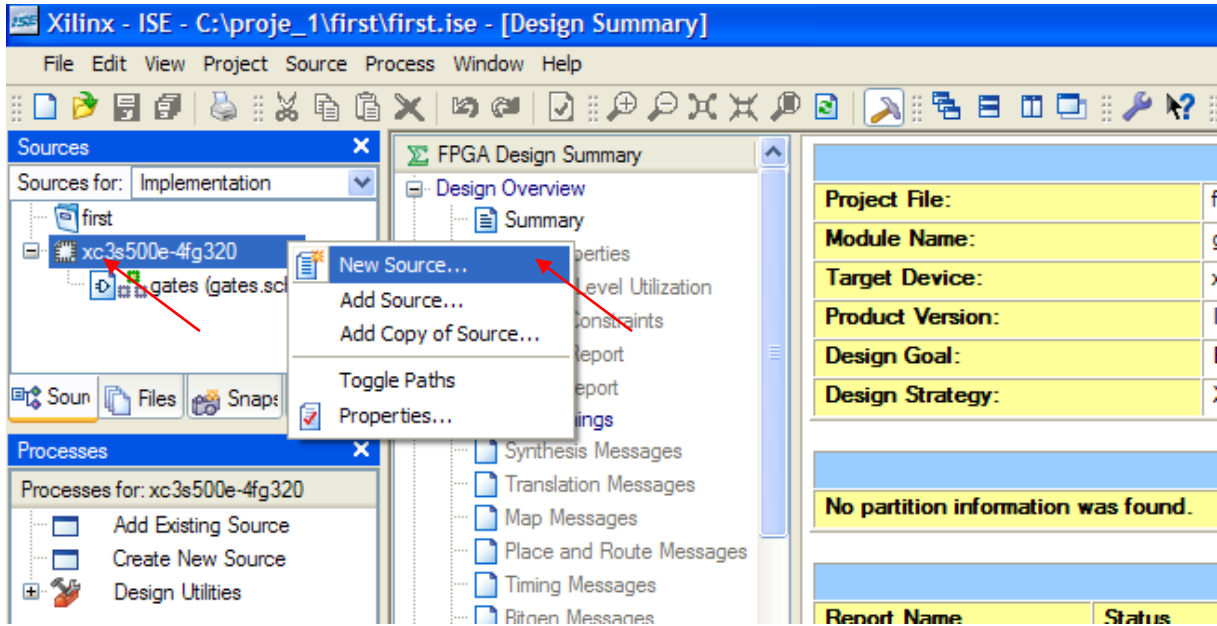


Açılan sayfada çalışmanızı şema olarak hazırlayın ve kaydedin.

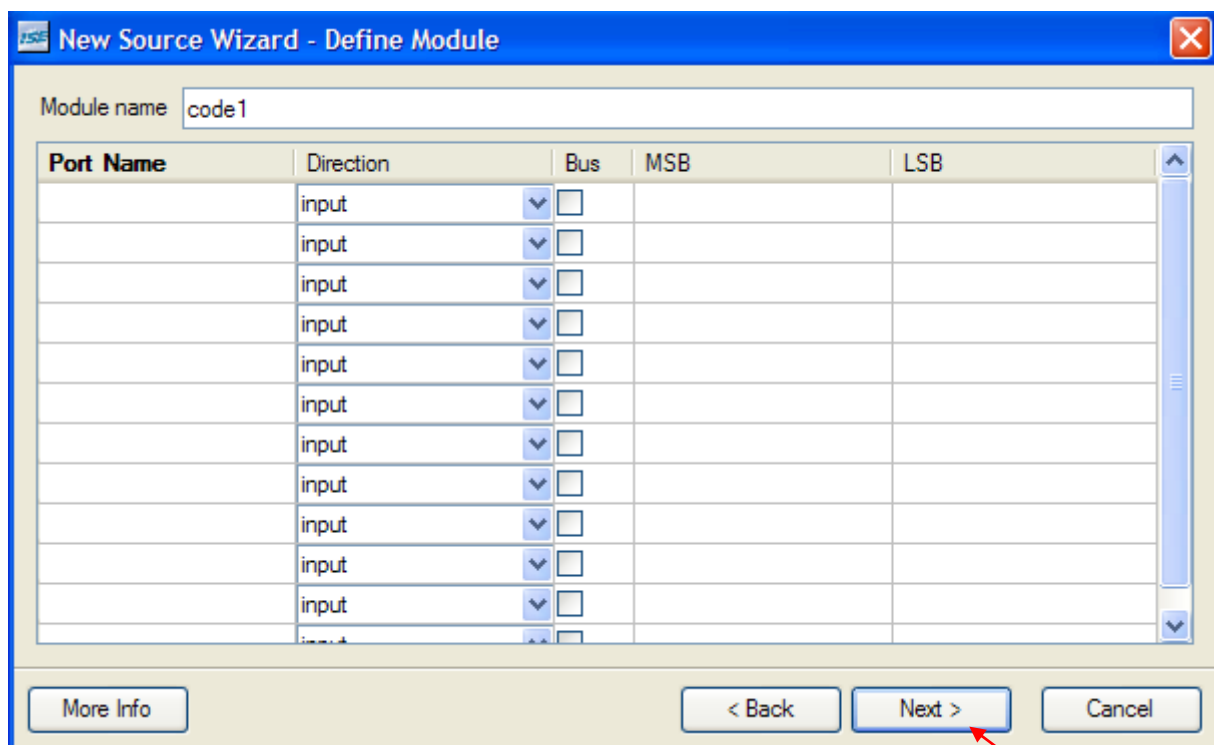
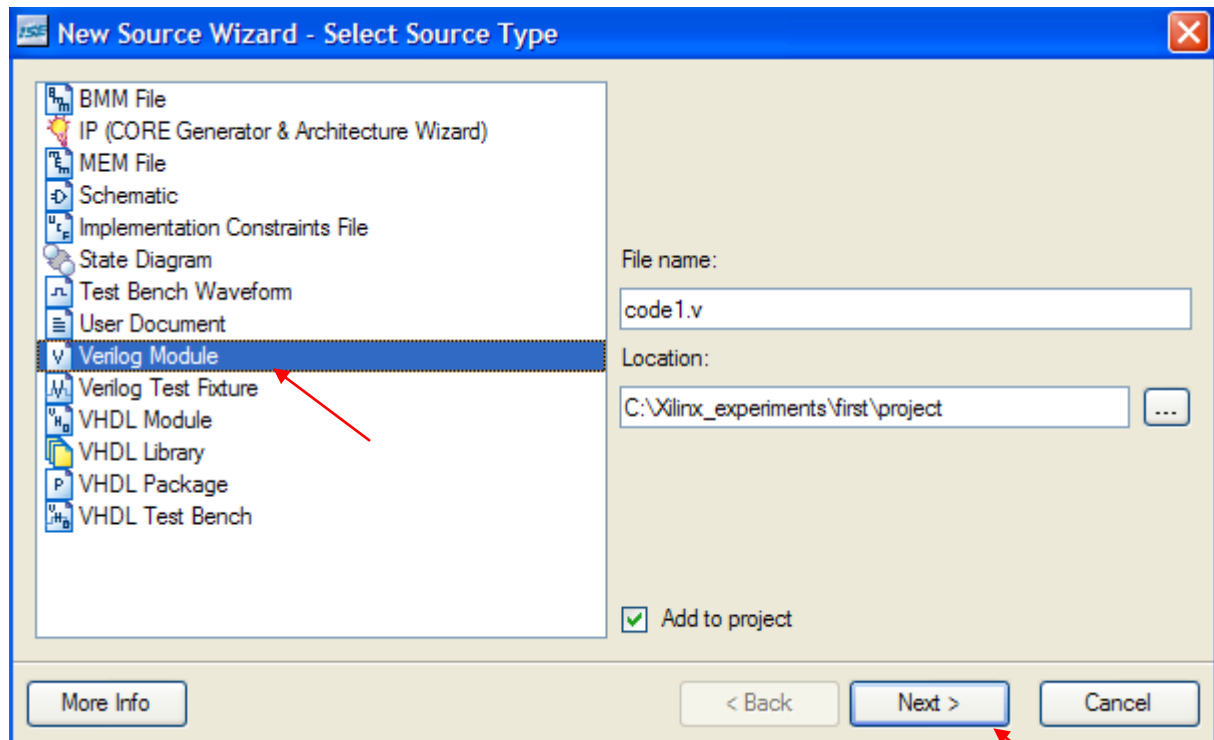


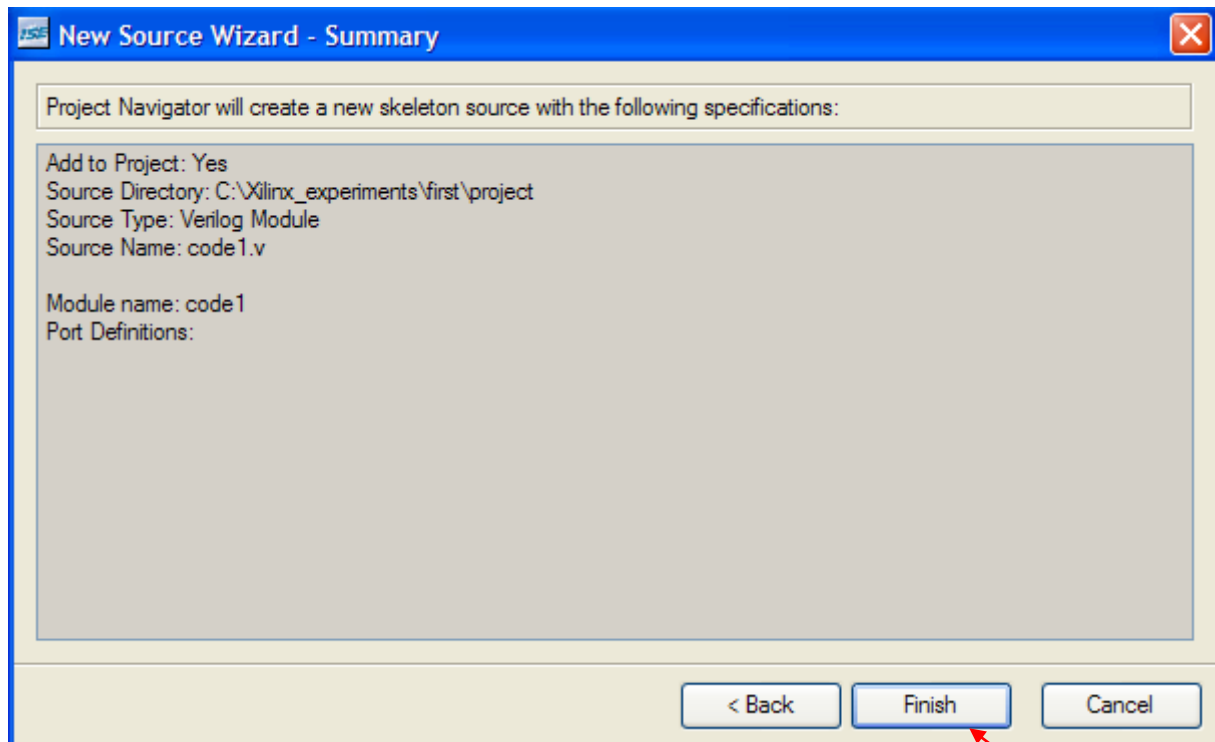
## VERILOG DOSYASI OLUŞTURULMASI

Soldaki **Sources** penceresindeki çip modelinin üstüne sağ tıklayın. Açılan pencerede **New Source** seçeneğine tıklayın.



Açılan **New Source Wizard – Select Source Type** penceresinde sol sütundaki **Verilog Module** seçeneğini işaretleyin ve dosya ismi belirtip **Next** butonuna tıklayın.





**New Source Wizard – Summary** penceresindeki **Finish** butonuna tıkladıktan sonra Verilog kodunuzu oluşturacağınız ekran açılacaktır.

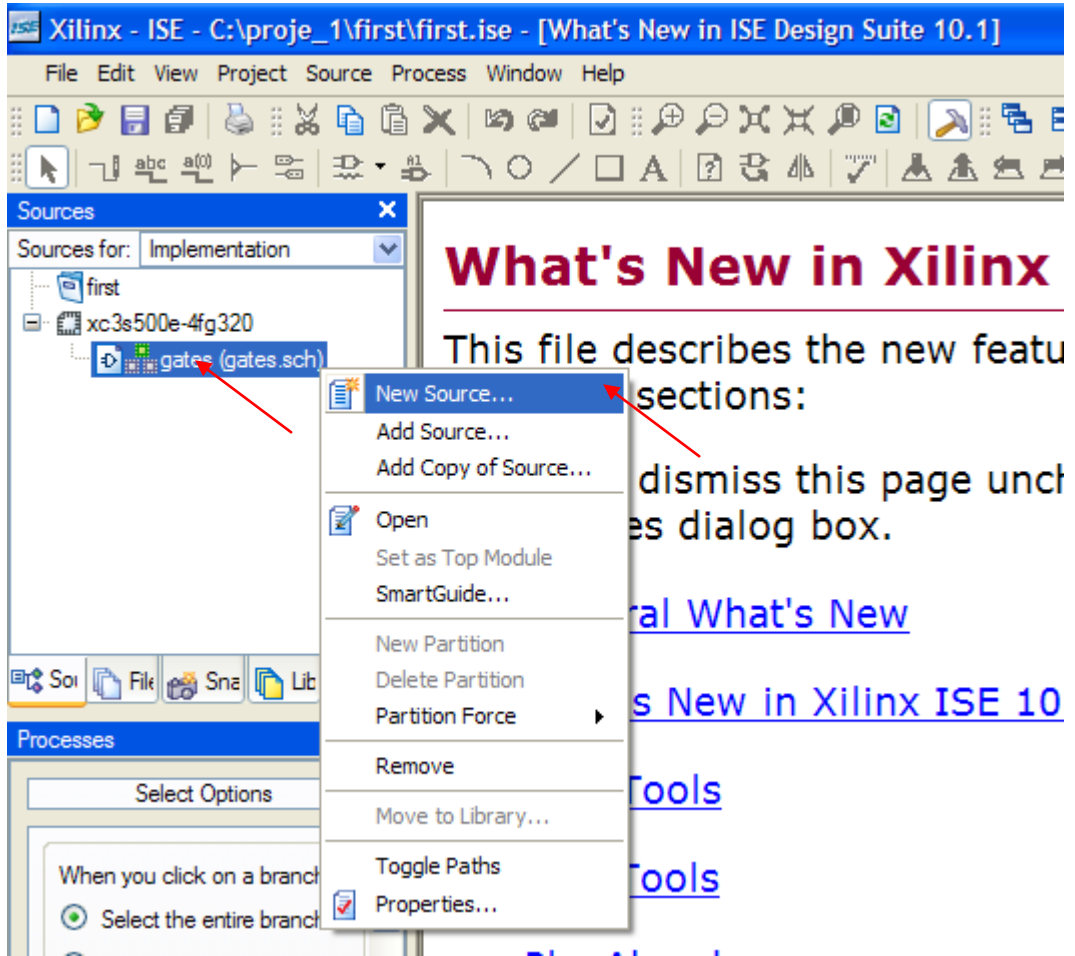
```
1  `timescale 1ns / 1ps
2  //////////////////////////////////////////////////////////////////////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date:    14:50:16 10/19/2011
7  // Design Name:
8  // Module Name:    code1
9  // Project Name:
10 // Target Devices:
11 // Tool versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////////////////////////////////////////////////////////////////////////////////
21 module code1 (
22     );
23
24
25 endmodule
26
```

Bu alana program kodunuzu yazdıktan sonra çalışmanızı kaydedin.

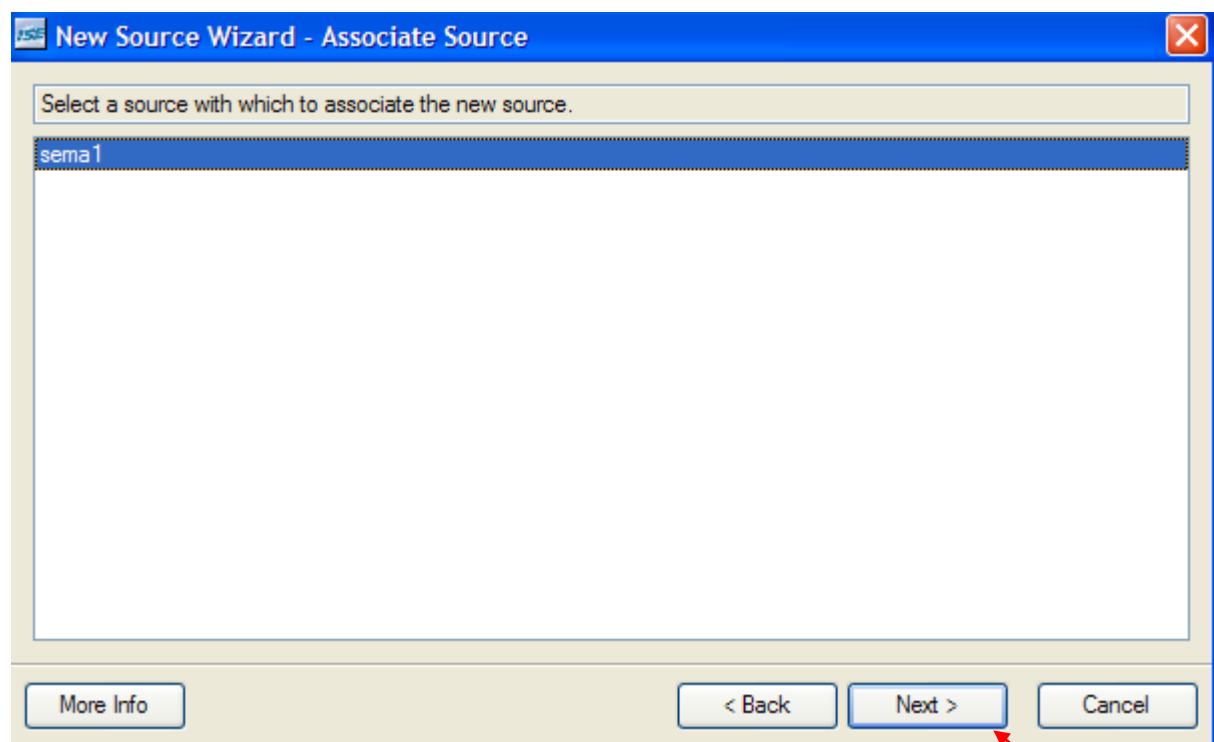
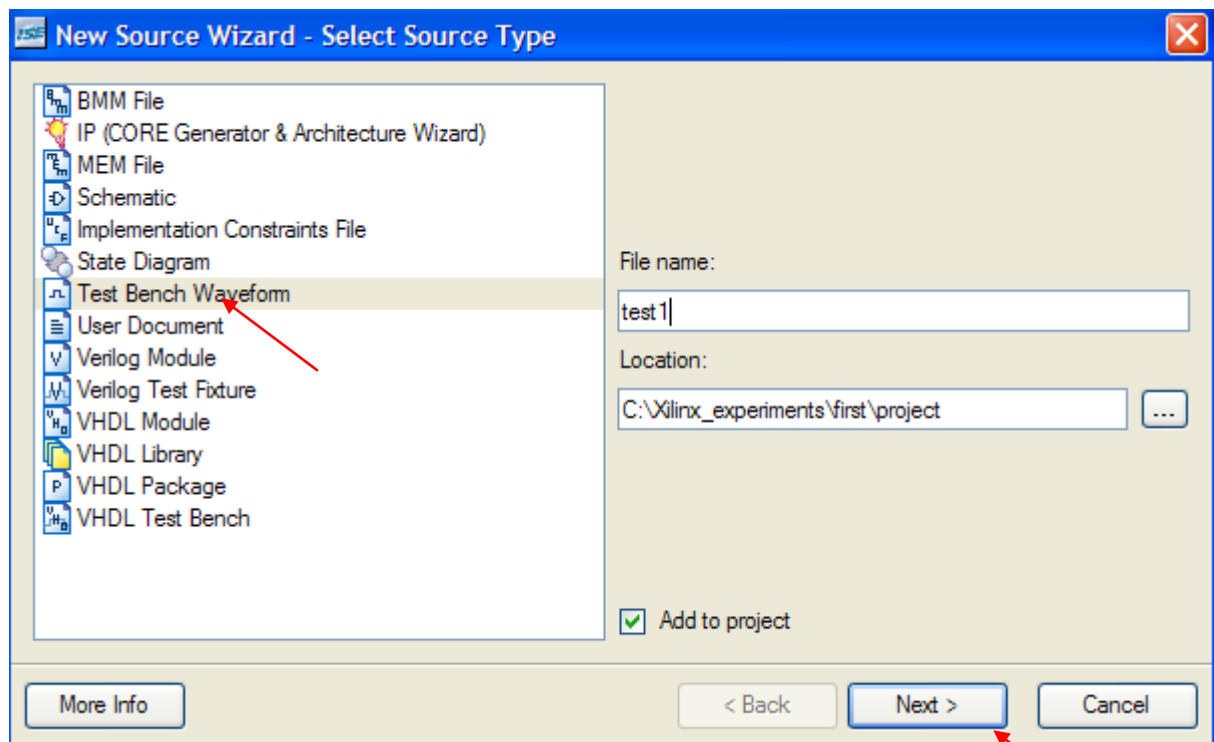
```
9 // Project Name:
10 // Target Devices:
11 // Tool versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////.
21 module code1(F,A,B,C);
22     output F;
23     input A,B,C;
24     wire e;
25     or o1(e,B,C);
26     and a1(F,A,e);
27
28
29 endmodule|
30
```

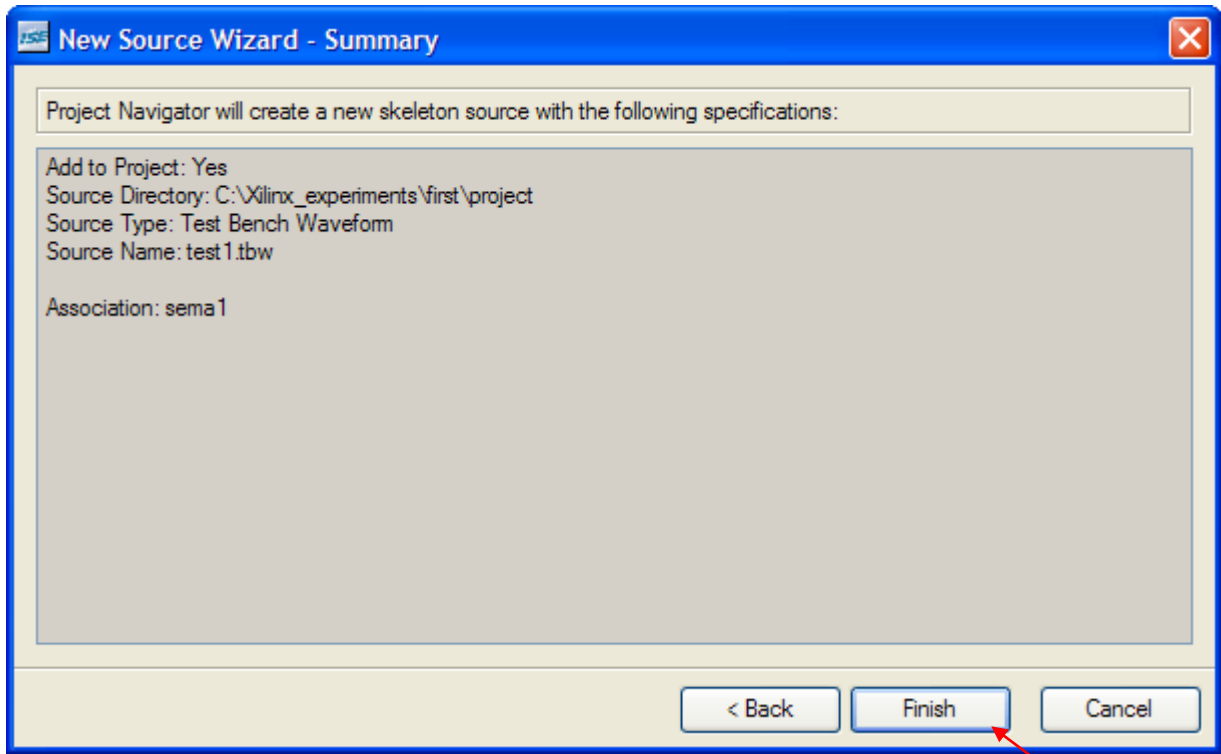
## TEST DOSYASI OLUŖTURULMASI

Kaynak dosyası üzerine sađ tıklayarak **New Source** seçeneđini iřaretleyin.



Açılan **New Source Wizard – Select Source Type** penceresinde sol sütundaki **Test Bench Waveform** seçeneđini iřaretleyin ve dosya ismi belirtip **Next** butonuna tıklayın.





Yukarıda gösterilen **New Source Wizard – Summary** penceresindeki verileri denetleyip **Finish** butonuna bastıktan sonra **Initial Timing and Clock Wizard - Initialize Timing** penceresi açılacaktır. Bu pencerede **Clock Information** bölümündeki **Combinatorial (or internal clock)** seçeneğini işaretleyin.

**Initial Timing and Clock Wizard - Initialize Timing**

Assign Inputs → Wait To Check → Check Outputs → Wait To Assign → Assign Inputs

**Clock Timing Information**

Inputs are assigned at "Input Setup Time" and outputs are checked at "Output Valid Delay".

☒ Rising Edge    ☐ Falling Edge  
☐ Dual Edge (DDR or DET)

Clock High Time:  ns  
 Clock Low Time:  ns  
 Input Setup Time:  ns  
 Output Valid Delay:  ns  
 Offset:  ns

**Clock Information**

☐ Single Clock   
☐ Multiple Clocks  
☒ Combinatorial (or internal clock)

**Combinatorial Timing Information**

Inputs are assigned, outputs are decoded then checked. A delay between inputs and outputs avoids assignment/checking conflicts.

Check Outputs:  ns After Inputs are Assigned  
 Assign Inputs:  ns After Outputs are Checked

**Global Signals**

☐ PRLD (CPLD)    ☐ GSR (FPGA)  
 High for Initial:  ns

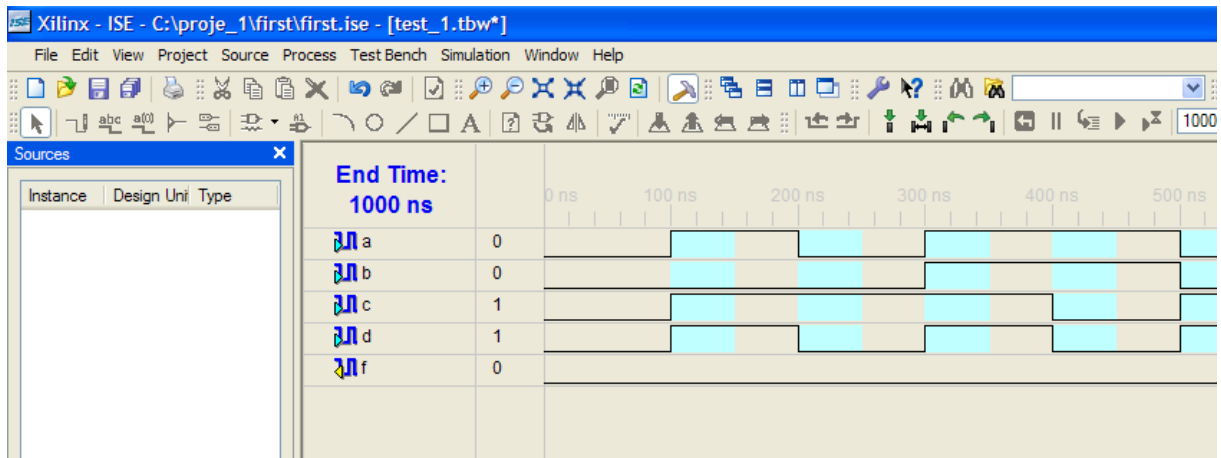
Initial Length of Test Bench:  ns

Time Scale:

☐ Add Asynchronous Signal Support

More Info
< Back
Finish
Cancel

Bu işlem sonunda açılan **.tbw** uzantılı test dosyanıza simülasyon yapmak için uygun değerleri girin.

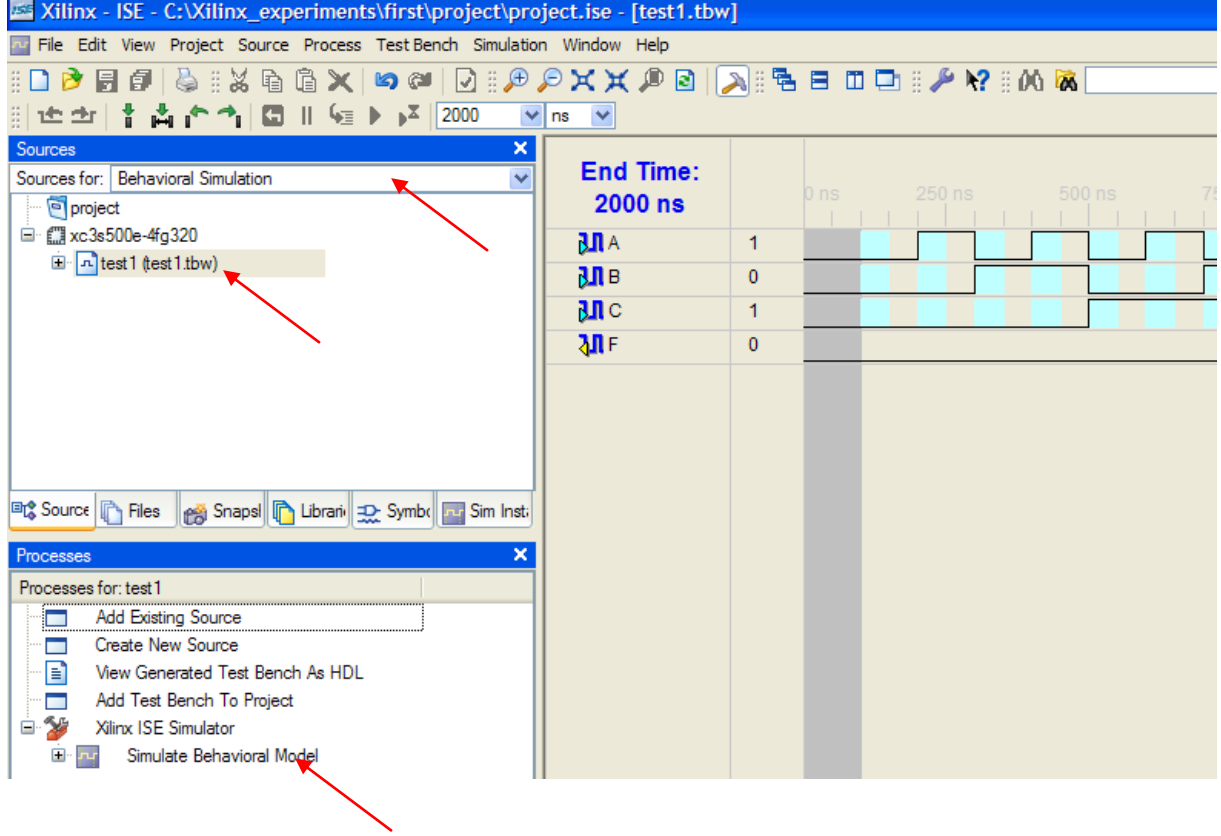


Bu işlemleri tamamladıktan sonra test dosyanızı kaydedin.

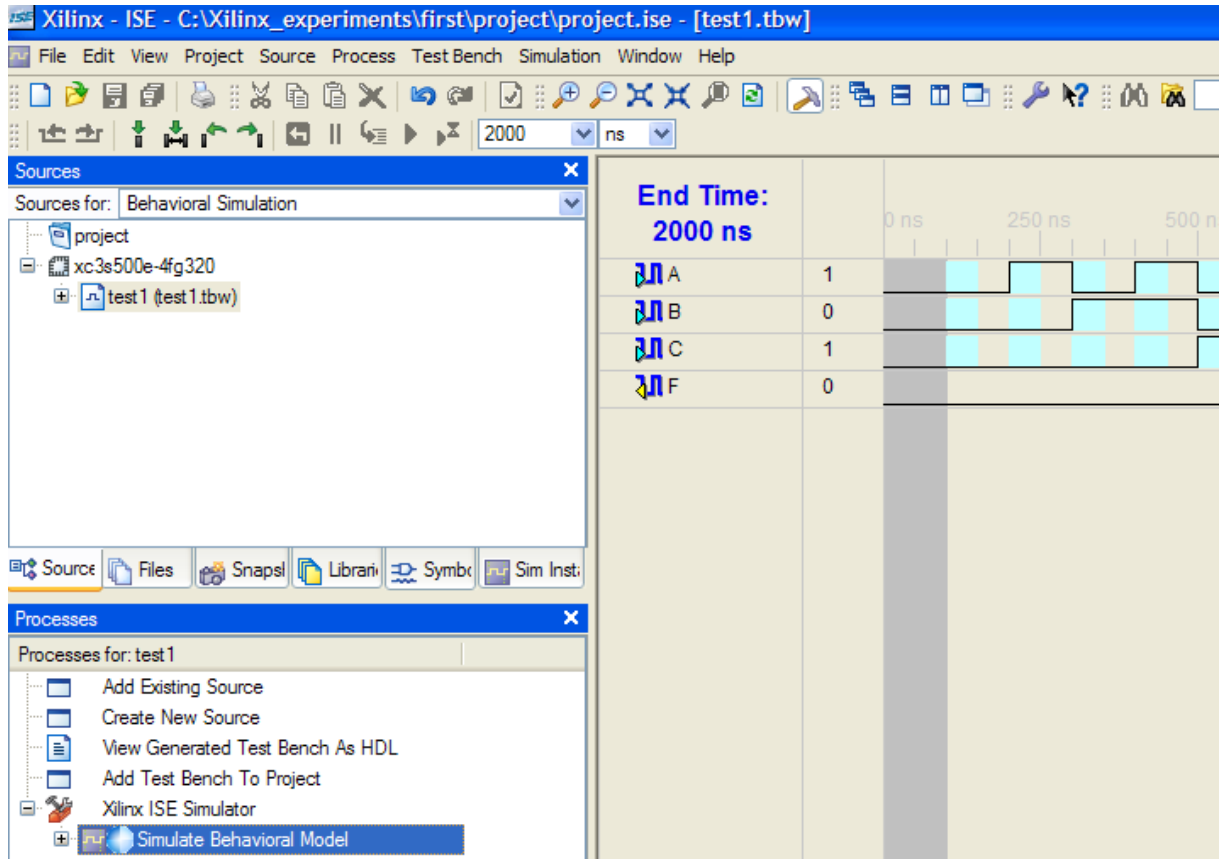


## XILINX ISE SIMULATOR İLE BENZETİM YAPILMASI

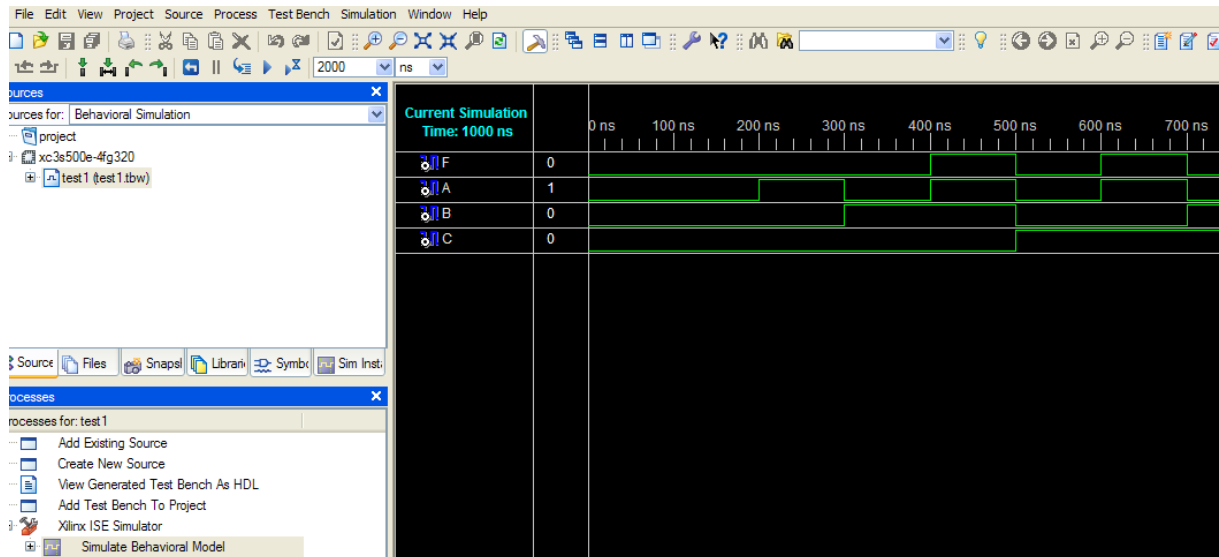
**Sources** bölümündeki **Sources for** seçeneğini **Behavioral Simulation** olarak işaretleyin. Test dosyanızın adına çift tıklayarak test dosyanızı açın.



**Processes** bölümündeki **Simulate Behavioral Model** seçeneğine çift tıklayınız. Benzetim işlemi sürerken program ekranınız aşağıdaki gibi görünecektir.

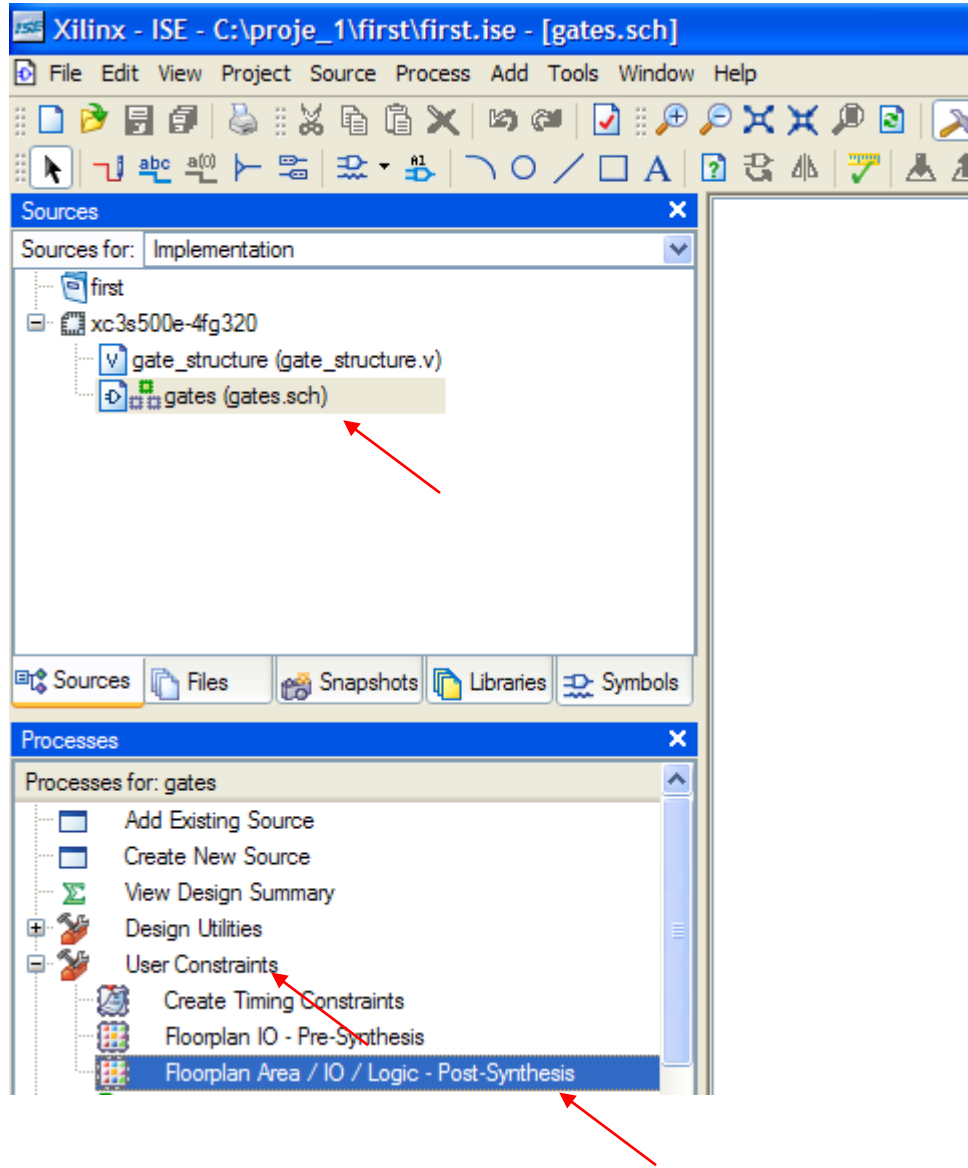


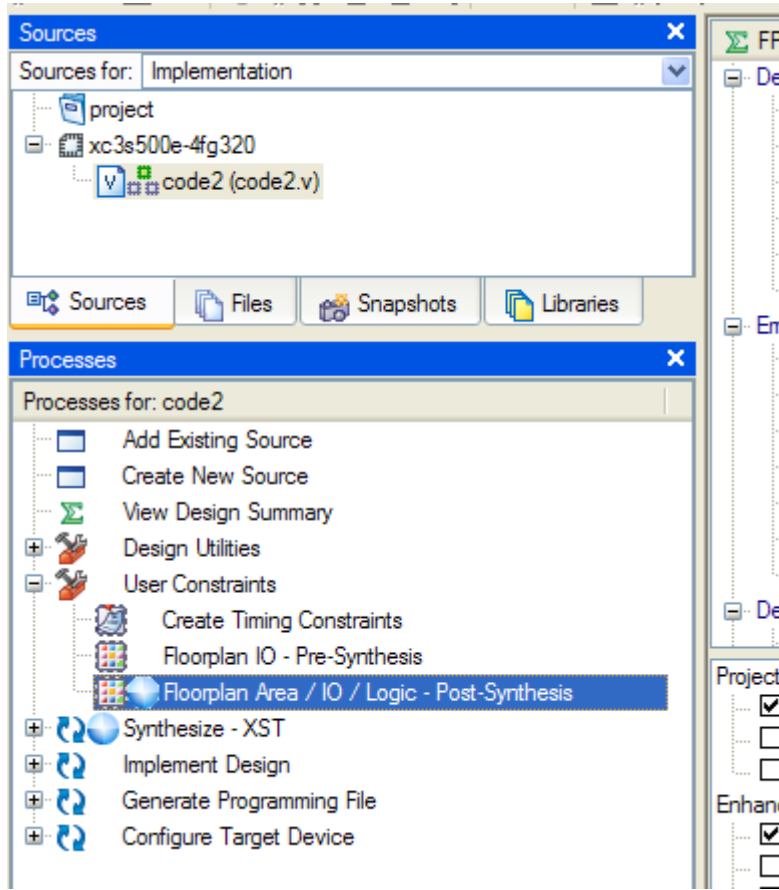
Benzetim işlemi tamamlandıktan sonra programınızda benzetim sonuçları aşağıdaki gibi görünecektir. Benzetim sonuçları ile tasarımınızdan elde etmeniz gereken sonuçları karşılaştırınız. Eğer farklılık varsa tasarım aşamasına tekrar dönünüz.



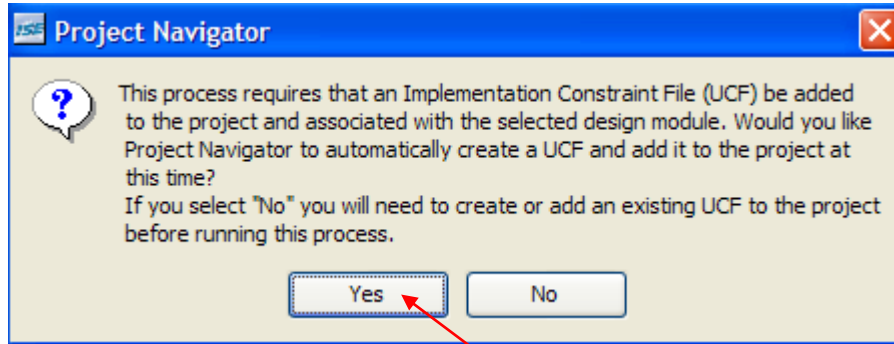
## PİN BAĞLANTILARININ TANIMLANMASI

**Processes** bölümündeki **User Constranits** seçeneğindeki **Floorplan Area/IO/Logic-Post-Synthesis** seçeneğini çift tıklayınız.

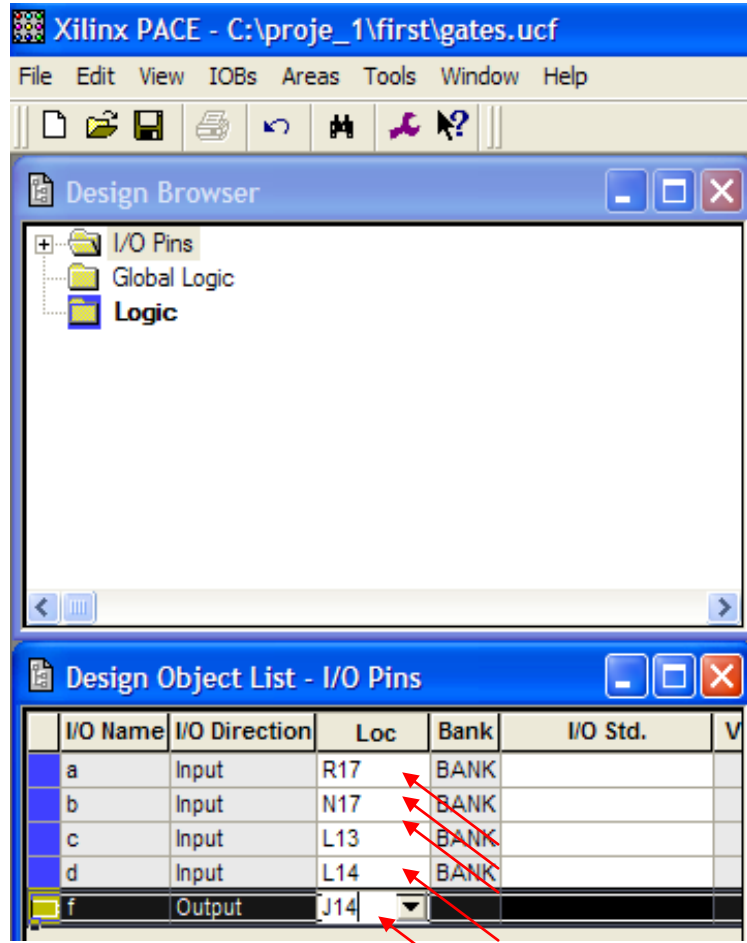




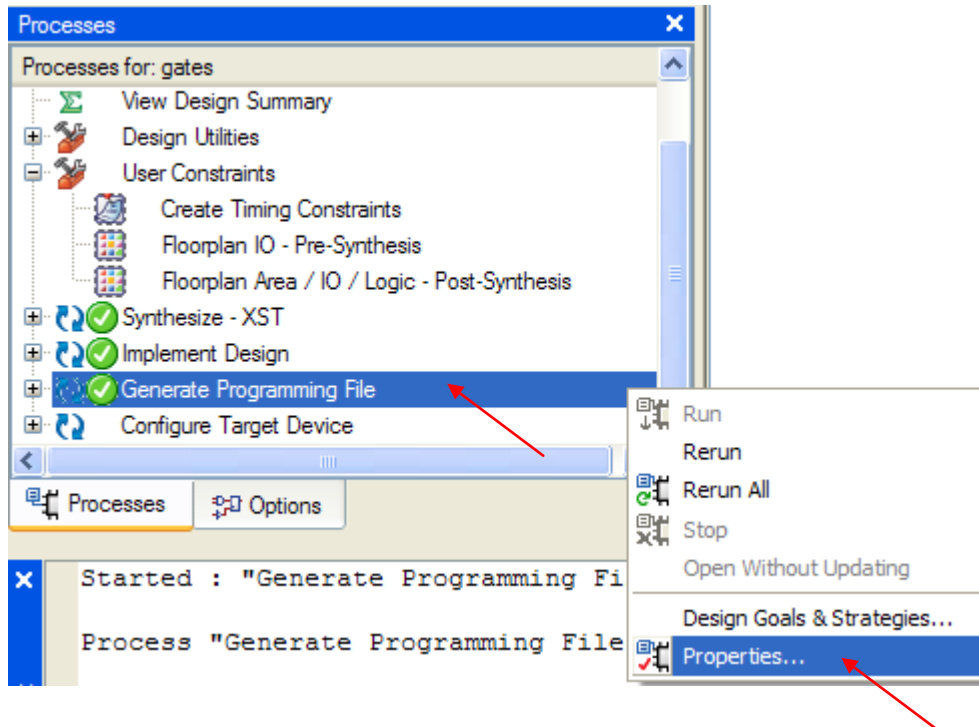
Bu aşamadan sonra aşağıda çıkacak olan **Project Navigator** penceresinde **Yes** butonuna tıklayınız.



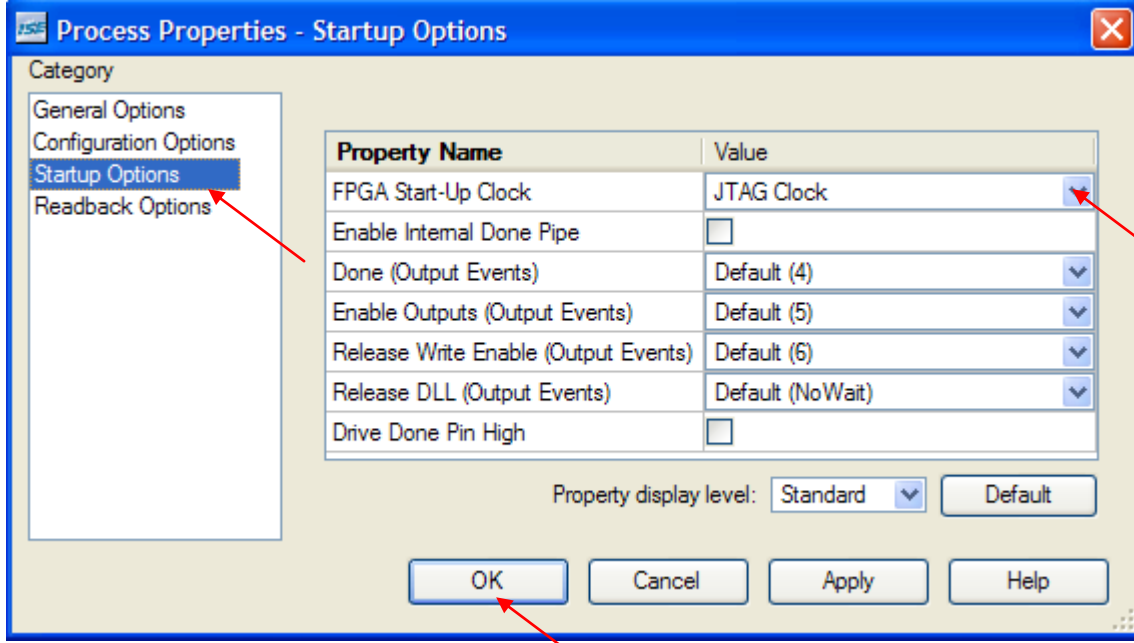
Açılan **Xilinx – PACE** penceresinde **.ucf** uzantılı dosya oluşacaktır. Bu pencerede Nexys2 kartınızda kullanacağınız pin bağlantıları tanımlanacaktır. Bunun için kart üzerinde yazılı değerleri kullanınız. (Örneğin SW0 için G18, LD0 için J14...)



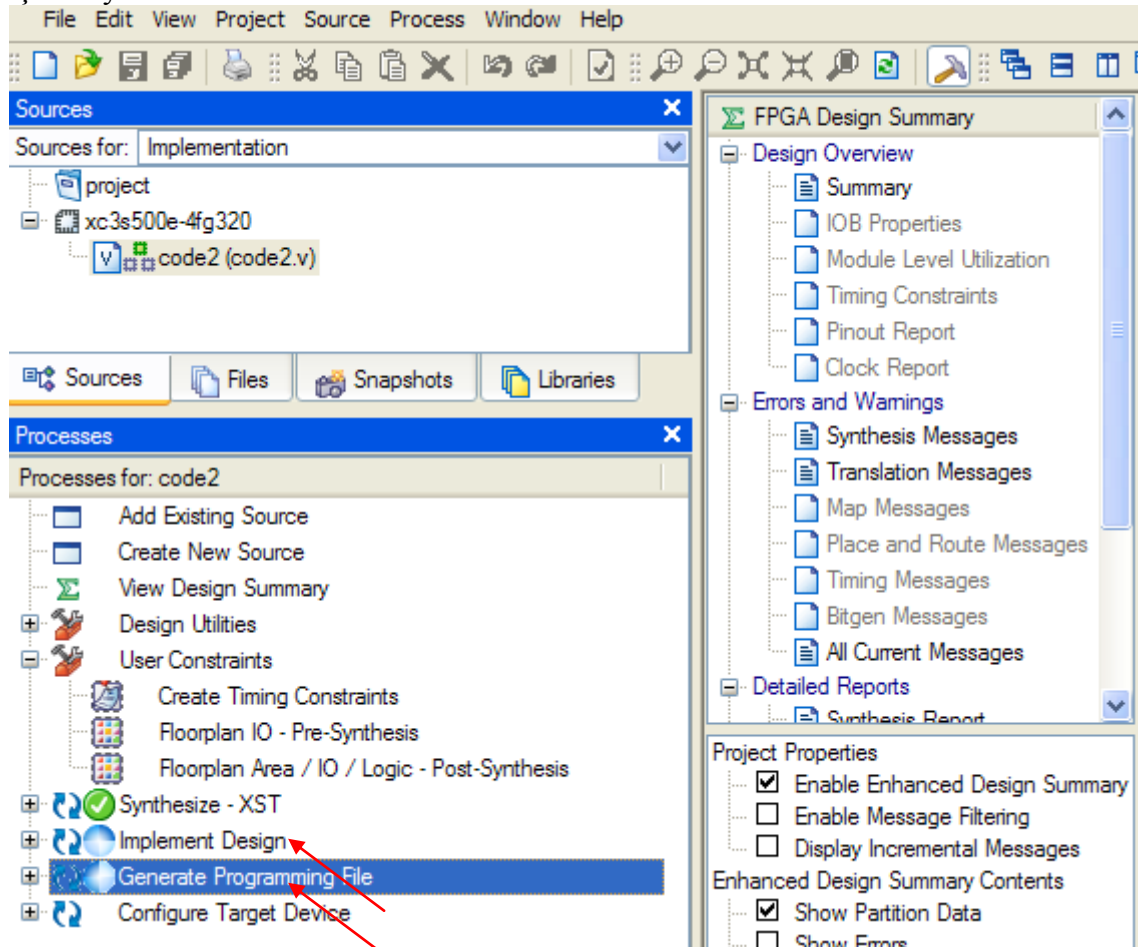
Tasarımınızda kullanacağınız giriş ve çıkışları tanımlayıp dosyanızı kaydediniz. Bu işlemten sonra **Processes** bölümündeki **Generate Programming File** seçeneğine sağ tıklayıp **Properties** bölümünü açın.



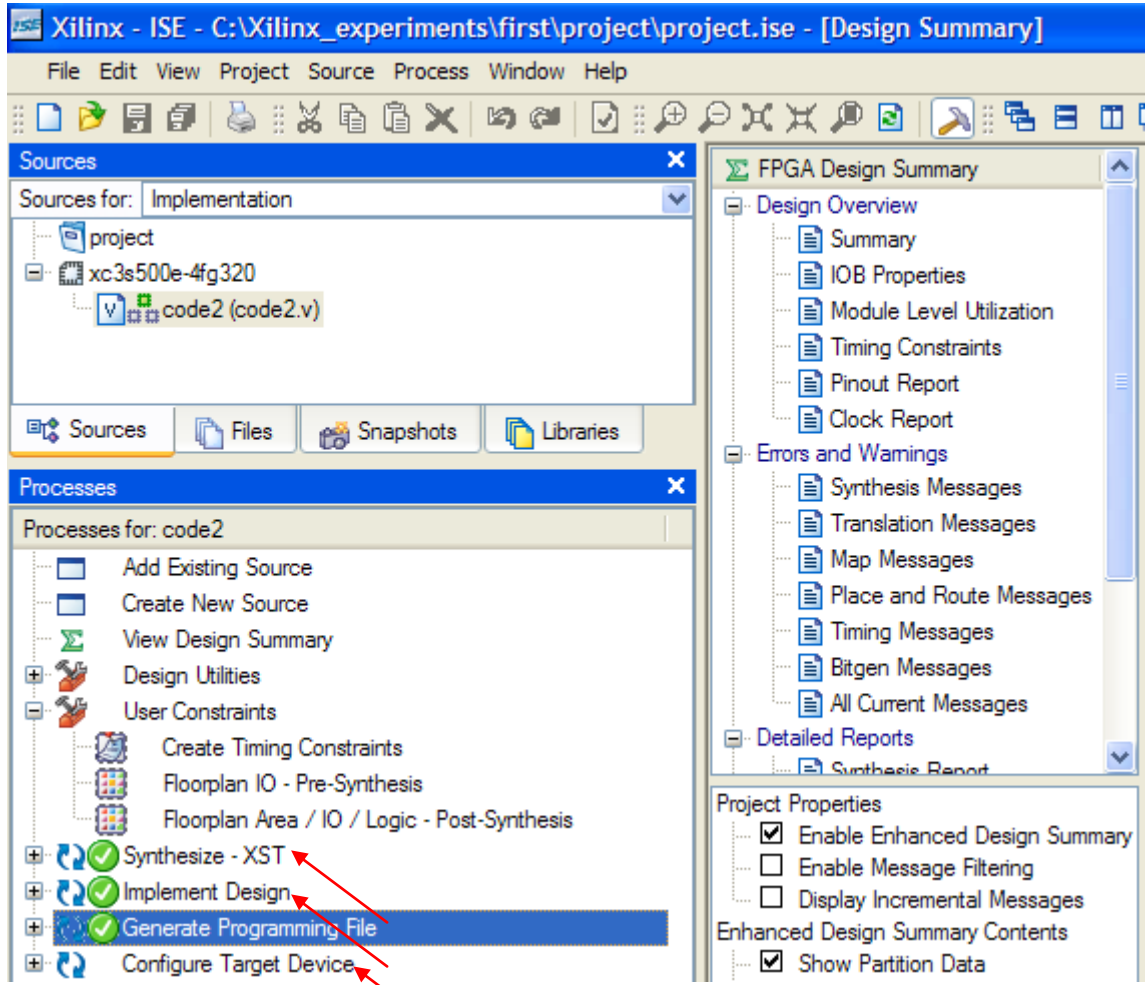
Açılan **Process Properties – Startup Options** penceresinde **Category** bölümündeki **Startup Options**'ı seçiniz. **FPGA Startup Clock**'u JTAG Clock olarak ayarlayıp OK butonuna basınız.



Bu işlemin ardından **Generate Programming File** seçeneğine sağ tıklayıp **Run** seçeneğini işaretleyiniz.



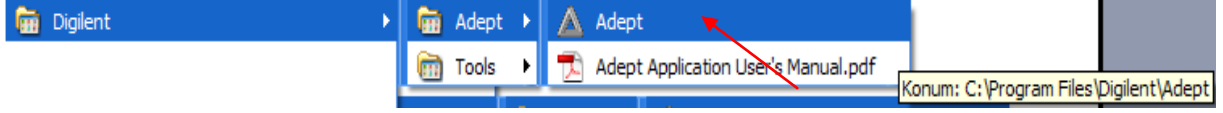
**Run** işlemi tamamlandıktan sonra **Processes** bölümü aşağıda görüldüğü gibi olmalıdır.



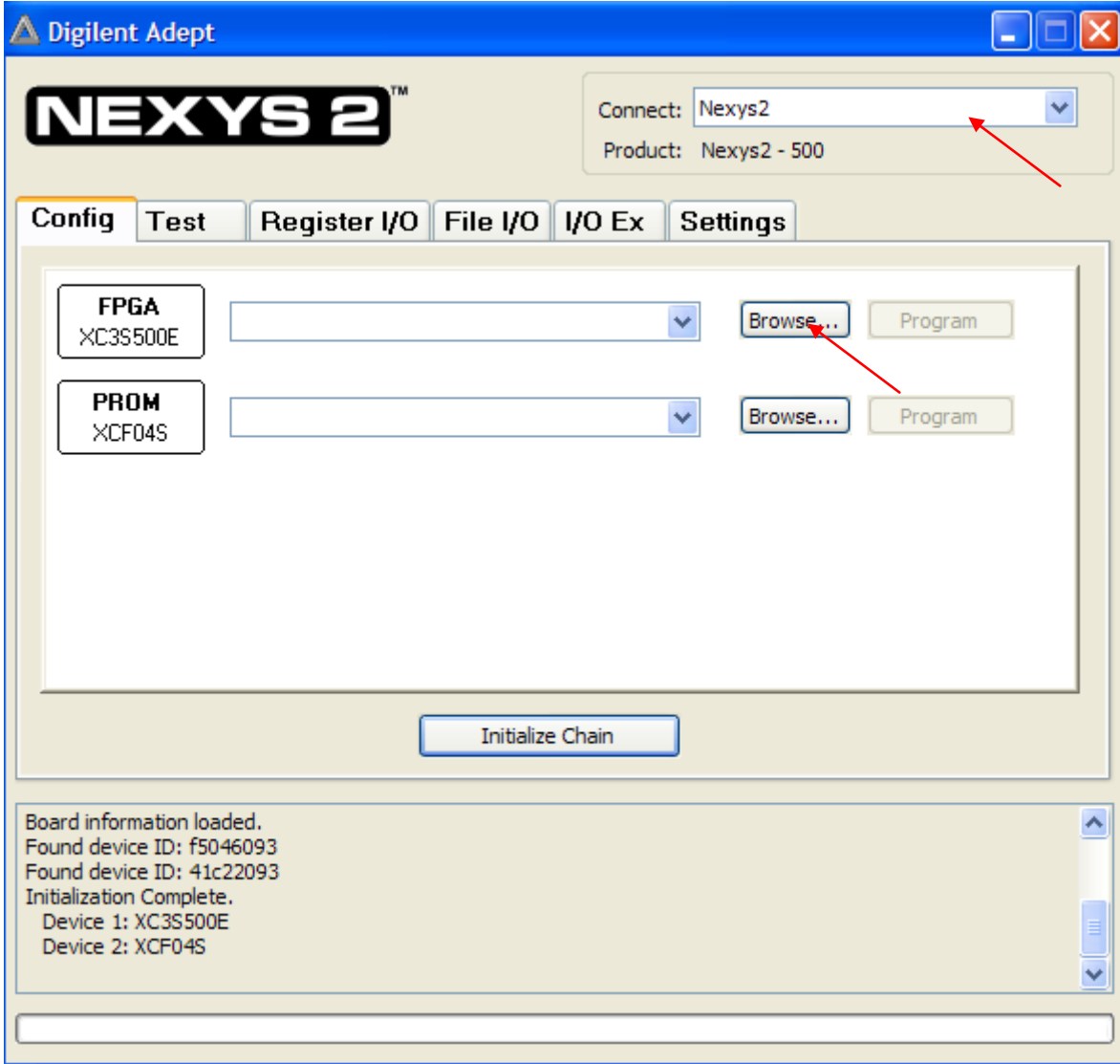
Bu işlemten sonra **.bit** uzantılı dosya üretilecektir. Bu dosya Nexys2 kartına yükleyeceğiniz dosyadır.

## KARTA PROGRAM YÜKLENMESİ

Programlar menüsünde **Digilent** → **Adept** → **Adept** ile karta program yüklemek için gerekli alt programı çalıştırınız.

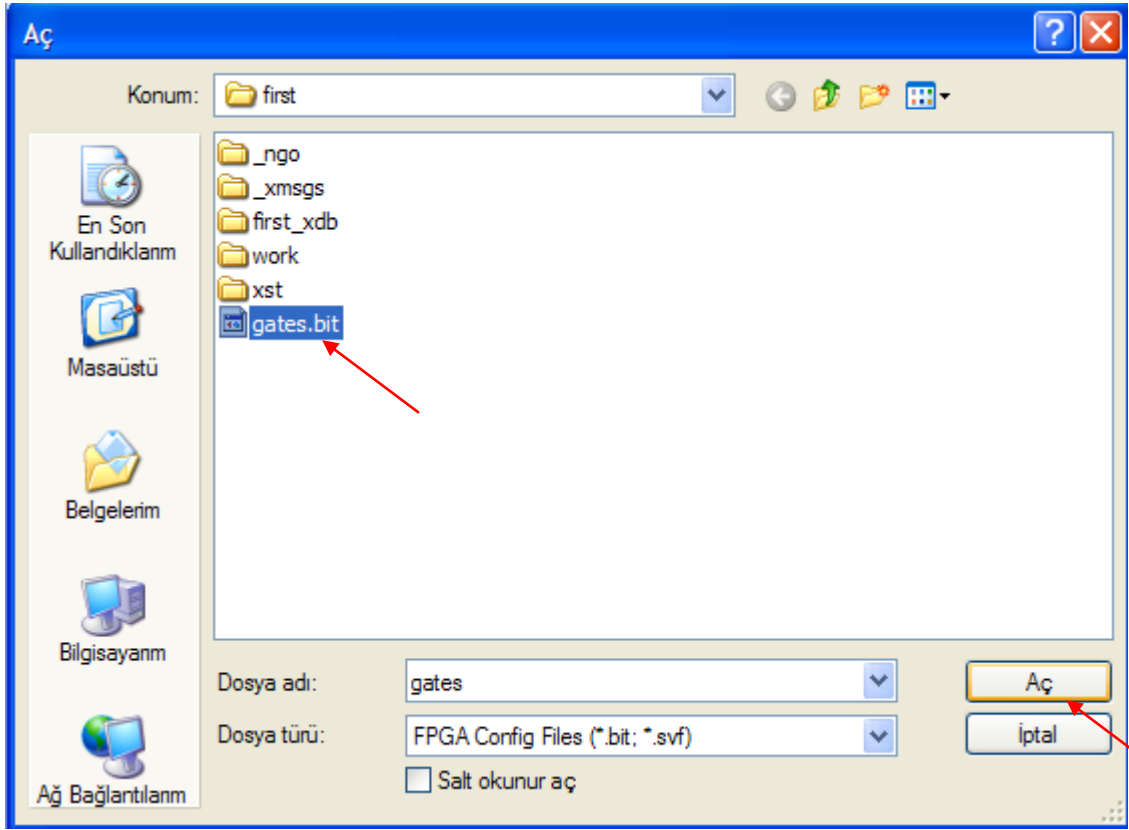


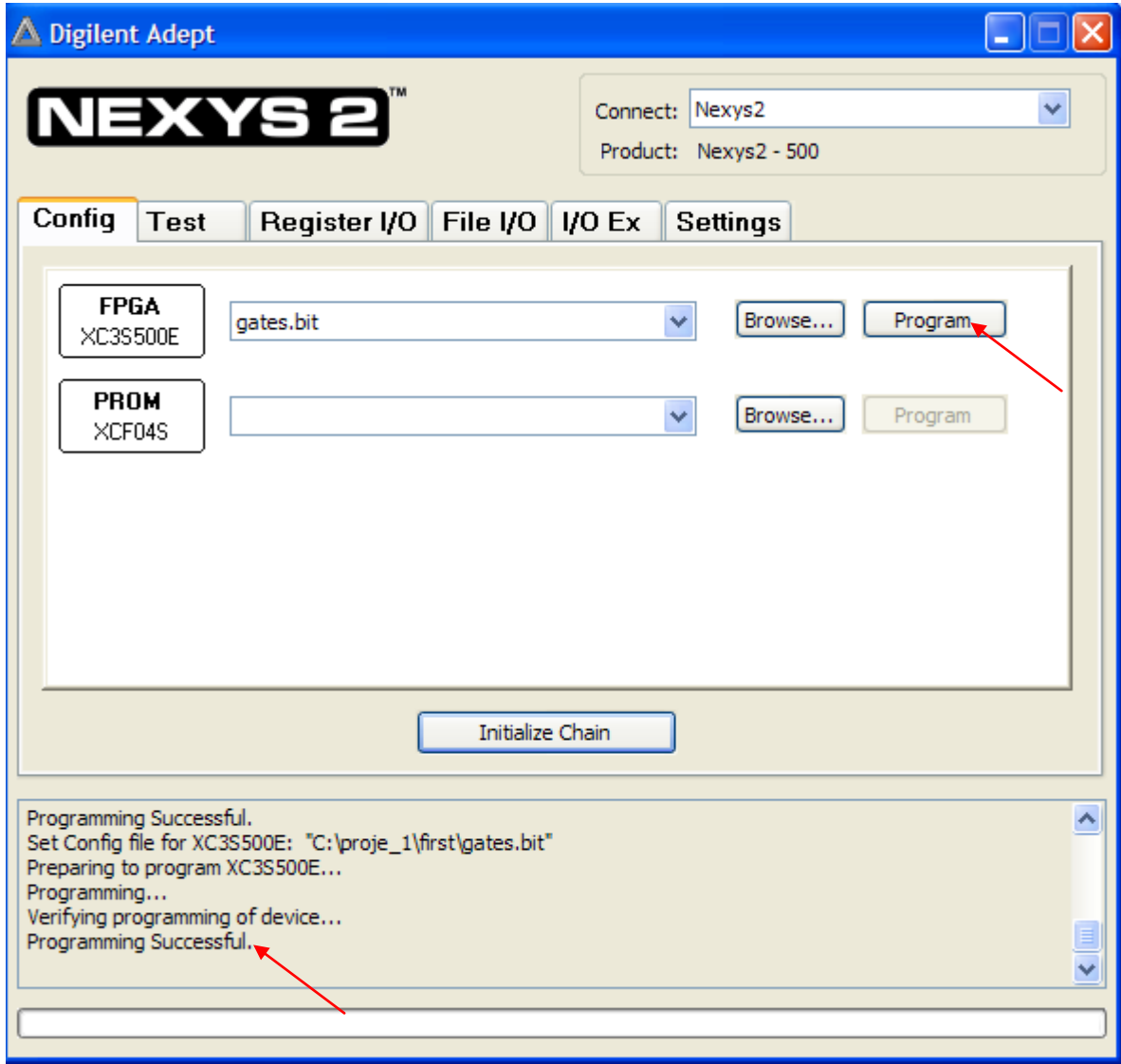
Bilgisayarınız Nexys2 kartının veri hattını USB port üzerinden gördüğünde aşağıdaki pencere açılacaktır.



**FPGA XC3S500E** için **Browse** butonuna tıklayıp önceki aşamada oluşturduğunuz **.bit** uzantılı dosyayı gösteriniz.







Bu işlemden sonra **FPGA XC3S500E** için Program butonuna basınız. Nexys2 kartına programınızı doğru bir şekilde yüklediyseniz **Programming Successful** mesajı çıkacaktır. Kart üzerindeki buton ve ledleri kullanarak tasarımınızın doğru çalışıp çalışmadığını donanım üzerinde görünüz.