

## MANDAL(LATCH) VE FLİP-FLOPLAR

Bu bölümde aşağıdaki konular anlatılacaktır

- ✓ **Mandallar(Latches),R-S Mandalı, D Mandalı**
- ✓ **Kontak sıçramasının mandallar yardımı ile engellenmesi**
- ✓ **Flip-Floplar,R-S Flip-Flop, D Flip-Flop, J-K Flip-Flop, T Flip-Flop**
- ✓ **Tetikleme sinyali (Clock pulse)**
- ✓ **Flip-Flop'larda asenkron girişler**
- ✓ **Ana-Uydu Flip-Flop (Master Slave Flip-Flop)**
- ✓ **Flip-Flop uyarma (geçiş ) tabloları**

## GİRİŞ

Bu bölüme kadar birleşik devreler ele alındı. Bir birleşik devrenin çıkışı o anda girişlerin durumuna bağlıdır. Sayısal devrelerde çoğu zaman birleşik devreler bulunsa bile bilginin saklanması ve işlenmesi için bir sıralı devreye ihtiyaç vardır.

Sıralı bir devre birleşik bir devre ve oluşan bilginin saklanması için bellek elemanlarından oluşur. Böylelikle belli bir zaman ve sırada ikili durumların oluşması sağlanabilir. Bellek elemanının bellibir anda saklanan ikili bilgiler sıralı devrenin o andaki durumunu belirler. Sıralı bir devrenin çıkışı ise o anda sadece girişlerin durumu ile değil aynı zamanda bellek elemanlarında saklanan ikili bilgiye de bağlıdır. En fazla karşılaşılan sıralı devre uygulamaları sayıcılar (counters), kaydediciler (registers), belleklerdir (memory).

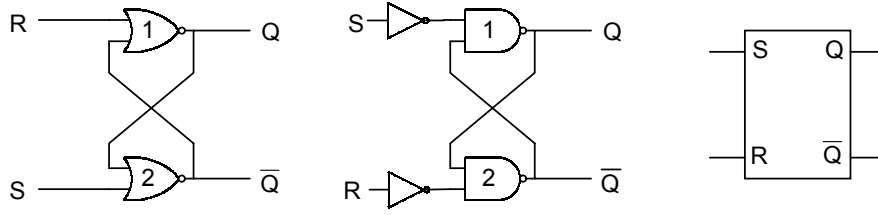
İki temel sıralı devre türü vardır. Sınıflandırma sıralı devrenin bilgiyi işleyebilmesi için gerekli olan zamanlama sinyaline bağlıdır. *Senkron sıralı devre*, bellek elemanlarının etkilenmesi aynı anda olacaktır. Bunu sağlamanın bir yolu sistemin tamamında aynı tetikleme sinyalinin kullanılmasıdır. *Asenkron sıralı devre* ise giriş sinyallerinin değişim sırasına bağlıdır. Bu yüzden asenkron sıralı devrelerde sayısal devre elemanlarındaki yayılım gecikmesi süresi kullanılır. Sıralı devrelerde kullanılan devre elemanları mandal (latch) veya Flip-Flop'lardır. Bu devre elemanları üzerindeki ikili bir bilgiyi saklayabilen hücrelerdir. Bir mandal (latch) veya flip-flop'un saklanan bilgiyi ve saklanan bilginin değişimini gösteren iki ayrı çıkışı vardır. Aşağıda kullanılan çeşitli mandal ve flip-flop türleri incelenecektir.

## 8.1 MANDALLAR ( LATCHS)

Bir mandal (latch) devresi bir giriş sinyali ile durumu değişmedikçe ikili bir bilgiyi güç verildiği müddetçe saklayabilen devre elemanlarıdır. Çeşitli mandal (mandal) devreleri arasındaki fark, giriş sayısı ve çıkışın girişlerin durumuna göre etkilenme şeklidir.

### 8.1.1 R-S Mandalı (R-S Latch)

Temel olarak bir R-S Mandalı VEYA Değil (NOR) ve VE Değil (NAND) kapıları olmak üzere iki temel kapı türü ile elde edilebilir. R (Reset) ve S (Set) olmak üzere iki girişi ve Q ve  $\bar{Q}$  ile gösterilen iki çıkış vardır. Bu iki çıkış normal çalışma durumlarında birbirinin tersidir. Temel olarak R-S Mandalının iki farklı çıkış durumu vardır. Bu durumlar Q=0 olduğu duruma *silme*, Q=1 durumuna *kurma* adı verilir. Aşağıda Şekil 7.1 R-S mandalına ait lojik diyagramı, sembolü ve doğruluk tablosunu göstermektedir.



(a) VEYA DEĞİL kapılı

(b) VE DEĞİL kapılı

(c) Sembolü

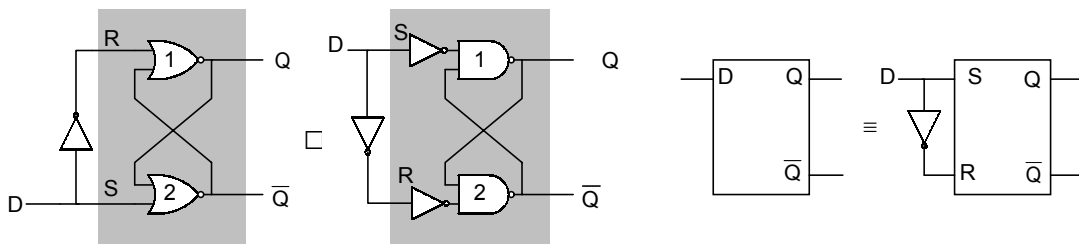
Girişler		Çıkışlar		Durum
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$	
0	0	$Q_n$	$\bar{Q}_n$	Değişme yok
0	1	0	1	Silme
1	0	1	0	Kurma
1	1	1	1	Tanımsız

(d) Doğruluk tablosu

Şekil 8.1 R-S Mandalı

### 8.1.2 D Mandalı ( D Latch)

Bir R-S mandalının S ve R girişleri arasında DEĞİL kapısı bağlanarak D (Data) mandalı elde edilebilir. Aşağıda D mandalına ait lojik diyagram, sembol, doğruluk tablosu Şekil 7.2'de verilmiştir.



(a) VEYA DEĞİL kapılı

(b) VEDEĞİL kapılı

(c) Sembolü

D	$Q_n$	$\overline{Q_n}$
0	0	1
1	1	0

(d) Doğruluk tablosu

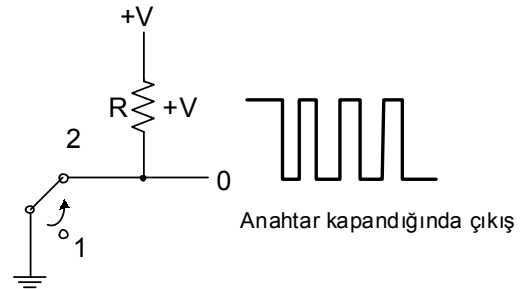
**Şekil 8.2** D Mandalı (D Latch)

### 8.1.3 Kontak Sıçramasının Mandal (Latch) Yardımı ile Önlenmesi

Mandallarda kontak sıçraması sinyal kaynağı olarak mekanik anahtarların kullanımında oldukça sık görülen bir olaydır. Kontak sıçraması tek bir bağlantı yapılmadan önce anahtarın mekanik yapısı nedeni ile ortaya çıkan farklı çıkış darbeleridir.

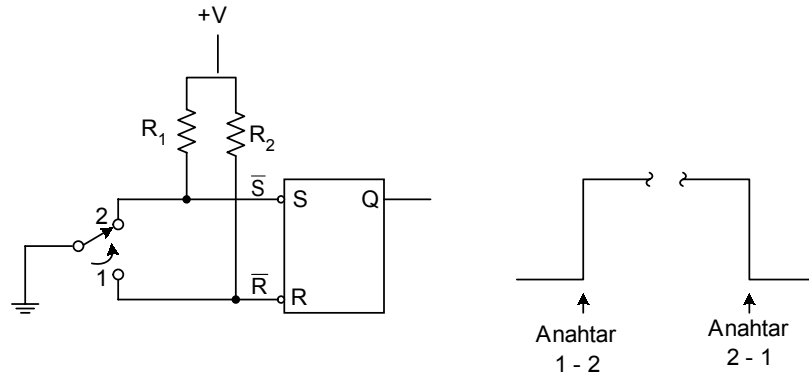
**Şekil 8.3**

Mekanik anahtarlarda kontak sıçraması



Kontak sıçramaları özellikle sıralı devrelerin çalışmasını etkileyen en önemli faktörlerdir. Bir seri darbe devre çalışmasına etki eden girişleri oluştururlar. Kontak sıçramasının etkisini önlemek için kullanılan S-R Mandal devresi Şekil 7.4'de gösterilmiştir.

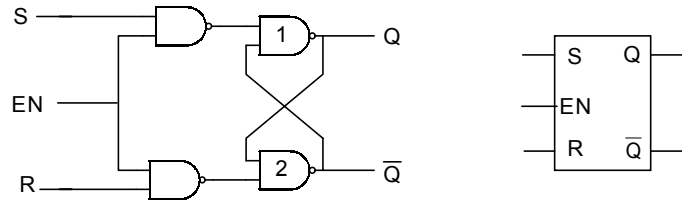
Eğer anahtar 1 pozisyonunda ise  $\overline{R}$  girişi 0,  $\overline{S}$  girişi 1 olacağından (silme durumu) çıkış 0 olacaktır. Anahtar 2 pozisyonuna alınırsa  $\overline{R}$  girişi pull-up direnci ile 1'e çekilecek ve  $\overline{S}$  girişi 0 olacaktır. Çok kısa süre  $\overline{S}$  girişinde kontak sıçraması görülecek ( $\overline{S}=0$ ) ancak bu durumda mandal bir önceki konumunu koruyacaktır. aşağıda Şekil 8.4 Kontak sıçrama etkisini ortadan kaldırmak için kullanılan S-R mandal devresini göstermektedir.



**Şekil 8.4** Kontakt sıçrama etkisini ortadan kaldıran S-R Mandal devresi

#### 8.1.4 Yetki Girişli R-S Mandalı

Bazı tip mandallarda yetki girişi (enable input- EN) bulunmaktadır. Şekil 8.5 yeki girişli bir R-S Mandalını göstermektedir. R-S girişlerinin durumuna bağlı olarak çıkışın konum değiştirebilmesi için EN girişinin yetkilenmesi gerekmektedir. Yetkilenme EN girişine Lojik-1 uygulanması ile gerçekleşecektir.



(a) Lojik diyagram

(b) Lojik sembol

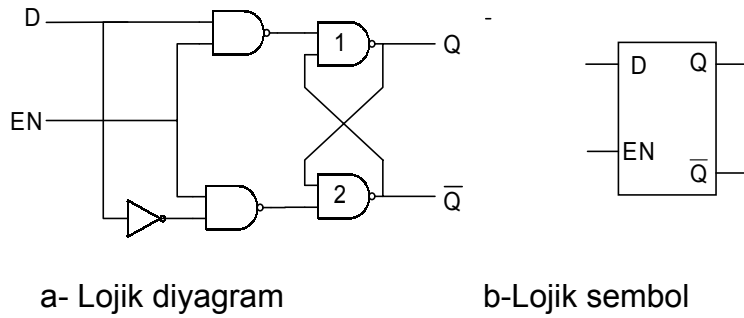
EN	S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	x	x	$Q_n$	$\bar{Q}_n$
1	0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0	1
1	1	0	1	0

(c)-Doğruluk tablosu

**Şekil 8.5** Yetki Girişli R-S Mandalı

### 8.1.5. Yetki Girişli D Mandalı

Bir diğer yetki girişli mandal türü D mandalıdır. D girişine uygulanan işarete bağlı olarak çıkışın değişmesi için yetkilendirme işleminin yapılması gerekmektedir. Yetkilendirme EN girişine lojik-1 uygulayarak gerçekleştirilir. Yetkilendirme işlemi yapılmazsa çıkışlarda bir önceki durum korunacaktır. Şekil 8.6 Yetki girişli D mandalını göstermektedir.



EN	D	Q	$\bar{Q}$
0	x	$Q_0$	$\bar{Q}_0$
1	0	0	1
1	1	1	0

c-Doğruluk tablosu

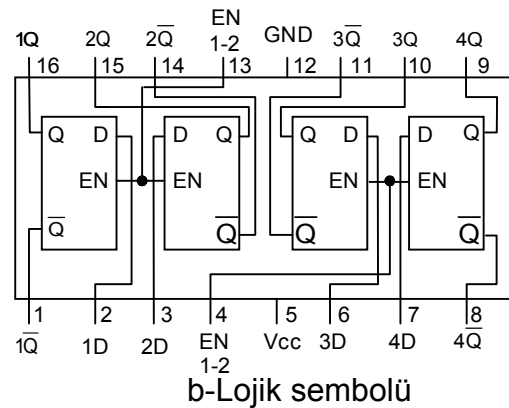
Şekil 8.6 Yetki girişli D Mandalı

### 7475 Dört-Bit D Mandalı

D mandalı için bir IC örnek 7475 dört bit D mandalı gösterilebilir. Şekil 8.7 lojik sembol ve doğruluk tablosunu göstermektedir. Tek bir entegre içinde dört tane D mandalı bulunmaktadır. İki mandal için tek bir yetki girişi vardır. Doğruluk tablosunda x ile gösterilen durumlar dikkate alınmaz durumları (don't care) göstermektedir. Eğer yetkilendirme işlemi gerçekleşmezse girişlerin durumları ne olursa olsun mandal bir önceki durumunu koruyacaktır.

Girişler		Çıkışlar		
D	EN	Q	$\bar{Q}$	
0	1	0	1	Silme
1	1	1	0	Kurma
x	0	$Q_0$	$\bar{Q}_0$	Değişim yok

a- Doğruluk tablosu

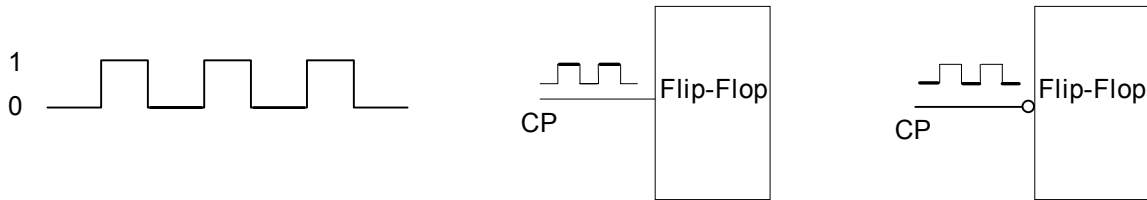


Şekil 8.7 7475 Dört bit D Mandalı

### 8.2.1 FLIP- FLOPLAR (FLIP-FLOPS)

Temel bir mandal (latch) asenkron sıralı bir devredir. Girişlerin değişimine bağlı olarak çıkış değeri değişecektir. Temel bir mandal devresinin girişine kapı eklemek suretiyle mandalın çıkışının harici bir *saat darbesi (clock pulse- CP)* ile girişlerin değişimine tepki vermesi sağlanabilir. Flip-Flopların bu anlık değişimine tetiklenme adı verilir. Ve bu değişimi sağlayan duruma ise flip-flop'un tetiklenmesi denir.

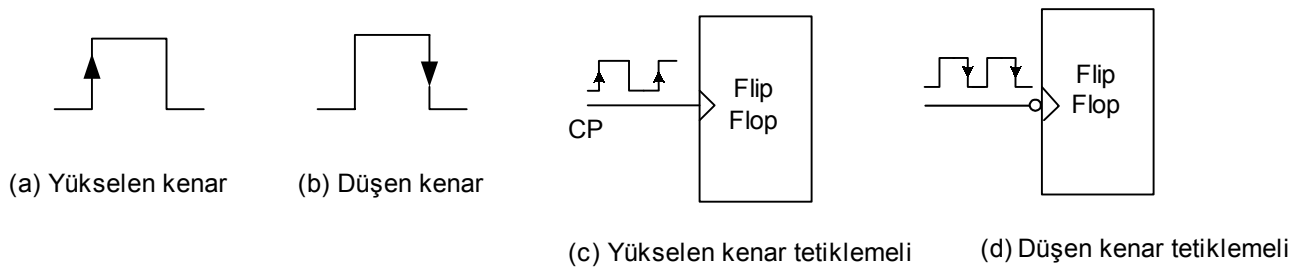
Saat darbesi belli bir frekansta "0" ve "1" arasında değişen bir kare dalga sinyalidir. Flip-Flop'ların tetiklenmesi, saat darbesinin (CP) "1" veya "0" düzeyinde gerçekleşebilir.



a-Saat darbesi (Clock Pulse) b- "1" düzeyinde tetikleme c-"0" düzeyinde tetikleme

**Şekil 8.8** Tetikleme sinyali ve düzey tetiklemeleri

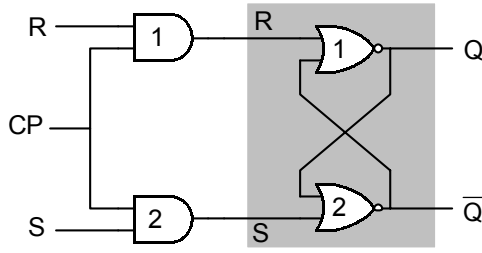
Bir diğer tür tetikleme biçimi kenar tetiklemesidir. Bu tür flip-floplar kenar tetiklemeli flip-flop'lar olarak adlandırılırlar. Tetikleme saat darbesinin "1" den "0" a yükselen kenarında gerçekleşiyorsa yükselen kenar tetiklemeli flip-flop, "0" dan "1" e düşen kenarda gerçekleşiyorsa düşen kenar tetiklemeli flip-flop adını alırlar.



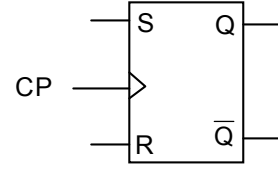
**Şekil 8.9** Kenar tetiklemesi

### 8.2.1 R-S (Reset-Set) Flip-Flop

Bir R-S mandalının girişlerine harici VE kapıları eklemek suretiyle R-S flip-flopu elde edilebilir. Aşağıda Şekil 8.10 yükselen kenar tetiklemeli R-S Flip-Flop'a ait lojik diyagramı , sembolü ve doğruluk tablosunu göstermektedir.



(a) Lojik diyagramı



(c) Sembolü

CP	S	R	Q	$\bar{Q}$
↓	x	x	$Q_n$	$\bar{Q}_n$
↑	0	0	$Q_n$	$\bar{Q}_n$
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	1	1

Değişim yok

Değişim yok

Silme

Kurma

Tanımsız

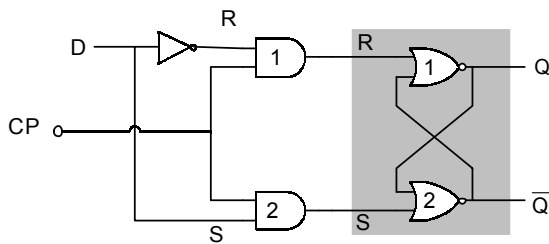
(d) Doğruluk tablosu

**Şekil 8.10** Yükselen kenar tetiklemeli R-S Flip-Flop

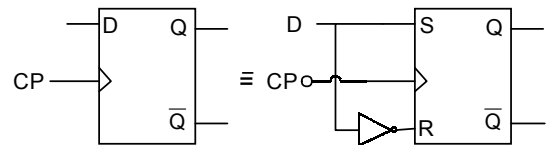
Bir flip-flop'un tetiklenmemesi halinde bir önceki durumunu koruyacağı doğruluk tablosundan görülmelidir.

### 8.2.2 D (Data) Flip-Flop

Bir R-S flip-flop'un S girişine DEĞİL kapısı bağlanarak R girişine bağlanması halinde D flip-flop elde edilebilir. Aşağıda Şekil 8.11'de yükselen kenar tetiklemeli D flip-flop'a ait lojik diyagram, sembol ve doğruluk tablosu gösterilmektedir.



(a) Lojik diyagramı



(b) Sembolü ve R-S denkliği



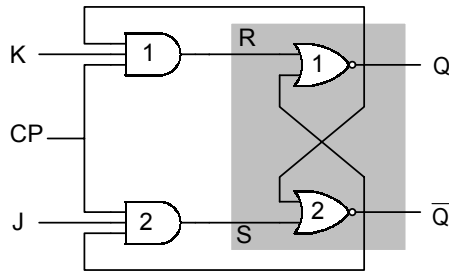
CP	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	
↓	x	$Q_n$	$\overline{Q}_n$	Değişim yok
↑	0	0	1	Silme
↑	1	1	0	Kurma

(c) Doğruluk tablosu

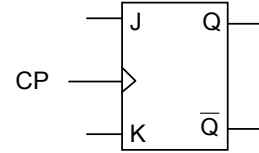
Şekil 8.11 Yükselen kenar tetiklemeli D Flip-Flop

### 8.2.3 J-K Flip-Flop

J-K flip-flop R-S flip-flop tipindeki tanımsız durumun ortadan kaldırılması açısından bu tipin gelişmiş bir şekli denilebilir. J ve K girişleri gösterirken, Q ve  $\overline{Q}$  olmak üzere iki çıkışı vardır. Aşağıda Şekil 8.12'de yükselen kenar tetiklemeli J-K flip-flop'a ait lojik diyagram, sembol ve doğruluk tablosu gösterilmektedir.



(a) Lojik Diyagram



(b) Sembolü

CP	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$	
↓	x	x	$Q_n$	$\overline{Q}_n$	Değişim yok
↑	0	0	$Q_n$	$\overline{Q}_n$	Değişim yok
↑	0	1	0	1	Silme
↑	1	0	1	0	Kurma
↑	1	1	$\overline{Q}_n$	$Q_n$	Tümleyen

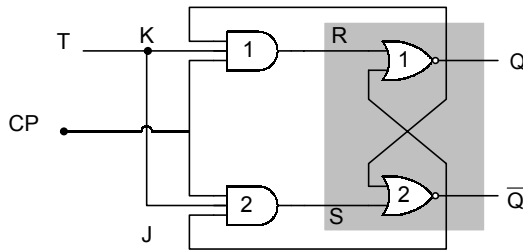
(c) Doğruluk Tablosu

Şekil.8.12 Yükselen kenar tetiklemeli J-K Flip-Flop

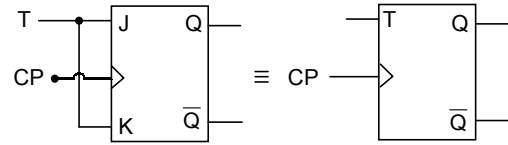
Doğruluk tablosu incelenirse R-S Flip-Flop doğruluk tablosuna çok yakın olduğu görülecektir. Ancak R-S Flip-Flop'un tanımsız olduğu durum J-K Flip-Flop'ta tanımlı hale gelmiştir, çıkış bir önceki durumun tersi olmaktadır(Toggle-Tümleyen çalışma). Bu özelliğinden dolayı J-K flip-Flop'lar en fazla tercih edilen türlerin başında yer almaktadır.

### 8.2.4 T (Toggle) Flip-Flop

Bir J-K flip-flop' un iki girişini kısa devre ederek T (Toggle) Flip – Flop elde edilebilir. T Flip-Flop' un kullanışlı iki durumu vardır eğer giriş "0" ise çıkışta bir önceki durum ( $Q_n$ ), eğer giriş "1" ise çıkışta bir önceki durumun tersi görünecektir( $Q'$ ). Aşağıda Şekil 8.13'de T flip-flop'a ait lojik diyagram, sembol ve doğruluk tablosu gösterilmektedir.



(a)Lojik Diyagram



(b) Sembolü

CP	T	Q	$\bar{Q}$
↓	x	$Q_n$	$\bar{Q}_n$
↑	0	$Q_n$	$\bar{Q}_n$
↑	1	$\bar{Q}_n$	$Q_n$

Değişim yok

Değişim yok

Tümleyen (Toggle)

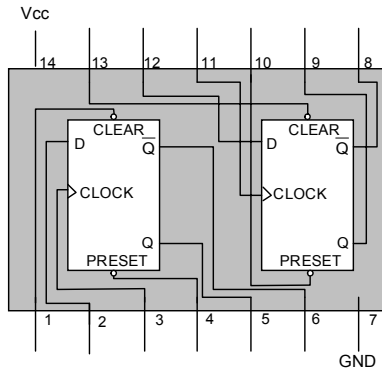
(c) Doğruluk Tablosu

Şekil 8.13 Yükselen kenar tetiklemeli T Flip-Flop

### 8.2.5. Flip-Flop Türleri

#### 7474 İkili D flip-flop

Bu TTL entegresi iki D flip-flop tek bir chip içerisinde bulunur.  $V_{cc}$  ve GND ile adlandırılan iki besleme girişine sahiptir. Yükselen kenar tetiklemeli olan bu tür flip-flop lojik-0'da yetkilenen preset ve clear ile adlandırılan iki ayrı asenkron girişe sahiptir.



a-Lojik sembolü

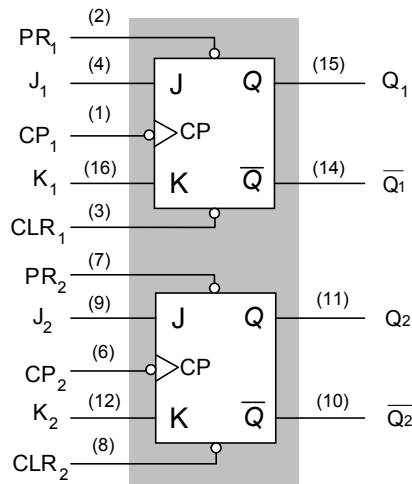
Preset	Clear	D	Q	$\bar{Q}$
0	0	x	0	0
0	1	x	1	0
1	0	x	0	1
1	1	0	0	1
1	1	1	1	0

b-Doğruluk tablosu

Şekil 8.15 7474 İkili D Flip-Flop

#### 74LS112A İkili J-K Flip-Flop

İçerisinde iki tane düşen kenar tetiklemeli J-K flip-flop olan TTL entegresi preset ve clear ile adlandırılan iki asenkron girişe sahiptir. Lojik sembolü ve doğruluk tablosu Şekil 8.16'da verilmiştir.



a-Lojik diyagram

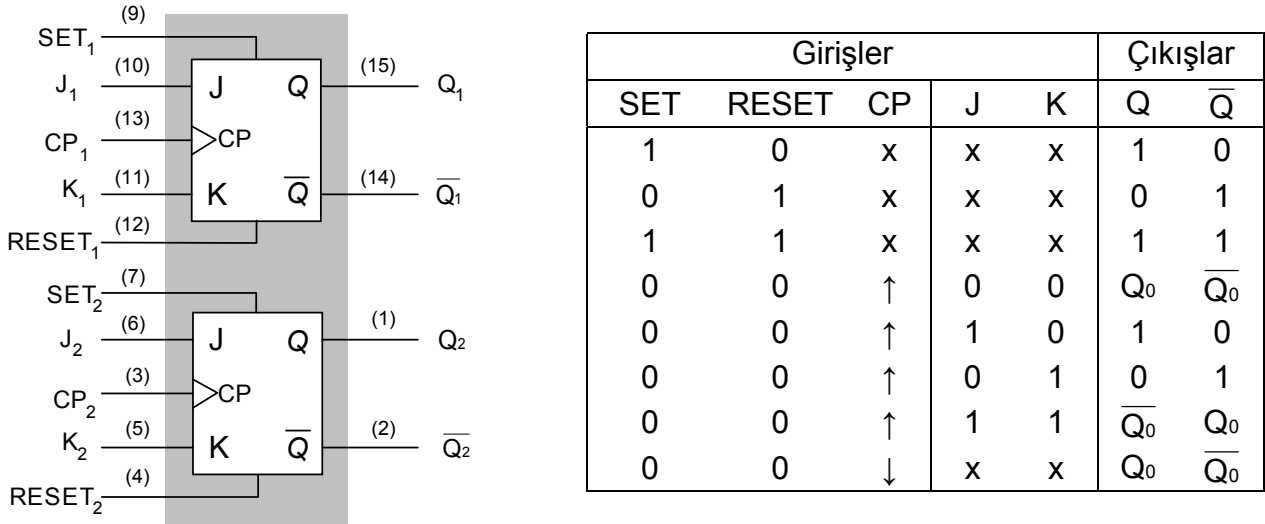
Girişler					Çıkışlar	
PR	CLR	CP	J	K	Q	$\bar{Q}$
0	1	x	x	x	1	0
1	0	x	x	x	0	1
0	0	x	x	x	1	1
1	1	↓	0	0	$Q_0$	$\bar{Q}_0$
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	$\bar{Q}_0$	$Q_0$
1	1	↑	x	x	$Q_0$	$\bar{Q}_0$

b-Doğruluk tablosu

Şekil 8.16. 74LS112A İkili J-K Flip-Flop

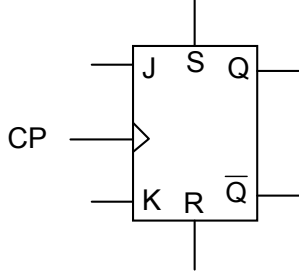
### 4027 İkili J-K Flip-Flop

İçerisinde iki tane yükselen kenar tetiklemeli J-K flip-flop olan bu entegre CMOS mantık ailesinden olup Set ve Reset diye adlandırılan iki tane asenkron girişe sahiptir. Set ve Reset girişleri lojik-1 seviyesinde aktif olmaktadır. Şekil 8.17 entegrenin lojik diyagramını ve doğruluk tablosunu göstermektedir.



### 8.3 Flip-Flop'larda Asenkron Girişler

Flip-Flop'larda tetikleme sinyali (CP) ile senkron (eş zamanlı) çalışan girişler olduğu gibi tetikleme sinyalinden bağımsız asenkron (eş zamanlı olmayan) girişlere sahiptirler. Bu girişler Flip-Flop çıkışı '1' yapan kurma (Set) ve çıkış '0' yapan silme (Reset) adını alırlar. Bu girişler Flip-Flop'un durumunu tetikleme sinyali ve senkron girişlerin durumuna bakılmaksızın belirlerler. Şekil 8.14 Set (kurma) ve Reset (Silme) asenkron girişlerine sahip yükselen kenar tetiklemeli J-K Flip-Flop sembolü ve doğruluk tablosunu göstermektedir. Şekildeki devrede asenkron girişler '1' de yetkilendirilir. Her iki girişin '0' olduğu anda J-K Flip-Flop çalışma gerçekleşeceği doğruluk tablosundan görülmelidir.



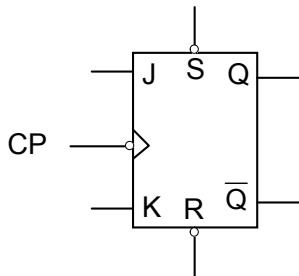
a-Lojik Sembolü

S	R	CP	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	1	x	x	x	0	1
1	0	x	x	x	1	0
0	0	↓	x	x	$Q_n$	$\overline{Q}_n$
0	0	↑	0	0	$Q_n$	$\overline{Q}_n$
0	0	↑	0	1	0	1
0	0	↑	1	0	1	0
0	0	↑	1	1	$\overline{Q}_n$	$Q_n$

b-Doğruluk tablosu

**Şekil 8.14** Set ve Reset asenkron giriqli yükselen kenar tetiklemeli J-K Flip-Flop

Şekil 8.15 Set (kurma) ve Reset (Silme) asenkron girişlerine sahip düşen kenar tetiklemeli J-K Flip-Flop sembolü ve doğruluk tablosunu göstermektedir. Şekildeki devrede asenkron girişler '0' da yetkilenir. Her iki girişin '1' olduğu anda J-K Flip-Flop çalışma gerçekleşeceği doğruluk tablosundan görülmelidir.



a-Lojik Sembolü

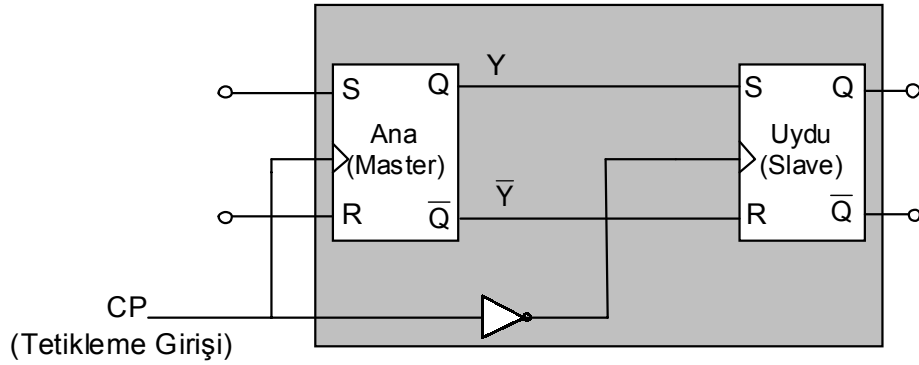
S	R	CP	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
1	0	x	x	x	0	1
0	1	x	x	x	1	0
1	1	↑	x	x	$Q_n$	$\overline{Q}_n$
1	1	↓	0	0	$Q_n$	$\overline{Q}_n$
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	$\overline{Q}_n$	$Q_n$

b-Doğruluk tablosu

**Şekil 8.14** Set ve Reset asenkron girişli yükselen kenar tetiklemeli J-K Flip-Flop

## 8.4 ANA- UYDU (MASTER-SLAVE) FLİP-FLOP

Bir Ana-Uydu Flip-Flop devresi iki R-S Flip-Flop ve harici bir DEĞİL kapısından oluşur. Birinci Flip-Flop ana, ikinci Flip-Flop ise uydu Flip-Flop'u oluşturur. Şekil 7.10 Ana-Uydu Flip-Flop devresini göstermektedir.



Şekil 7.10 Ana-Uydu (Master-Slave) Flip-Flop devresi

Tetikleme girişi (CP) düşen kenar ( $\downarrow$ ) olduğu zaman DEĞİL kapısı çıkışı uydu Flip-Flop tetikleme girişini (CP) yükselen kenar ( $\uparrow$ ) yapacağından uydu Flip-Flop yetkilendir ve R-S girişlerinde ana flip-flop'un çıkışları olan Y ve Y' görülecektir. Bu durumda uydu flip-flop'un Q çıkışında Y, Q' çıkışında Y' görülecektir. Ana Flip-Flop tetikleme girişinde bir düşen kenar olduğundan girişteki değişim ne olursa olsun bir önceki durum korunacaktır.

Tetikleme girişinin bir yükselen kenar ( $\uparrow$ ) olması halinde uydu tetikleme girişi bir düşen kenar ( $\downarrow$ ) olacağından girişlerdeki değişim ne olursa olsun çıkışa yansımayacaktır. Ana Flip-Flop tetikleneceğinde çıkışlarda girişlere uygulanan değerlere eşit olacaktır.

## 8.5 FLİP-FLOP GEÇİŞ (UYARMA) TABLoları

Flip-Flop doğruluk tabloları girişlerin durumuna bağlı olarak çıkışların ne olması gerektiğini anlatan tablolardır. Kısaca bir doğruluk tablosu Flip-Flop çalışma şeklini ve özelliklerini tanımlar. Geçiş(uyarma) tablosu ise Flip-Flop'un önceki konumdan bir sonraki konuma geçmesi için girişlerin ne olması gerektiğini gösterir. Doğruluk tabloları yardımı ile geçiş (uyarma) tabloları kolaylıkla çıkarılabilir. Tabloda  $Q_n$  mevcut durumu,  $Q_{n+1}$  ise bir sonraki durumu göstermektedir.

$Q_n$	$Q_{n+1}$	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0

(a) Geçiş (uyarma) Tablosu

S	R	$Q_n$	$\overline{Q_n}$
0	0	$Q_n$	$\overline{Q_n}$
0	1	0	1
1	0	1	0
1	1	Tanımsız	

(b) Doğruluk tablosu

**Tablo 7.1** R-S Flip-Flop Geçiş(Uyarma) ve Doğruluk tabloları

$Q_n$	$Q_{n+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

(a) Geçiş(uyarma) tablosu

D	$Q_n$	$\overline{Q_n}$
0	0	1
1	1	0

(b) Doğruluk tablosu

**Tablo 7.2** D Flip-Flop Geçiş(Uyarma) ve Doğruluk tabloları

$Q_n$	$Q_{n+1}$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

(a) Geçiş (uyarma) Tablosu

J	K	$Q_n$	$\overline{Q_n}$
0	0	$Q_n$	$\overline{Q_n}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q_n}$	$Q_n$

(b) Doğruluk tablosu

**Tablo 7.3** J-K Flip-Flop Geçiş(Uyarma) ve Doğruluk tabloları

$Q_n$	$Q_{n+1}$	T
0	0	0
0	1	1
1	0	1
1	1	0

D	$Q_n$	$\overline{Q_n}$
0	$Q_n$	$\overline{Q_n}$
1	$\overline{Q_n}$	$Q_n$

**Tablo 7.4** T Flip-Flop Geçiş(Uyarma) ve Doğruluk tabloları