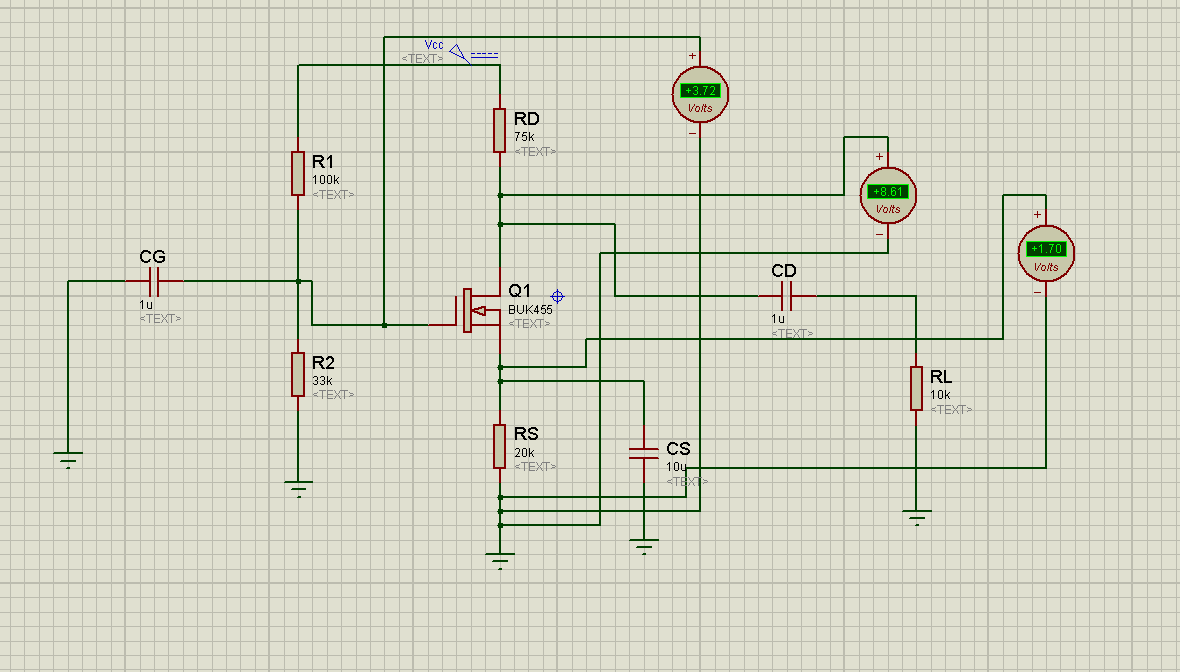
1)

Devreye 15V Vcc verdiğimizde elde ettiğimiz Vg, Vd, Vs değerleri ŞEKİL-1 de verilmiştir.



**ŞEKİL-1**

Vg= 3.72V

Vd=8.61V

Vs=1.70V

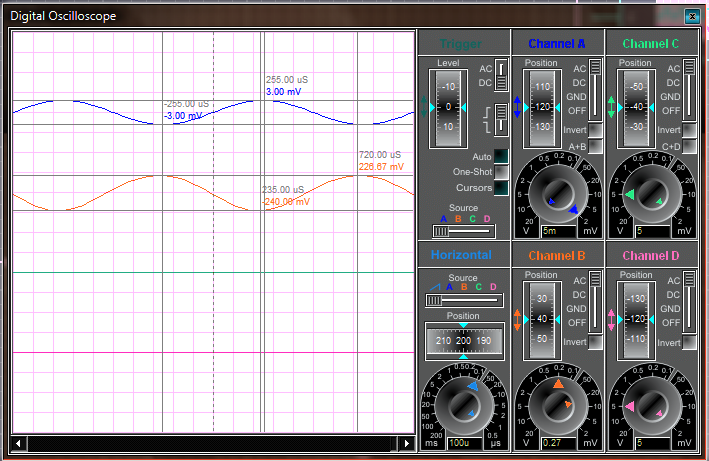
**1**

2)

a)

Devrenin girişine genliği 6mV peak to peak değerinde ve frekansı 1 kH olan bir sinüs sinyali gönderdiğimizde, devrenin çıkışından aldığımız sinyal ŞEKİL-2 de verilmiştir.

Osiloskoptaki A kanalı giriş sinyalini B kanalı ise çıkış sinyalini göstermektedir.



**ŞEKİL-2**

Vin = 6 mV

Vout = 480 mV

Bu değerler göz önüne alındığında devredeki kazanç;

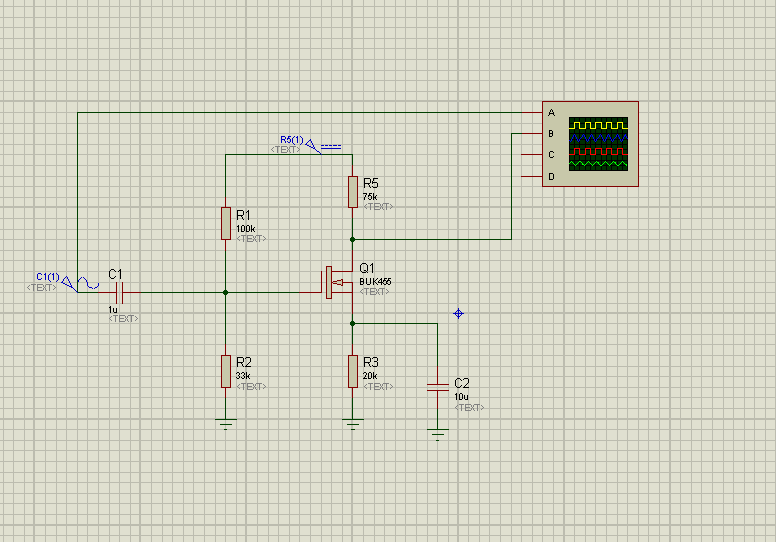
Av= Vout/Vin

Av= 80

**2**

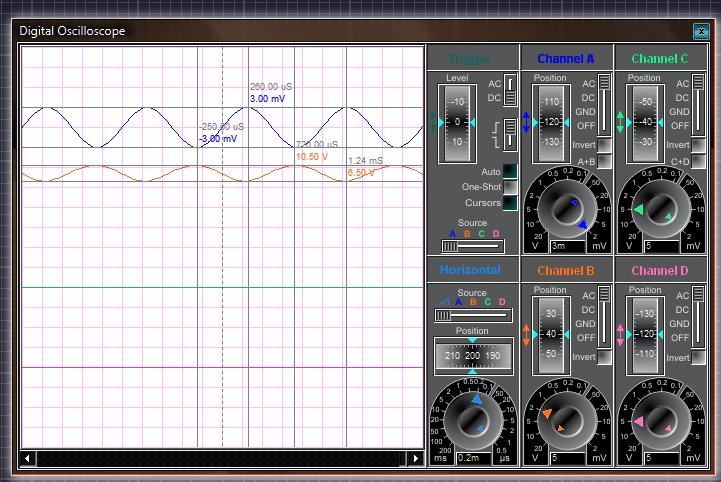
b)

Devredeki Cd kapasitörünü ve Rl direncini çıkardığımızda devrenin şematiği ŞEKİL-3 te verildiği gibidir.



**ŞELİK-3**

Devrenin simülasyonu ise ŞEKİL-4 te verilmiştir. Osiloskobun A kanalı girişi B kanalı ise çıkış sinyalini göstermektedir.



**ŞEKİL-4**

**3**

Şekil-4 te gördüğümüz gibi devreye 6mV giriş sinyaline karşılık elde ettiğimiz çıkış sinyali 21 V değerindedir. Yani devreye vermiş olduğumuz DC voltaj, giriş voltajına eklenerek çıkış gerilimini oluşturmuştur. Bu da gösteriyor ki; Rl direnci devrede ki DC akımın tamamını üstünden geçirmektedir. Devrenin kazancı ise;

Vin= 6 mV

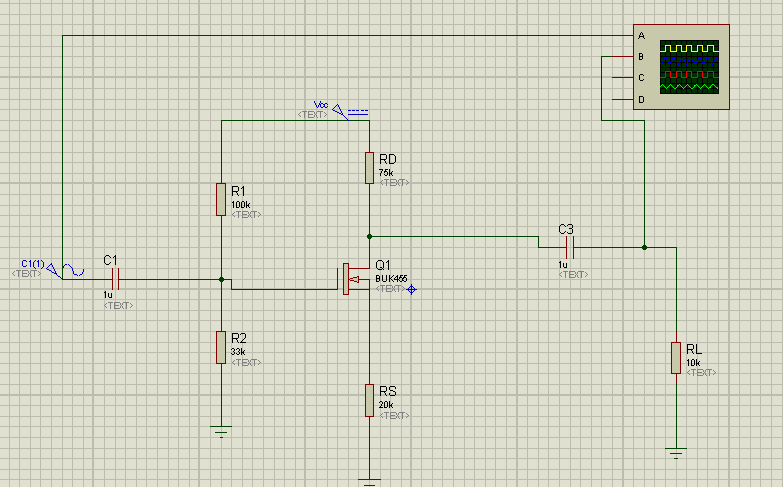
Vout= 21V

Av= 21/6 = 3500

Elde ettiğimiz simulasyonlarda peak değerlerinin aynı olmamasının sebebi kullanmamız gereken FET çeşidinin proteus programında olmamasından kaynaklanmaktadır.

c)

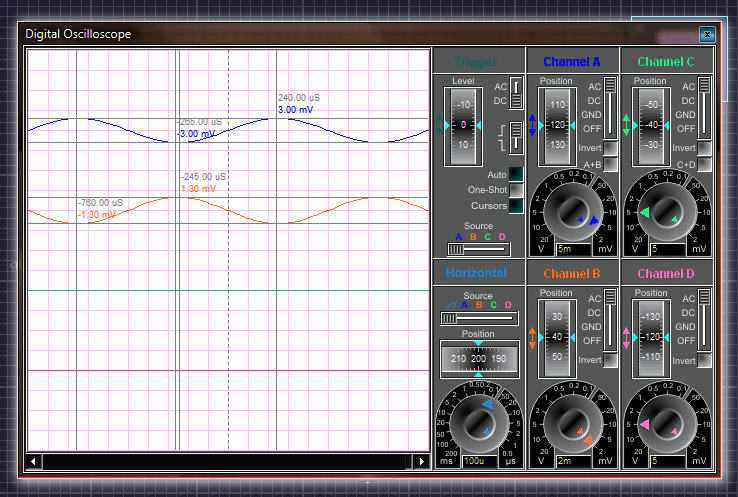
Devredeki Cs kapasitörünü çıkardığımızda devrenin şematiği ŞEKİL-5 te verildiği gibidir.



**ŞEKİL-5**

Devrenin simülasyonu ise ŞEKİL-6 da verilmiştir. Osiloskobun A kanalı girişi B kanalı ise çıkış sinyalini göstermektedir.

**4**



**ŞEKİL-6**

Şekil-6 da gördüğümüz gibi devreye 6mV giriş sinyaline karşılık elde ettiğimiz çıkış sinyali 2.60 V değerindedir. Yani devreden çıkarttığımız kapasitörden sonra devrenin çıkışından elde ettiğimiz voltaj artmıştır ve dolayısıyla devrenin kazancı da artış göstermiştir. Devrenin kazancı ise;

Vin= 6 mV

Vout= 2.60 V

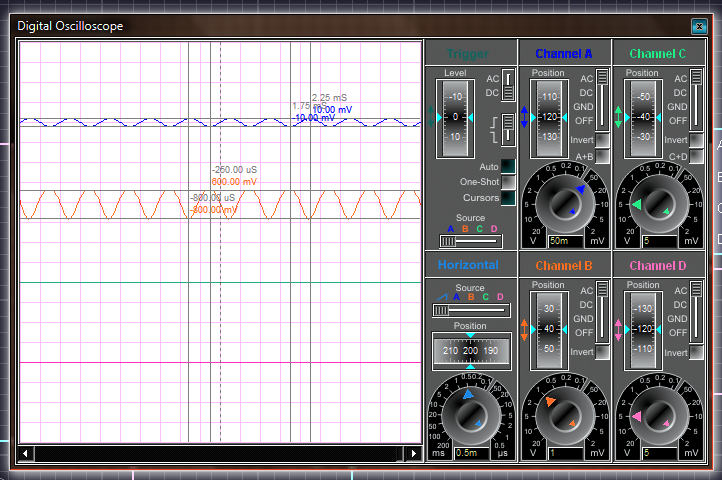
Av= 2.60/6 = 433

**5**

3)

Devreye vermiş olduğumuz sinyalin genliğini yavaş yavaş arttırdığımızda çıkış sinyalinin kırpılmaya uğradığını gözlemledik. Giriş sinyaline 20 mV peak to peak değeri verdiğimizde çıkış sinyalinde kırpılma meydana geldi. Bu kırpılma ŞEKİL-6 da gösterilmiştir.

Osiloskobun A kanalı giriş sinyalini, B kanalı ise çıkış sinyalini göstermektedir.



**ŞEKİL-6**

Devredeki çıkış voltajı ;

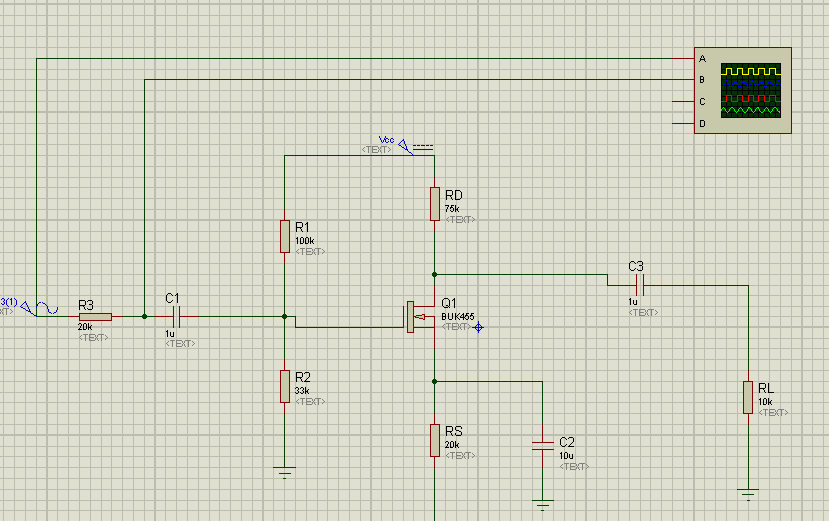
Vout,maximum = 1.20m V

**6**

4)



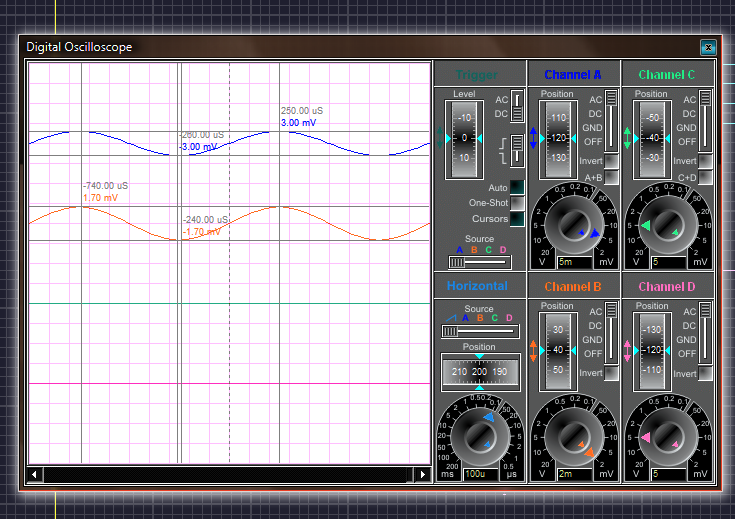
Yukarıda ki devrenin şematiği ŞEKİL-7 de verilmiştir. Devrenin şematiği çizilirken Pot değerine 20k değerinde bir direnç kullanılmıştır.



**ŞEKİL-7**

Devrenin simulasyonu ise ŞEKİL-8 de gösterildiği gibidir.

**7**



**ŞEKİL-8**

Devredeki giriş sinyali Vx A kanalında, Vin sinyali ise B kanalında gösterilmiştir.

Vx= 6 m V

Vin= 3.40m V

Bu verilere dayanarak Rin direncini hesaplarsak;

Vx/20k+Rin = Vin/ Rin

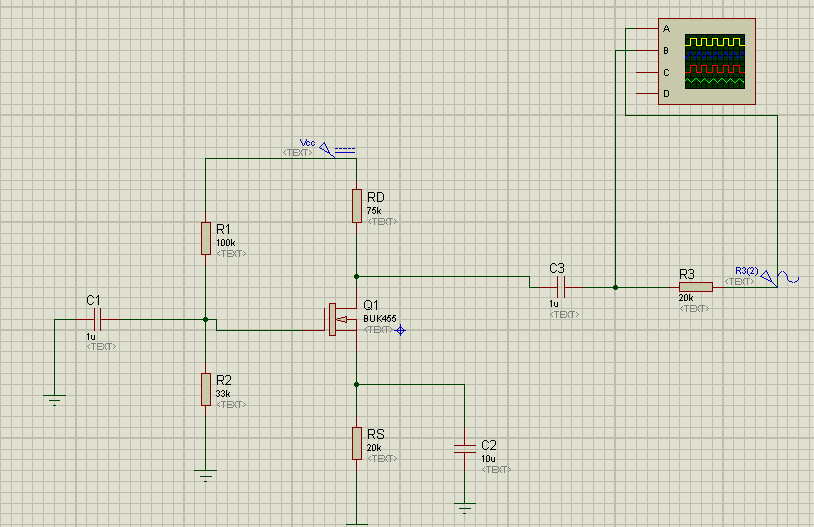
Rin= 26.15k

**8**

5)



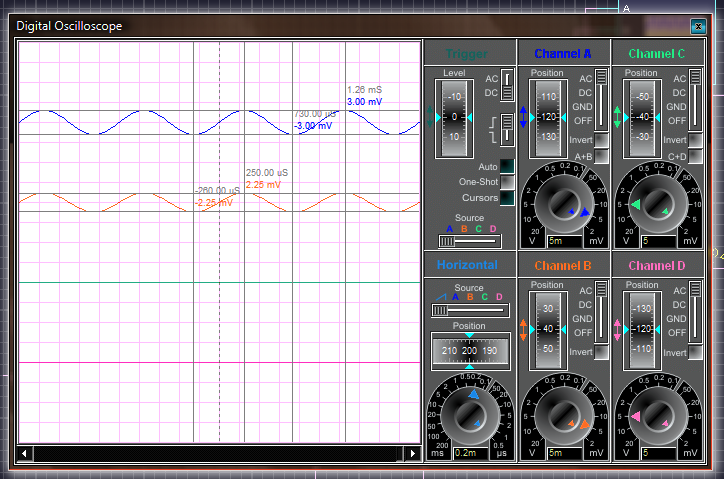
Yukarıda ki devrenin şematiği ŞEKİL-9 da verilmiştir. Devrenin şematiği çizilirken Pot değerine 20k değerinde bir direnç kullanılmıştır.



**ŞEKİL-9**

Devrenin simulasyonu ise ŞEKİL-10 da gösterildiği gibidir.

**9**



**ŞEKİL-10**

Devredeki giriş sinyali Vx A kanalında, Vout sinyali ise B kanalında gösterilmiştir.

Vx= 6 m V

Vout= 4.50m V

Bu verilere dayanarak Rin direncini hesaplarsak;

Vx/20k+Rout = Vout/ Rout

Rout= 60k

**10**