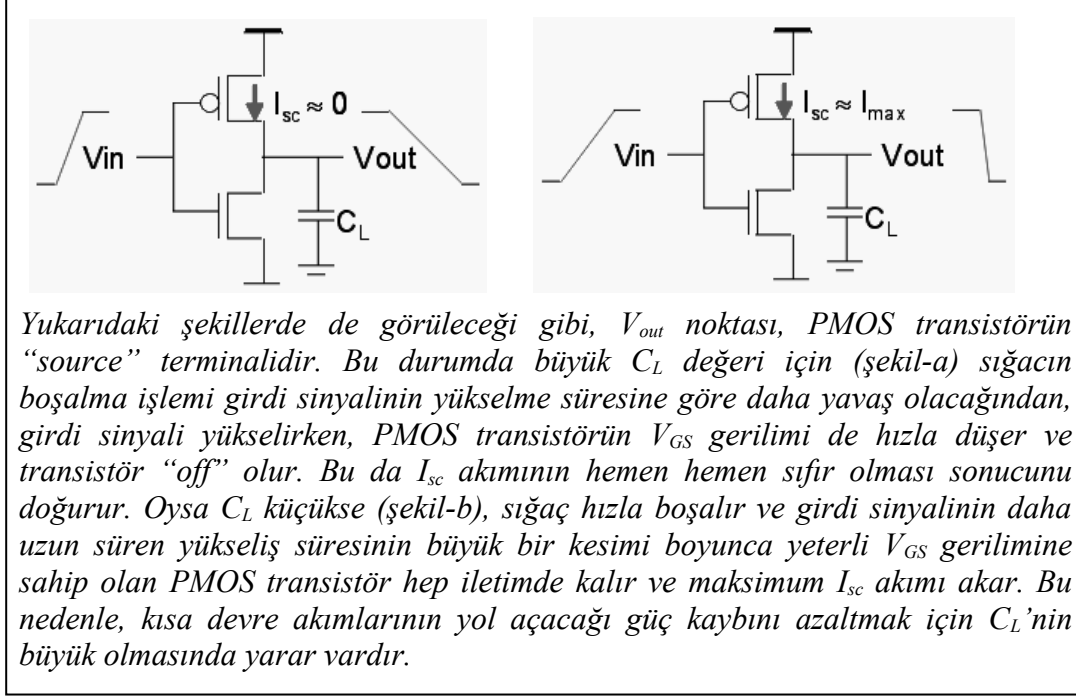
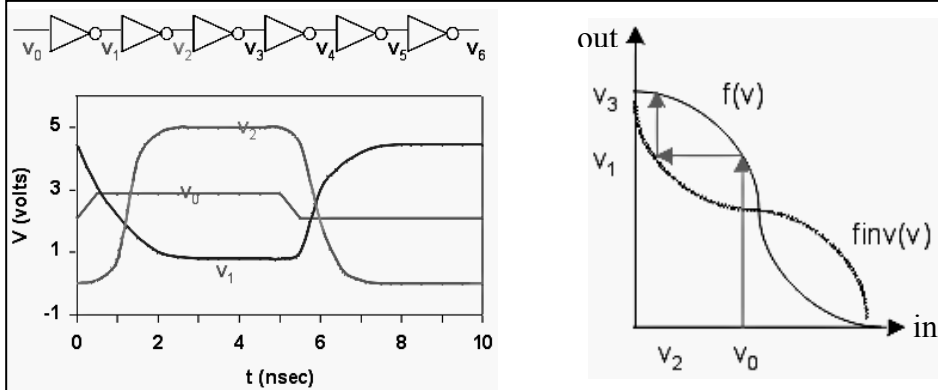


## 1. Aşağıdaki soruları yanıtlayınız:

- a) Kısa devre (direct path) akımlarının yol açacağı güç kaybı ile, yük sığası ( $C_L$ ) arasında nasıl bir ilişki vardır? Bu kaybı azaltmak için  $C_L$ 'nin büyütülmesi mi, küçültülmesi mi gerekir? Niçin?



- b) Bir geçitin (gate) “regenerative” özellik taşıması ne anlama gelir? Bu özelliğin olup olmadığını, VTC’ye bakarak nasıl anlayabiliriz?

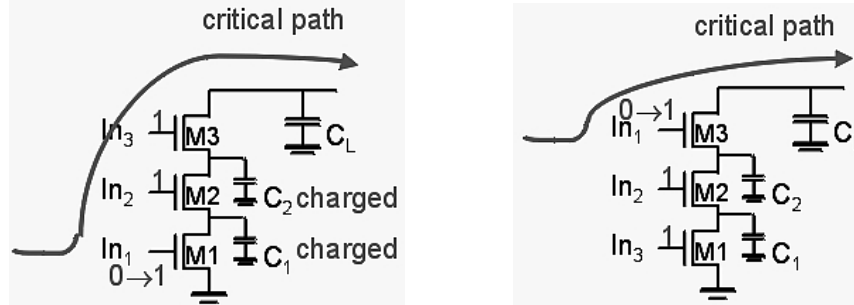


- c) Bir p-n arakesitinde boşaltılış bölge yükü (depletion region charge), ileri eğilimlemede mi (forward bias), ters eğilimlemede mi (reverse bias) daha fazladır? Bu yük ne zaman sıfır olur? Açıklamanıza matematiksel dayanak gösteriniz.

$$Q_j = A_D \sqrt{2\epsilon_{si} q \frac{N_A N_D}{N_A + N_D}} (\phi_0 - V_D)$$

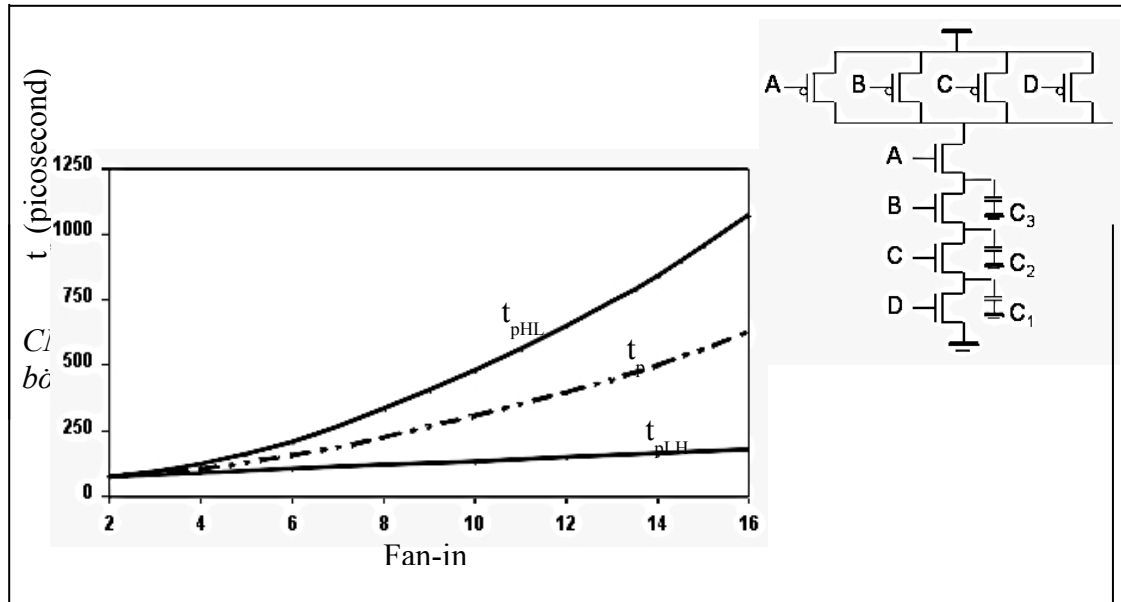
Boşaltılmış bölge yükü yanda ifade edilen biçimde hesaplanır. Burada  $A_D$ , kesit alanını,  $\epsilon_{si}$ , silikon için elektriksel geçirgenliği (permittivity),  $N_A$  ve  $N_D$ , acceptor ve donör yoğunluklarını (doping density);  $\phi_0$ , "built-in" potansiyeli;  $V_D$  ise, kesit uçları arasındaki gerilimi simgelemektedir.  $V_D$ , ters eğilimleme için negatif, ileri eğilimleme için pozitif değerdedir. Buna göre  $(\phi_0 - V_D)$  terimi ters eğilimlemede daha büyük olacağından,  $Q_j$  de daha büyük olur. İleri eğilimleme gerilimi  $V_D = \phi_0$  olduğunda  $Q_j = 0$  olacaktır.

- d) Kritik sinyalin tanımını verdikten sonra, bu sinyalin uygulanacağı transistörün seçiminin (transistor ordering) performansı nasıl etkileyeceğini açıklayınız.



Girdi sinyalleri arasında kararlı duruma geçen sonuncu sinyal "kritik sinyal" olarak adlandırılır. Kritik sinyalin çıktı noktasına (output) en yakın transistöre giriş yapması performansı arttıracaktır. Yukarıdaki devrelerden solda bulunanda, kritik sinyal çıktı noktasına en uzak konumdaki M1 transistörüne girmektedir. Bu durumda bu sinyal 0→1 değişimini tamamlamadıkça M1 "off" durumda kalacak ve sığaçların hiçbiri boşalamayacaktır. Oysa, sağdaki devrede kritik sinyal M3 transistörüne bağlandığından, bu sinyal 0→1 değişimini henüz yapmamış olsa da,  $In_2$  ve  $In_3$ 'ün 1 olması ile  $C_2$  ve  $C_1$  sığaçları boşalabilecek ve çıkışın 0 olması için bir tek  $C_L$ 'nin boşalmasını beklemek gerekecektir.

- e) Bir CMOS NAND gate için  $t_{pHL}$ ,  $t_{pLH}$  ve  $t_p$  eğrilerini fan-in sayısının bir işlevi olarak kabaca çiziniz (aynı eksenler üzerine) ve bu eğriler arasındaki farkın nedenlerini açıklayınız.  $t_p$ 'nin fan-in ve fan-out ile değişimini kıyaslayınız.



$t_{pHL} = 0.69[R_1C_1 + (R_1+R_2)C_2 + (R_1+R_2+R_3)C_3 + (R_1+R_2+R_3+R_4)C_L]$  ifadesinden de anlaşılacağı gibi “quadratic” bir fan-in bağıntısı gösterir. Oysa  $t_{pLH}$  için durum farklıdır. PUN devresinde transistörler paralel bağlandığı için, “pull-up” direnci değişmezken, sıgıda doğrusal bir artış olmaktadır. Bu da,  $t_{pLH}$ ’da, grafikte görüldüğü gibi doğrusal bir değişime neden olmaktadır.

Fan-out’ta, her eklenecek yeni yük,  $C_L$ ’nin 2 adet  $C_g$  değeri kadar artmasına yol açar. Bu da  $t_p$ ’nin fan-out ile doğrusal bir biçimde artacağı anlamına gelir.

- f) Düşük besleme gerilimi ile çalışmamızın iyi ve kötü yönlerini, kazanç (gain), enerji, gecikme ve gürültü bazlarında tartışınız.

Besleme geriliminin ( $V_{DD}$ ) azaltılması enerji tüketiminin düşmesi (quadratik biçimde) ve belirli bir seviyeye kadar kazancın artması sonucunu doğurur. Ancak yaklaşık  $4kT/q$  ( $\sim 100mV$ ) seviyelerinden itibaren, geçit karakteristiği ciddi ölçüde bozulur ve kazanç 1 seviyelerine düşer. Öte yandan,  $V_{DD}$ ’nin azaltılması performans üzerinde olumsuz etki yaratır. Bu olumsuz etki özellikle düşük  $V_{DD}$  değerlerinde çok ciddi ölçekte iken,  $V_{DD} \gg V_T + V_{DSAT}/2$  seviyelerinde yok olur.  $V_{DD}$ ’nin azaltılması, iç gürültünün de ölçeklendirilmesi ve azalması sonucunu doğurur (örneğin crosstalk). Ancak dış gürültü ölçeklendirilmediği için, geçit dış gürültülere karşı çok daha duyarlı hale gelir. Ayrıca geçitin DC karakteristiği de geçit parametrelerindeki (örneğin  $V_T$ ) değişimlere karşı daha fazla duyarlı olacaktır.

2. a) Aşağıda şekil (a) da gösterilen devreyi, çıkış ucundaki (Z) “pull-up” ve “pull down” akımları, PMOS/NMOS oranı 2:1 olan bir “unit inverter” ile aynı olacak biçimde ölçeklendiriniz.

$$M1 = 2; \quad M2 = M3 = 4; \quad M4 = M5 = M6 = 2$$

- b) Aynı ölçeklendirme işlemini, bu kez de A, B, ve C giriş uçlarının sıgaları aynı olacak biçimde yineleyiniz (Yol gösterme: “sizing” ile sıgalar arasındaki bağıntıyı göz önünde bulundurunuz ve PDN ölçeklendirmesini yeniden yapınız)

Pull-up (a) bölümünde olduğu gibi:  $M1 = 2, M2 = M3 = 4$  ölçeklemesi, bir “unit inverter” ile aynı “pull-up” akımını verecektir.  $M4=x, M5=M6=y$  olsun. “pull-down” kesiminde de aynı şeyin gerçekleşmesi için:

$$\frac{1}{x} + \frac{1}{y} = 1 \quad \text{olmalıdır (büyüklük direnç ile ters orantılı)}$$

giriş sıgalarının aynı olması için de:

$$4+y=2+x \quad \text{olmalıdır (büyüklük sığa ile düz orantılı)}$$

yukarıdaki 2 denklemin ortak çözümü:  $x = 2 + \sqrt{2}; y = \sqrt{2}$  bulunur. Buna göre:

$$M1 = 2; \quad M2 = M3 = 4; \quad M4 = 2 + \sqrt{2}; \quad M5 = M6 = \sqrt{2} \quad \text{olmalıdır}$$

- c) Ölçeklendirilmiş geçitin (b’de istenen biçimde) mantıksal eforunu (logical effort) bulunuz.

$$g = \frac{C_{in}(gate)}{C_{in}(inverter)} = \frac{4 + \sqrt{2}}{3}$$

d) Geçitin doğruluk çizelgesini çizin ve girdi olasılıklarının  $p(A=0)=0.2$ ,  $p(B=0)=0.5$ ,  $p(C=0)=0.4$  olduğunu göz önünde bulundurarak, çıkıştaki enerji tüketici değişim olasılığını bulunuz.

$$\begin{aligned} p(A=1) &= 1 - p(A=0) = 1 - 0.2 = 0.8 \\ p(B=1) &= 1 - p(B=0) = 1 - 0.5 = 0.5 \\ p(C=1) &= 1 - p(C=0) = 1 - 0.4 = 0.6 \end{aligned}$$

A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

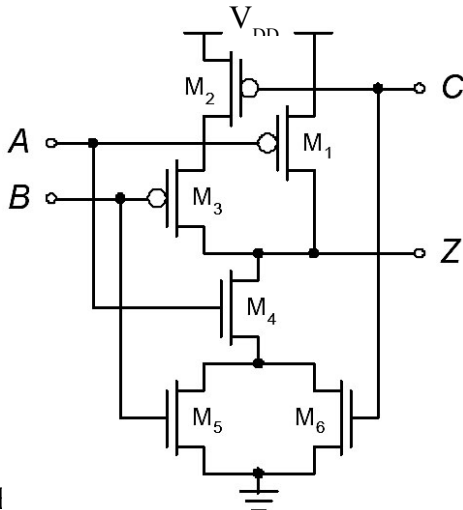
$$\begin{aligned} P(Z=0) &= p(A=1) p(B=0) p(C=1) + p(A=1) p(B=1) + \\ &+ p(C=0) + p(A=1) p(B=1) p(C=1) \\ &= 0.8 \times 0.5 \times 0.6 + 0.8 \times 0.5 \times 0.4 + 0.8 \times 0.5 \times 0.6 = 0.64 \end{aligned}$$

çıkıştaki enerji tüketici değişim olasılığı:

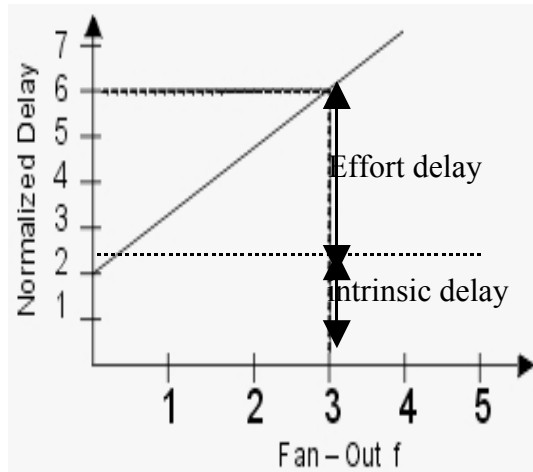
$$\begin{aligned} p(Z=0 \rightarrow 1) &= p(Z=0) \times [1 - p(Z=0)] = 0.64 \times (1 - 0.64) \\ p(Z=0 \rightarrow 1) &= 0.2304 \end{aligned}$$

e) Şekil (b) de bir geçitin “gecikme – fan out” modeli gösterilmektedir. Bu geçit için mantıksal efor (logical effort), yüksüz gecikme (intrinsic delay) ve fan-out (effective)  $f = 3$  için “gate effort” (effort delay) değerlerini bulunuz.

Gate delay:  $d = h + p$  olarak ifade edilir. Burada,  $h$  = “gate effort” (effort delay),  $p$  ise “intrinsic delay” olmaktadır. Ayrıca  $h = gf$  olarak ifade edilir. Burada da  $g$  ile “logical effort”,  $f$  ile de “effective fan-out” simgelenmektedir. Söz konusu kavramlar Şekil (b) üzerinde gösterilmiştir.  $f=3$  için, “gate effort”  $h=4$ , “intrinsic delay”  $p=2$  ve çizginin eğimi ( $g = h/f = 4/3$ ) “logical effort” olarak bulunur.

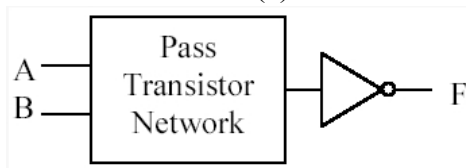


(a)

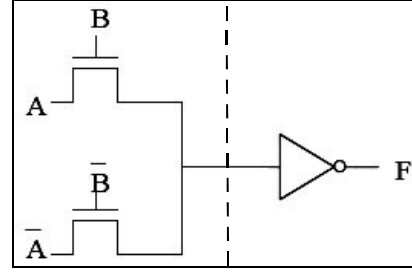


a gerçekleştirilecektir.

a) NMOS transistörlerden oluşan Pass Transistör bölümünü çizin. Girdilerin değillenmiş biçimleri de verilmektedir.



- b) Bu devrenin doğru bir biçimde çalışabilmesi için minimum  $V_{DD}$  ne olmalıdır? Gerekçenizi açıklayınız. (çözümü formülleştirmeniz yeter)  
 $V_{T0} = 0.5V$ ,  $\gamma = 0.4V$ ,  $|-2\phi_F| = 0.6V$   
 $V_M = V_{DD}/2$  (inverter için) verilmektedir.

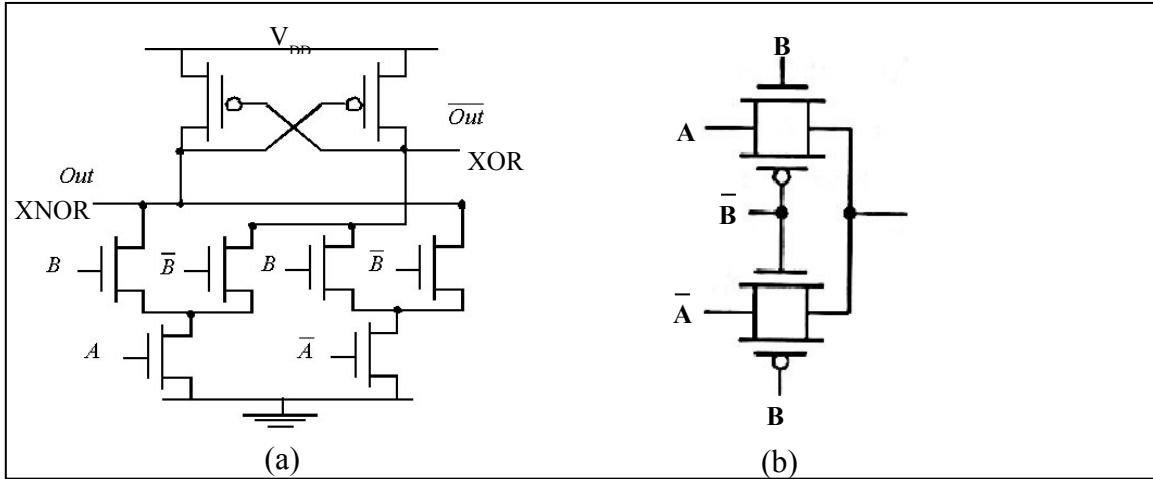


Bu devrede,  $A = 1$  olduğunda,  $V_{GS} \leq V_T$  olacağından, inverter girişi en çok  $V_{DD} - V_T$  gerilimine kadar yükselecektir. Bu gerilim aynı zamanda transistorün (yukarıdaki)  $V_S$  gerilimini oluşturacağından "body effect" söz konusu olacaktır. Öte yandan, çıkıştaki inverterin sinyali deşilleyebilmesi için bu noktadaki sinyalin  $V_{DD}/2$  değerine ulaşabilmesi gerekir. Başka bir deyişle:  $V_{DD} - V_T = V_{DD}/2$  veya  $V_{DD} = 2 V_T$  olmalıdır.

$V_T = V_{T0} + \gamma \left( \sqrt{|(-2)\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right)$  olarak bulunacağına ve  $V_{SB} = V_{DD}/2$  olduğuna göre:

$V_{DD} = 2 \left[ V_{T0} + \gamma \left( \sqrt{|(-2)\phi_F + V_{DD}/2|} - \sqrt{|2\phi_F|} \right) \right]$  yazabiliriz. Bu ifade iterasyon yöntemi ile çözülebilir ve  $V_{DD} \approx 1.27V$  bulunur.

- c) Aynı bölümü DCVSL ve Transmission Gate yapılarında çiziniz (ayrı ayrı).



4. a) Minimum büyüklükteki bir inverter için giriş sığası ( $C_g$ )  $C_{unit}$ , eşdeğer direnç  $R_{unit}$  (hem NMOS hem de PMOS için geçerli), intrinsic (self loading) sığa da  $C_{unit}$  olmaktadır. Söz konusu inverter, kendisinden  $f$  misli büyük bir başka inverteri sürdüğünde ne kadar gecikme olur? (hesap yapılmayacak, bu parametreler cinsinden formül yazılacaktır).  $f \rightarrow 0$  için bulacağınız limit değerin  $t_{p0}$  (intrinsic delay) olacağını gösteriniz.

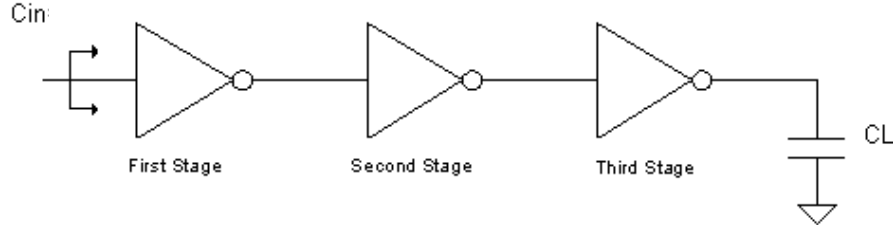
$$\tau_p = 0.69 R_{unit} C_{unit} (1 + f)$$

$$f \rightarrow 0 \quad \S \quad \tau_p = 0.69 R_{unit} C_{unit}$$

b) Girişte birbirini izleyen (L→H), (H→L) değişimi olması halinde güç kaynağından ( $V_{DD}$ ) tüketilecek enerji ifadesini yazınız.

$$Energy = C_{unit}(1 + f)V_{DD}^2$$

c) Girişte bulunan minimum büyüklükte bir inverter'den, çıkışta yer alan  $C_L = 60 C_{unit}$  büyüklüğünde bir yük sığasını sürebilmek için (giriş sığası  $C_{in} = C_{unit}$ ), aşağıda gösterilen yapıda bir “buffering” yapılması kararlaştırılmıştır.



Minimum gecikme için devrenin “effective fan-out” değerinin ne olması gerektiğini ve buna bağlı ölçekleme değerlerini (ikinci ve üçüncü inverter için) bulunuz. Söz konusu minimum gecikme ne kadardır ( $t_{p0}$ 'a oranla)?

“Overall effective fan-out” ve “effective fan-out” değerleri:

$$F = \frac{C_L}{C_{in}} = \frac{C_L}{C_{unit}} = \frac{60C_{unit}}{C_{unit}} = 60 \quad f = \sqrt[3]{F} = \sqrt[3]{60} = 3.915 \quad \text{olarak bulunur.}$$

İkinci inverter için  $f$ , üçüncü inverter için ise  $f^2$  ölçekleme değerleri kullanılacaktır.

Buna göre minimize edilmiş gecikme:

$$t_p = Nt_{p0} \left( 1 + \sqrt[3]{F} / \gamma \right) = 3t_{p0} (1 + 3.915) = 14.745t_{p0} \quad \text{bulunur.} \quad (\gamma = C_{in}/C_g = C_{unit}/C_{unit} = 1)$$

d) Girişte sinyalin düşük seviyeden yüksek seviyeye çıkma olasılığı,  $P_{0 \rightarrow 1} = 0.5$  olduğuna göre, yukarıdaki devre için “energy-delay product” ne olur?

Devrenin üzerinde enerji tüketilecek toplam sığası  $2C_{unit}(1+f+f^2) + C_L$  olur. Enerji ifadesini buna göre yazar ve yukarıdaki değerleri yerlerine koyarsak:

$$\begin{aligned} E &= C V_{DD}^2 P_{0 \rightarrow 1} = [2C_{unit}(1+f+f^2) + C_L] V_{DD}^2 P_{0 \rightarrow 1} \\ &= [2C_{unit}(20.24) + 60C_{unit}] V_{DD}^2 \times 0.5 = 50.24C_{unit} \times V_{DD}^2 \\ EDP &= E \times t_p = E \times 14.74t_{p0} = 740.53 C_{unit} \times V_{DD}^2 \times t_{p0} \quad \text{buluruz.} \end{aligned}$$

PUANLAR:

Soru 1: Her şık 5p

Toplam 30p

Soru 2: a) 3p b) 7p c) 4p d) 7p e) 4p

Toplam 25p

Soru 3: a) 5p b) 7p c) 8p

Toplam 20p

Soru 4: a) 5p b) 5p c) 8p d) 7p

Toplam 25p

SINAV SÜRESİ: 120 dakika