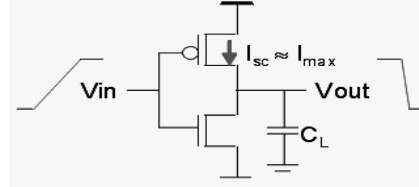
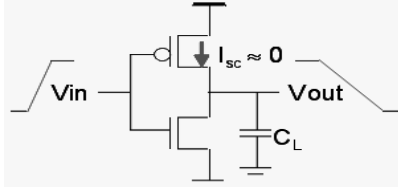


1. Aşağıdaki soruları Yanıtlayınız:

- a) Kısa devre (direct path) akımlarının yol açacağı güç kaybı ile, yük sığası (C_L) arasında nasıl bir ilinti vardır? Bu kaybı azaltmak için C_L 'nin büyütülmesi mi, küçültülmesi mi gerekir? Niçin?

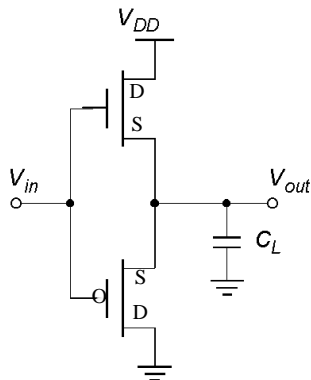


Yukarıdaki şekillerde de görüleceği gibi, V_{out} noktası, PMOS transistörün “source” terminalidir. Bu durumda büyük C_L değeri için (şekil-a) sığacın boşalma işlemi girdi sinyalinin yükselme süresine göre daha yavaş olacağından, girdi sinyali yükselirken, PMOS transistörün V_{GS} gerilimi de hızla düşer ve transistör “off” olur. Bu da I_{sc} akımının hemen hemen sıfır olması sonucunu doğurur. Oysa C_L küçükse (şekil-b), sığaç hızla boşalır ve girdi sinyalinin daha uzun süren yükseliş süresinin büyük bir kesimi boyunca yeterli V_{GS} gerilimine sahip olan PMOS transistör hep iletimde kalır ve maksimum I_{sc} akımı akar. Bu nedenle, kısa devre akımlarının yol açacağı güç kaybını azaltmak için C_L 'nin büyük olmasında yarar vardır.

b) Aşağıdaki boşlukları doldurunuz:

- Moore kuralına göre IC içindeki MOSFET sayısı her14-18 AYDA..... iki katına çıkmaktadır.
- Hot-carrier” etkisi, eşik geriliminin genliğindeARTIŞA..... neden olur.
- Eşik geriliminin azaltılması, performans ve statik güç tüketimini ...ARTTIRIR....
- CMOS tersleyicide ...PMOS.... genişliği büyütülürse VTC'de geçiş bölgesi sağa doğru kayar.
- CMOS üretim sürecinde “die” alanı artarsaYIELD... düşer.

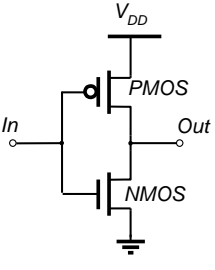
c) CMOS yapılar, PUN ve PDN bölümleri niçin sırası ile PMOS ve NMOS transistörlerden oluşur?



NMOS transistör PUN bölümünde yer aldığı, yandaki örnek devrede de görüleceği üzere, $V_{in} = V_{DD}$ olduğunda, C_L 'nin ON duruma geçen NMOS üzerinden dolması ve V_{out} 'un V_{DD} 'ye doğru yükselmesi beklenir. Ancak bu süreçte, NMOS tarafında $V_S = V_{out}$ ve $V_G = V_{in} = V_{DD}$ olduğundan, $V_{out} = V_{DD} - V_{Tn}$ gerilimine ulaştığında, $V_{GS} = V_G - V_S = V_{Tn}$ olacak ve NMOS cut-off durumuna geçecektir. Benzer şekilde $V_{in} = 0$ olduğunda, PMOS iletmeye başlayacak ve C_L 'nin PMOS üzerinden boşalması ve

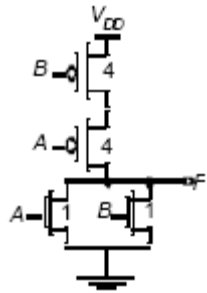
V_{out} 'un sıfır olması beklenir. Oysa bu kez de, $V_{out} = -V_{Tp}$ gerilimine düştüğünde, PMOS için $V_{GS} = V_{Tp}$ olacağından PMOS cut-off durumuna geçecek ve V_{out} gerilimi toprağa kadar düşemeyecektir. Bu da çıkışta “rail-to-rail” salınım elde edilememesi sonucunu doğurur. Oysa PUN için PMOS, PDN için de NMOS kullanıldığında çıkışta “rail-to-rail” salınım elde edilebilir.

- d) Bir CMOS Inverter’de, “switching treshold” (V_M) noktasında transistorler hangi durumdadır? Gerekçesi ile birlikte açıklayınız.



V_M noktası, tanımı gereği $V_{in} = V_{out}$ noktasıdır. Yandaki şekilde de görüleceği gibi, $IDSp = -IDSn$, $V_{GSn} = V_{in}$; $V_{GSp} = V_{in} - V_{DD}$
 $V_{DSn} = V_{out}$; $V_{DSp} = V_{out} - V_{DD}$ olduğundan, her iki transistörde de $V_{DS} = V_{GS}$ yazabiliriz. Bu da, $V_{DSn} \geq V_{GSn} - V_{Tn}$ ve $V_{DSp} \leq V_{GSp} - V_{Tp}$ doyum koşullarının her iki transistor için de sağlandığını gösterir. Buna göre, V_M noktasında her iki transistör de doyumdadır.

- e) PMOS/NMOS oranının 2 olduğunu varsayarak, 2 girişli bir CMOS NOR geçiti için mantıksal eforu bulunuz.



PMOS/NMOS oranının 2 olabilmesi için 2 adet seri PMOS’un x4 büyütülmesi gerekir. Buna göre A veya B uçlarının her biri $1+4=5 C_{unit}$ sığa görecek. Bir inverter için giriş ucunun görecek sığanın $1+2=3 C_{unit}$ olacağı ve inverterin mantıksal eforunun 1 olduğu düşünülürse, 5 C_{unit} için mantıksal efor $g=5/3$ olacaktır.

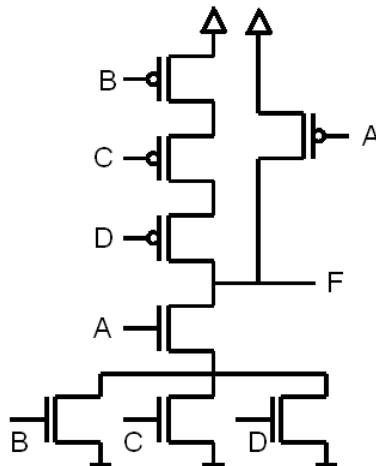
2-input NOR

$g = 5/3$
(5 C_{unit})

2. $V_T = 0.4V$, $V_{DSAT} = 1V$ verilmiştir. Aşağıdaki tabloda V_{GS} ve V_{DS} değerlerine göre MOSFET’in içinde bulunduğu durumu (OFF, LIN, SAT, Velocity SAT) gerekçesini de açıklayarak belirtiniz.

V_{GS}	V_{DS}	Durum
0.3V	3V	$V_{GS}=0.3V < V_T$ Kanal oluşmaz (OFF)
0.8	2V	$V_{GS}=0.8V > V_T$, $V_{DS}=2V > V_{DSAT} > V_{GS} - V_T$ (SAT)
1	0.8V	$V_{GS}=1V > V_T$, $V_{DSAT} > V_{DS}=0.8V > V_{GS} - V_T$ (SAT)
2	0.5V	$V_{GS}=2V > V_T$, $V_{GS} - V_T = 1.6V > V_{DSAT} > V_{DS}$ (LIN)

3. Aşağıdaki “complementary CMOS” geçit devresinde $L_n=L_p$, $W_n=1\mu m$ için $R_n=10K$, $W_p=1\mu m$ için $R_p=30K$, çıkış yükü $C_L=1pF$ verilmiştir.



- a) Devrenin gerçekleştirdiği Boolean işlevi bulunuz.

$$F = [A (B+C+D)]'$$

- b) En kötümser (maksimum) t_{pLH} ve t_{pHL} değerlerini bulunuz.

En kötü (uzun) gecikme çıkışı V_{DD} ya da GND'ye bağlayan yollardan en büyük eşdeğer direnç gösteren yol üzerinden bulunur. Bu, PUN için D, C, B yoludur. PDN için A, B (ya da C ya da D) yoludur. Buna göre;

$$t_{pLHmax} = 0.69 (3 R_p) C_L = 62.1 \text{ ns.}$$

$$t_{pHLmax} = 0.69 (2 R_n) C_L = 13.8 \text{ ns. Bulunur}$$

- c) $t_{pLH} = t_{pHL}$ yapabilmek için uygun MOSFET büyüklüklerini bulunuz.

$t_{pLH} = t_{pHL}$ için $R_{PUN} = R_{PDN}$ olmalı. B, C, D yolu üzerindeki PMOS W_p çarpanı X, NMOS W_n çarpanı Y olsun. En kötü gecikme için

$$R_{PUN} = 3 R_p / X = 90 / X \text{ olur.}$$

$$R_{PDN} = 2 R_n / Y = 20 / Y \text{ olur.}$$

$$\Rightarrow R_{PUN} = R_{PDN} \text{ koşulunu } X = 9 Y / 2 \text{ sağlar.}$$

$$\Rightarrow W_{nA} = W_{nB} = W_{nC} = W_{nD} = 2 \mu\text{m olsun.}$$

$$\Rightarrow W_{pB} = W_{pC} = W_{pD} = 9 \mu\text{m olur.}$$

W_{pA} için;

$$W_{pA} = 9 \mu\text{m olmasına gerek yoktur. } R_{PUN} = R_{pA} = R_{PDN} = 2 (R_n / 2) = 10K \text{ olursa}$$

$$t_{pLH} = t_{pHL} \text{ sağlanmış olur. Buna göre } W_{pA} = (1 \mu\text{m}) R_p / 10K = 3 \mu\text{m olur.}$$

- d) A, B, C, D girişlerinden hangisinin 1 \rightarrow 0 geçişi çıkışta en uzun t_{pLH} değerine neden olur? Açıklayınız.

En kötü t_{pLH} için en büyük R_{PUN} yolu ve dolacak olan aradüğüm sığalarının boşaltılmış olma koşulu aranır. B, C, D yolu en büyük R_{PUN} vermektedir $\Rightarrow A = 1$ olmalıdır. D ve C aradüğüm sığasının boş olması için çıkış 0V iken D = 0 olmalıdır. C ve B aradüğüm sığasının boş olabilmesi için C = 0 olmalıdır. O zaman A=1, C=0, D=0 iken B= 1 \rightarrow 0 geçişi yaparken en kötü gecikme gerçekleşir.

4. A, B, ve C girişli NOR geçidi için

- Çıkışın 1 olma olasılığını hesaplayınız (herbir girişin 0 olma olasılığı 0.5'tir).
- Çıkışın 0'dan 1'e geçme olasılığını hesaplayınız (herbir girişin 0 olma olasılığı 0.1'dir).
- Bulduğunuz olasılığa göre, $V_{DD}=2V$, $C_L = 1nF$, sistem saat frekansı 1GHz için güç tüketimini hesaplayınız.

$$a) A, B, C \text{ girişli NOR çıkışı eşit olasılıklı girişler için } P(F=1) = 1 / (2^3) = 1 / 8 = 0.125 \text{ olur.}$$

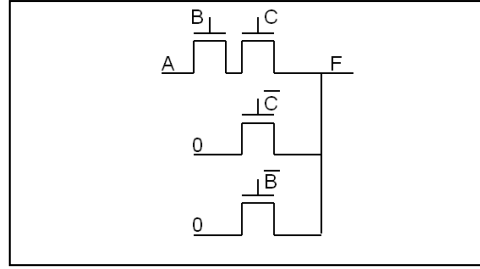
$$b) P(F:0 \rightarrow 1) = P(F=0) P(F=1) = [1 - P(F=1)] P(F=1) \text{ olur.}$$

$$P(F=1) = P(A=0) P(B=0) P(C=0) = 0.001 \text{ olur. Yerine koyarsak,}$$

$$\Rightarrow P(F:0 \rightarrow 1) = (1 - 0.001) (0.001) = 0.999 \cdot 10^{-3} \text{ bulunur. O da yaklaşık } 0.001 \text{ 'dir.}$$

$$c) P_d = V_{DD}^2 C_L \text{ frekans } P(F:0 \rightarrow 1) = 2^2 \cdot 10^{-9} \cdot 10^9 \cdot 10^{-3} = 4mW \text{ bulunur.}$$

5. “Pass-Transistor Logic” devre tekniđi ile (giriş sinyallerinin tersleri kullanılabilir) a) üç giriřli AND geçit devresini dört NMOSFET kullanarak çiziniz,



- b) çizdiğiniz devrenin V_{OH} , V_{OL} , ve çıkış V_{swing} değerlerini $V_{Tn}=0.6V$, $V_{DD}=3V$, $V_{SS}=0V$ için bulunuz.

“Threshold drop” nedeniyle: $V_{OH} = V_{DD} - V_{Tn} = 2.4V$,
 $V_{OL} = 0V$
 $V_{swing} = V_{OH} - V_{OL} = 2.4V$

6. $C_L=10^5 C_g$ yükü sürebilmek için “effective fanout” $f = 5$ kullanılıp zincirleme tersleyiciler kullanılacaktır. İlk tersleyicideki $W_p=4\mu m$, $W_n=2\mu m$ giriş sığası C_g ve kendinden gecikmesi (“intrinsic delay”) $t_{po} = 0.2ns$ ve tüm tersleyiciler için $\gamma=1$ verilmiştir.
a) Zincirdeki gittikçe büyüyen tersleyicilerin sayısını bulunuz.

$f = (F)^{1/N} = (C_L / C_g)^{1/N} = 10^{5/N} = 5 \Rightarrow 5/N = \log(5) \Rightarrow N = 5 / \log(5) = 7.15$.
Tersleyici sayısı 7.15'e en yakın tam sayı seçilir. $\Rightarrow N = 7$ olur.

- b) Toplam gecikmeyi bulunuz.

$t_p = N t_{po} (1 + f / \gamma) = (7)(0.2ns) (1 + 5) = 8.4ns$ bulunur.

- c) Beşinci tersleyicideki PMOSFET ve NMOSFET büyüklüklerini hesaplayınız.

5'inci tersleyici birinciden f^4 kat büyüktür.

$\Rightarrow W_{n5} = W_n f^4 = (2\mu m)(5^4) = 1250\mu m$

$\Rightarrow W_{p5} = W_p f^4 = (4\mu m)(5^4) = 2500\mu m$

Puanlar:

Soru 1: 25p, her şık 5p

Soru 2: 10p

Soru 3: 20p

Soru 4: 15p

Soru 5: 10p

Soru 6: 20p

