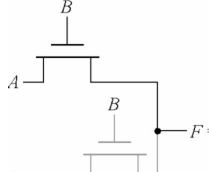


1. Aşağıdaki soruları yanıtlayınız:

- a) $F = A \cdot B$ işlevini PT (pass transistor) mantığı ile gerçekleştiren yapıyı çizin ve bu yapıda ikinci transistöre niçin gerek duyulduğunu açıklayınız?



$B = 1$ iken, çıkıştan $F = AB = A$ alınmaktadır. Bu durumda A 'nın 1 ya da 0 olmasına dayalı olarak, çıkış, küçük bir dirençle V_{DD} ya da toprağa bağlanır. Oysa $B = 0$ olduğunda, üstteki transistör "off" olacağından, ikinci (alttaki) transistör bulunmadığı takdirde, çıkış, ne V_{DD} ile ne de toprak ile bağlantılı olmaksızın "floating" durumda kalır. Bu da, "statik" geçit olma özelliğini bozar. İkinci transistör, $B = 0$ iken çıkışı toprağa bağlamaktadır.

- b) Bir geçit yapısında, güç ve enerji tüketiminin bileşenlerini formülleştirerek ayrı ayrı açıklayınız.

$$E = C_L V_{DD}^2 P_{0 \rightarrow 1} + t_{sc} V_{DD} I_{peak} P_{0 \rightarrow 1} + V_{DD} I_{leakage}$$

$$P = C_L V_{DD}^2 f_{0 \rightarrow 1} + t_{sc} V_{DD} I_{peak} f_{0 \rightarrow 1} + V_{DD} I_{leakage}$$

$$f_{0 \rightarrow 1} = P_{0 \rightarrow 1} \times f_{clock}$$

Yukarıdaki E (enerji) ve P (güç) ifadelerinde, 1. terimler dinamik, 2. terimler kısa devre (direct path) ve 3. terimler de sızıntı (leakage) bileşenlerinin karşılığıdır. Dinamik güç ve enerji, çıkıştaki toplam yük sığası (C_L), besleme gerilimi (V_{DD}) ve enerji tüketici anahtarlama etkinliği ($P_{0 \rightarrow 1}$ bu etkinliğin olasılık değeridir) ile; kısa devre tüketimi, her iki transistörün de (PMOS ve NMOS), aynı olasılıklar çerçevesinde iletim yaptığı süreler (t_{sc}) ve bu sürelerde akan akımın tepe değerleri ile; sızıntı tüketimi ise doğrudan sızıntı akımı ile ($I_{leakage}$) bağlantılıdır.

- c) Bir p-n arakesitinde boşaltılış bölge yükü (depletion region charge), ileri eğilimlemede mi (forward bias), ters eğilimlemede mi (reverse bias) daha fazladır? Bu yük ne zaman sıfır olur? Açıklamanıza matematiksel dayanak gösteriniz.

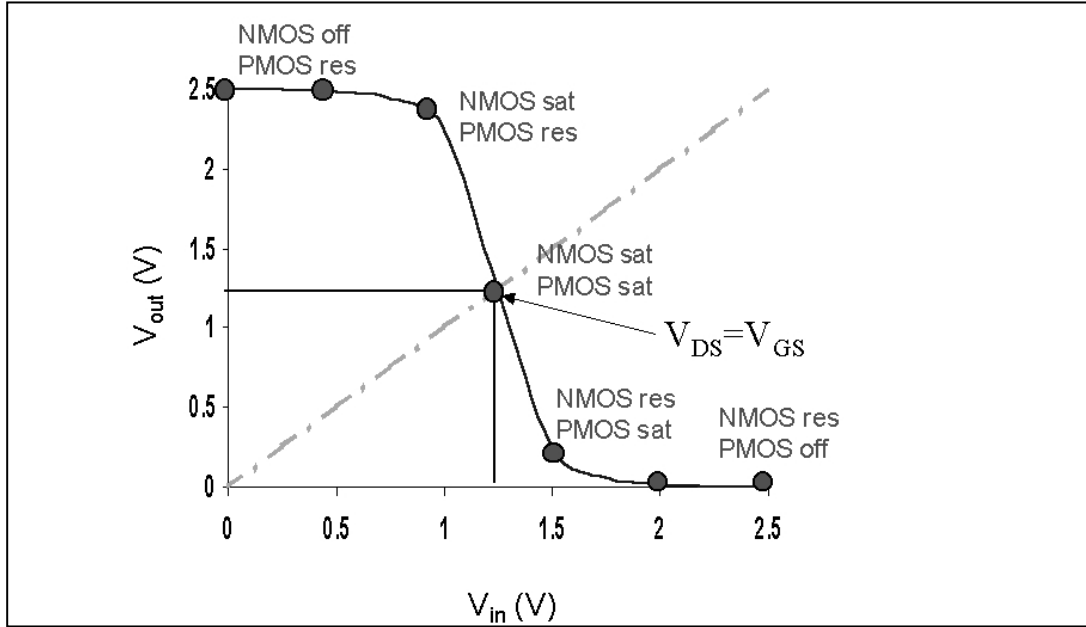
$$Q_j = A_D \sqrt{2 \epsilon_{si} q \frac{N_A N_D}{N_A + N_D}} (\phi_0 - V_D)$$

Boşaltılmış bölge yükü yanda ifade edilen biçimde hesaplanır. Burada A_D , kesit alanını, ϵ_{si} , silikon için elektriksel geçirgenliği (permittivity), N_A ve N_D , acceptor ve donör yoğunluklarını (doping density), ϕ_0 , "built-in" potansiyeli; V_D ise, kesit uçları arasındaki gerilimi simgelemektedir. V_D , ters eğilimleme için negatif, ileri eğilimleme için pozitif değerdedir. Buna göre $(\phi_0 - V_D)$ terimi ters eğilimlemede daha büyük olacağından, Q_j de daha büyük olur. İleri eğilimleme gerilimi $V_D = \phi_0$ olduğunda $Q_j = 0$ olacaktır.

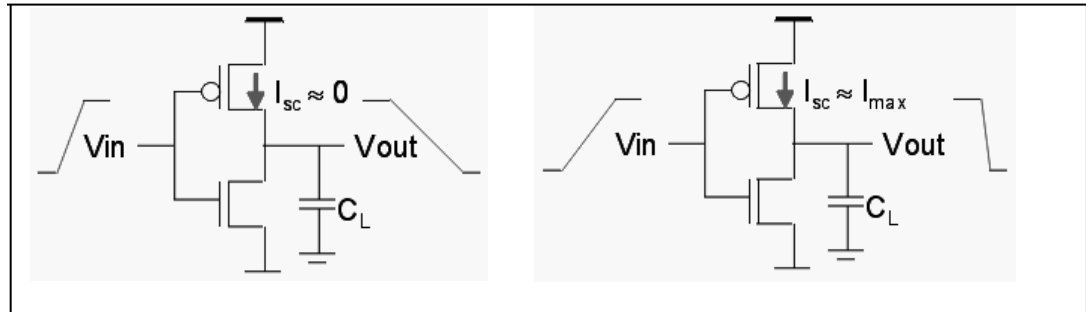
- d) Bir MOS transistör hangi koşullarda ideal bir akım kaynağı gibi işlev görür? Pratikte bu olanaklı mıdır? Yanıtlarınızı açıklayın ve gerekçelerinizi belirtin.

Bir MOS transistör, doyum (saturation) durumunda iken ideal akım kaynağı gibi davranır. Bu koşullarda akım: $I_D' = k'_n/2 W/L [(V_{GS} - V_T)^2]$ olarak ifade edilir ve görüldüğü gibi V_{DS} 'den bağımsızdır. Bu ifadede "channel length modulation" olgusu yok varsayılmıştır. Oysa pratikte, V_{DS} arttıkça, "pinch-off" noktası "drain" ucundan bir miktar uzaklaşarak içeri çekilir ve kanalın etkin uzunluğu bir miktar kısalır. Buna göre daha gerçekçi I_D ifadesi: $I_D = I_D' (1 + \lambda V_{DS})$ olacaktır. Burada λ , "channel length modulation" katsayısıdır ve görüldüğü gibi bu durumda I_D akımı V_{DS} 'den bağımsız olamamakta ve transistör ideal bir akım kaynağı olmaktan biraz uzaklaşmaktadır. Uzun kanallı transistörlerde bu etki, kısa kanallı olanlara göre daha azdır ve uzun kanallı transistörler, doyumda iken, ideal bir akım kaynağına daha yakın işlev görmektedir.

- e) Bir CMOS inverter için VTC (voltage-transfer characteristic) eğrisini çizerek, NMOS ve PMOS transistörlerin, eğrinin farklı kesimlerinde hangi durumlarda (cutoff, resistive, saturation) olacağını belirtiniz.



- f) Kısa devre (direct path) akımlarının yol açacağı güç kaybı ile, yük sığası (C_L) arasında nasıl bir ilişki vardır? Bu kaybı azaltmak için C_L 'nin büyütülmesi mi, küçültülmesi mi gerekir? Niçin?



Yukarıdaki şekillerde de görüleceği gibi, V_{out} noktası, PMOS transistörün “source” terminalidir. Bu durumda büyük C_L değeri için (şekil-a) sığacın boşalma işlemi girdi sinyalinin yükselme süresine göre daha yavaş olacağından, girdi sinyali yükselirken, PMOS transistörün V_{GS} gerilimi de hızla düşer ve transistör “off” olur. Bu da I_{sc} akımının hemen hemen sıfır olması sonucunu doğurur. Oysa C_L küçükse (şekil-b), sığaç hızla boşalır ve girdi sinyalinin daha uzun süren yükseliş süresinin büyük bir kesimi boyunca yeterli V_{GS} gerilimine sahip olan PMOS transistör hep iletimde kalır ve maksimum I_{sc} akımı akar. Bu nedenle, kısa devre akımlarının yol açacağı güç kaybını azaltmak için C_L ’nin

büyük olmasında yarar vardır.

2. Enhancement türü bir MOS transistör şu parametrelere sahiptir:

$$V_{T0} = 0.8V, \gamma = 0.2V^{1/2}, \lambda = 0.05V^{-1}, |2\phi_F| = 0.58V, k' = 20\mu A/V^2$$

a) Transistör $V_G = 2.8V$, $V_D = 5V$, $V_S = 1V$, $V_B = 0V$, olacak biçimde eğilimlendiğinde, $I_D = 0.24mA$ ölçülmektedir. W/L oranını bulunuz.

Verilen değerlere göre $V_{SB} = V_S - V_B = 1V$ olduğundan, “body effect” söz konusudur. Buna göre:

$$V_T = V_{T0} + \gamma \left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|} \right) = 0.8 + 0.2 \left(\sqrt{0.58 + 1} - \sqrt{0.58} \right) = 0.899V$$

$$V_{DS} = V_D - V_S = 5 - 1 = 4V, \quad V_{GS} = V_G - V_S = 2.8 - 1 = 1.8V$$

$$V_{GS} - V_T = 1.8 - 0.899 = 0.901, \quad V_{DS} > V_{GS} - V_T \rightarrow \text{Transistör doyumda}$$

$$I_D = \frac{k' W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \rightarrow \frac{W}{L} = \frac{2 I_D}{k' (V_{GS} - V_T)^2 (1 + \lambda V_{DS})}$$

$$\frac{W}{L} = \frac{2 \times 0.24 \times 10^{-3}}{20 \times 10^{-6} (0.901)^2 (1 + 0.05 \times 4)} = 24.64 \text{ bulunur.}$$

b) $V_G = 5V$, $V_D = 4V$, $V_S = 2V$, $V_B = 0V$ için I_D akımını bulunuz.

Bu durumda da “body effect” söz konusudur ve $V_{SB} = V_S - V_B = 2V$ olmaktadır. Buna göre:

$$V_T = V_{T0} + \gamma \left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|} \right) = 0.8 + 0.2 \left(\sqrt{0.58 + 2} - \sqrt{0.58} \right) = 0.969V$$

$$V_{DS} = V_D - V_S = 4 - 2 = 2V, \quad V_{GS} = V_G - V_S = 5 - 2 = 3V$$

$$V_{GS} - V_T = 3 - 0.969 = 2.031, \quad V_{DS} < V_{GS} - V_T \rightarrow \text{Transistör linear bölgede}$$

$$I_D = \frac{k' W}{2 L} \left[2(V_{GS} - V_T) V_{DS} - V_{DS}^2 \right] (1 + \lambda V_{DS})$$

$$I_D = 10 \times 10^{-6} \times 24.64 \left[(2 \times 2.031 \times 2) - 4 \right] (1 + 0.05 \times 2) = 1.12mA \text{ bulunur.}$$

c) $\mu = 500\text{cm}^2/\text{Vs}$, ve $C_g = 1 \times 10^{-15}\text{F}$ olduğuna göre, W ve L değerlerini bulunuz.

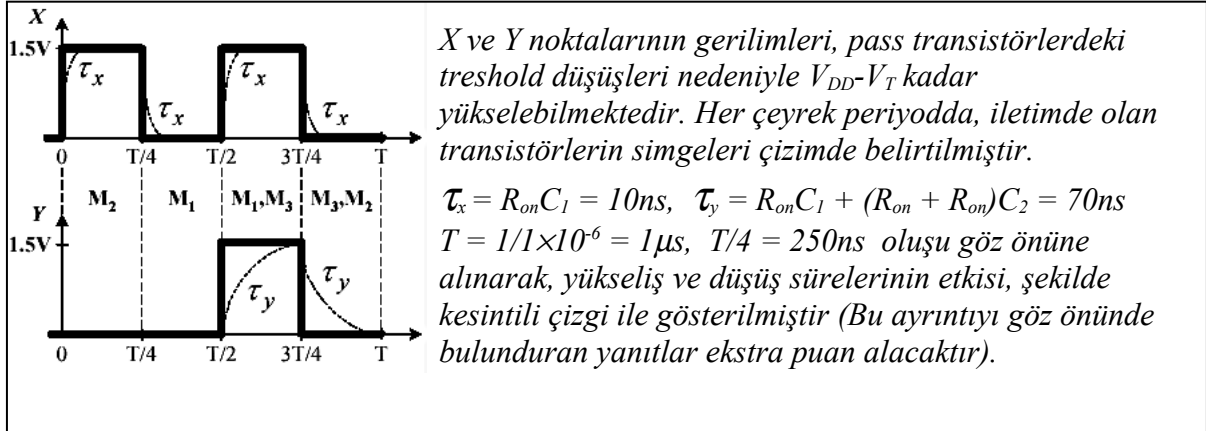
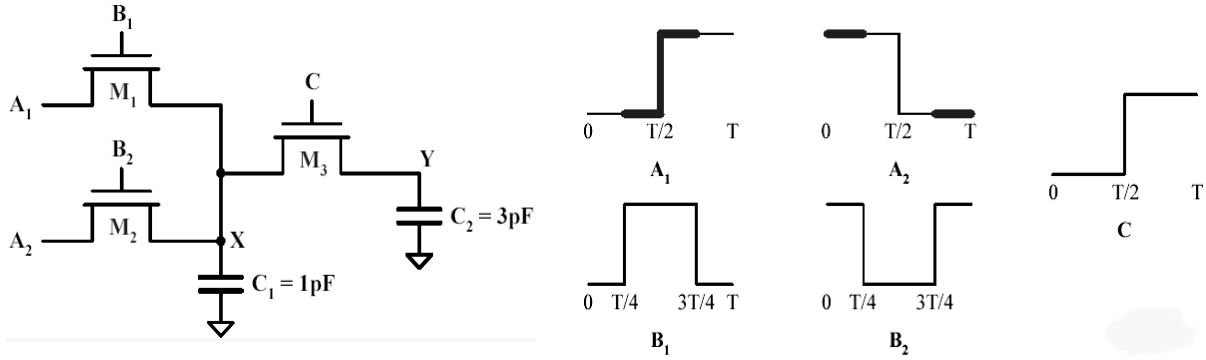
$$C_{ox} = \frac{k'}{\mu_n} = \frac{20 \times 10^{-6}}{500} = 4 \times 10^{-8} \text{ F/cm}^2, \quad C_g = WLC_{ox} \rightarrow WL = \frac{C_g}{C_{ox}}$$

$$WL = \frac{10^{-15}}{4 \times 10^{-8}} = 2.5 \times 10^{-8} \text{ cm}^2 \text{ bulunur. Bu sonucu, (a) şıkında}$$

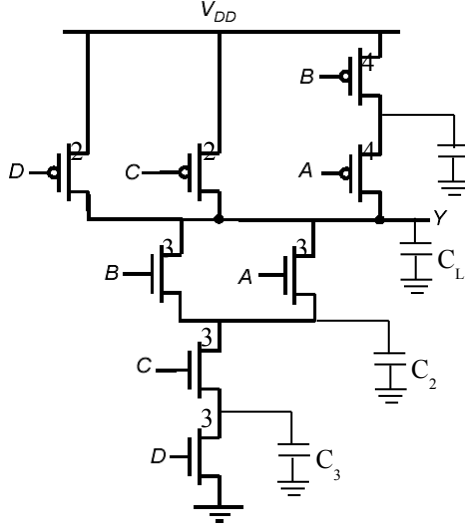
bulduğunuz sonuç ile birlikte ($W/L=24.64$) kullanarak:

$$W = 7.85 \mu\text{m}, \quad L = 0.32 \mu\text{m} \text{ buluruz.}$$

3. Aşağıdaki devrede, şekilde gösterilen sinyaller 1MHz sıklıkla, 0-2V arasında periodik olarak yinelenmektedir. Tüm transistörler için $V_T = 0.5\text{V}$, $\gamma = 0$, $R_{on} = 10\text{K}$, $R_{off} = \infty$ olarak verilmiştir. X ve Y noktalarındaki sinyal şekillerini, V-t koordinatları üzerinde bir periyod için alt alta çiziniz.



4.



- Yandaki CMOS geçitin çıktı işlevini (Y) yazınız.
- Çıktı için en kötü t_{pHL} ve t_{pLH} değerlerine yol açacak girdi değişimlerini (önceki ve sonraki kombinasyonlar olarak) bulunuz.
- D sinyalinin “kritik sinyal” olduğunu varsayarak, t_{pHL} ’yi küçültebilmek için, nasıl bir önlem alırdınız (reordering)?
- $P_{A=1}=0.5$, $P_{B=1}=0.2$, $P_{C=1}=0.3$, $P_{D=1}=1$ olasılıkları için $P_{Y=0 \rightarrow 1}$ değerini bulunuz.
- $C_L = 30\text{fF}$, $V_{DD} = 2.5\text{V}$, $f_{\text{clock}} = 250\text{MHz}$ olduğuna göre, yukarıdaki olasılıklar için geçitin dinamik güç tüketimini bulunuz.

a) $Y = \overline{(A + B)CD}$

b) En kötü t_{pHL} değeri, şekilde gösterilen C_2 ve C_3 sığaçları dolu iken oluşur. Çünkü bu durumda, çıktı sinyalinin $1 \rightarrow 0$ geçişi için, C_L ’ye ek olarak, bu sığaçların da boşalması gerekecektir. Sığaçların dolmasına yol açacak önceki girdi kombinasyonları şunlardır: $ABCD = [1010, 1110, 0110]$. $1 \rightarrow 0$ geçişini sağlayacak girdi değişimleri ise şu kombinasyonlar ile ifade edilebilir: $ABCD = [1011, 0111, 1111]$.

En kötü t_{pLH} değeri ise, C_1 sığacı boş iken ve yükselişin paralel transistörler tarafından sürülmemesi durumunda oluşur. Bu durumda, çıktı sinyalinin $0 \rightarrow 1$ geçişi için C_L ’ye ek olarak bu sığacın da dolması gerekecektir. Bu durumun oluşması için gerekli önceki ve sonraki girdi kombinasyonları şunlardır: $ABCD = [0111] \rightarrow [0011]$

c) “Kritik sinyal”, bir sinyal aktivitesinin tamamlanabilmesi için, bir grup girdi sinyali arasında, değişimini en son tamamlayarak kararlı duruma gelen sinyaldir. D girdisinin değişimini en son tamamlaması, çıkıştaki $1 \rightarrow 0$ geçişi sırasında (bunun için D girdisinin $0 \rightarrow 1$ değişimi yapacağı varsayıldığında) C_L , C_2 ve C_3 sığaçlarının boşalma yolunu tıkararak, bu geçişi yavaşlatacaktır. Bu sakıncayı önlemek için D girdisinin bağlı bulunduğu transistörü PDN’nin en tepesine (çıkışa en yakın noktaya) koymak yeterli olacaktır. Çünkü bu durumda, D sinyalindeki değişim beklenirken, C_2 ve C_3 boşalabilecektir.

d) Verilen olasılıklara göre her zaman $D=1$ olacağından, çıktı işlevi $Y = \overline{(A + B)C}$ olacaktır. Buna göre:

$$P_{(A+B)=0} = P_{A=0}P_{B=0} = 0.5(1-0.2) = 0.4$$

$$P_{(A+B)=1} = 1 - P_{(A+B)=0} = 1 - 0.4 = 0.6$$

$$P_{Y=0} = P_{(A+B)=1}P_{C=1} = 0.6 \times 0.3 = 0.18$$

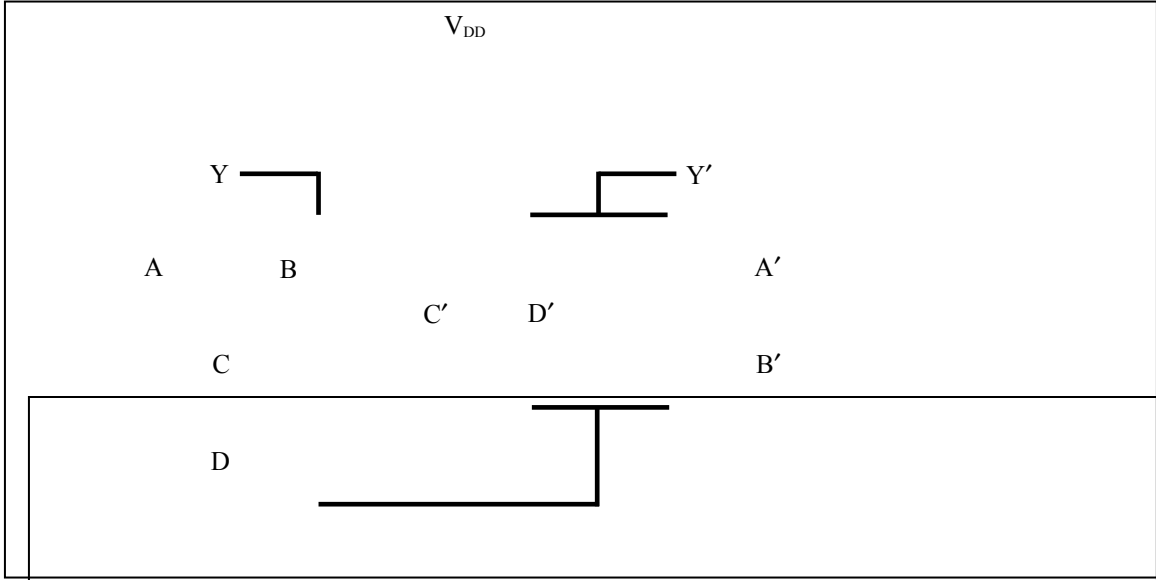
e)

$$P_{dyn} = \frac{P_{Y=1} - P_{Y=0}}{P_{Y=0 \rightarrow 1}} = \frac{1 - P_{Y=0}}{P_{Y=0 \rightarrow 1}} = \frac{1 - 0.18}{0.18} = 0.82$$

$$P_{dyn} = \frac{C_L V_{DD}^2 f_{0 \rightarrow 1}}{P_{Y=0 \rightarrow 1}} = \frac{C_L V_{DD}^2 f_{0 \rightarrow 1}}{P_{Y=0 \rightarrow 1}} = \frac{30 \times 10^{-15} (2.5)^2 (0.1476) (250 \times 10^6)}{0.18} = 6.92 \mu W$$

5.

a) 4. sorudaki geçiti DCVSL mantığına göre çiziniz.



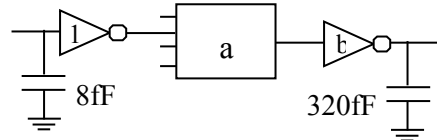
b) 4. sorudaki geçiti, devrenin pull-up ve pull-down dirençleri, $(W/L)_n = 1$, $(W/L)_p = 2$ olan bir inverter'inki ile aynı olacak biçimde ölçeklendiriniz.

Sorunun yanıtı 4. sorudaki şekil üzerinde gösterilmiştir.

c) Referans alınan inverter'in mantıksal eforu (logical effort) $g = 1$ olduğuna göre, ölçeklendirdiğiniz geçitin mantıksal eforunu bulunuz.

Referans alınan inverterde her giriş, PUN bağlantısından $2 C_{unit}$, PDN bağlantısından $1 C_{unit}$ olmak üzere toplam $3 C_{unit}$ sığa ile karşılaşmaktadır. Bu geçitin mantıksal eforu, tüm girişler için aynı değildir. Yapılan ölçekleme uyarınca, $g_{A,B} = 7/3$ (PUN bağlantısından 4, PDN bağlantısından $3 C_{unit}$), $g_{C,D} = 5/3$ (PUN bağlantısından 2, PDN bağlantısından $3 C_{unit}$) olmaktadır.

d)



Ölçeklendirdiğiniz ve mantıksal eforunu bulduğunuz bu geçit, iki inverter arasına, yanda gösterilen biçimde bağlanmaktadır. Girişten çıkışa kadar uzanan iz (path)

üzerinde minimum gecikme olabilmesi için gerekli a ve b ölçeklendirme değerlerini bulunuz.

Şekle göre, ilk inverterin çıkışının, geçitimizin B girişine bağlandığını varsayarsak, soldan sağa doğru sırası ile ilk inverterin mantıksal eforu $g_1 = 1$, geçitimizin mantıksal eforu $g_2 = 7/3$ ve ikinci inverterin mantıksal eforu da $g_3 = 1$ olacaktır ($g_2 = 5/3$ alınarak verilen yanıtlar da doğru kabul edilecektir). Buna göre:

$$\text{izin elektriksel eforu (path effective fan-out): } F = \frac{320}{8} = 40$$

$$\text{izin mantıksal eforu (path logical effort): } G = g_1 \times g_2 \times g_3 = 1 \times \frac{7}{3} \times 1 = \frac{7}{3}$$

$$\text{izin toplam eforu (total path effort): } H = GFB = GF = 40 \times \frac{7}{3} = \frac{280}{3}$$

$$\text{iz gecikmesini minimize edecek geçit eforu: } h = \sqrt[3]{H} = \sqrt[3]{\frac{280}{3}} = 4.536$$

bulunur. Minimizasyon koşulu uyarınca, her kadememin aynı geçit eforuna sahip olması gerektiğine göre:

$f_1 g_1 = f_2 g_2 = f_3 g_3 = h = 4.536$ olmalıdır. f değerlerini (her geçitin elektriksel eforu veya effective fan-out'u) buna göre hesaplırsak:

$$f_1 = 4.536, f_2 = 4.536 \times \frac{3}{7} = 1.944, f_3 = 4.536 \text{ buluruz.}$$

$$\text{Gecikmeyi minimize edecek ölçekleme değerleri: } s_i = \left(\frac{g_1 s_1}{g_i} \right) \prod_{j=1}^{i-1} \left(\frac{f_j}{b_j} \right)$$

biçiminde bulunacaktır. Dallanma eforu (branching effort) bulunmadığından,

$$B = b_j = 1, \text{ ve } s_1 = 1 \text{ alınarak: } a = s_2 = \frac{f_1 g_1}{g_2} = \frac{4.536}{7/3} = 1.944$$

$$b = s_3 = \frac{f_1 f_2 g_1}{g_3} = \frac{4.536 \times 1.944}{1} = 8.818 \text{ bulunur.}$$

$$g_2 = \frac{5}{3} \text{ olarak alınırsa: } a = s_2 = 2.433, b = s_3 = 9.865 \text{ bulunacaktır.}$$

PUANLAR:

Soru 1: Her şık 5p

Toplam 30p

Soru 2: a) 7p b) 7p c) 6p

Toplam 20p

Soru 3: 8p

Toplam 8p

Soru 4: a) 3p b) 7p c) 3p d) 7p e) 3p

Toplam 23p

Soru 5: a) 5p b) 3p c) 3p d) 8p

Toplam 19p

SINAV SÜRESİ: 135 dakika

Femto (f)	$\times 10^{-15}$
Pico (p)	$\times 10^{-12}$
Nano (n)	$\times 10^{-9}$
Micro (μ)	$\times 10^{-6}$