

1. Aşağıdaki soruları yanıtlayınız:

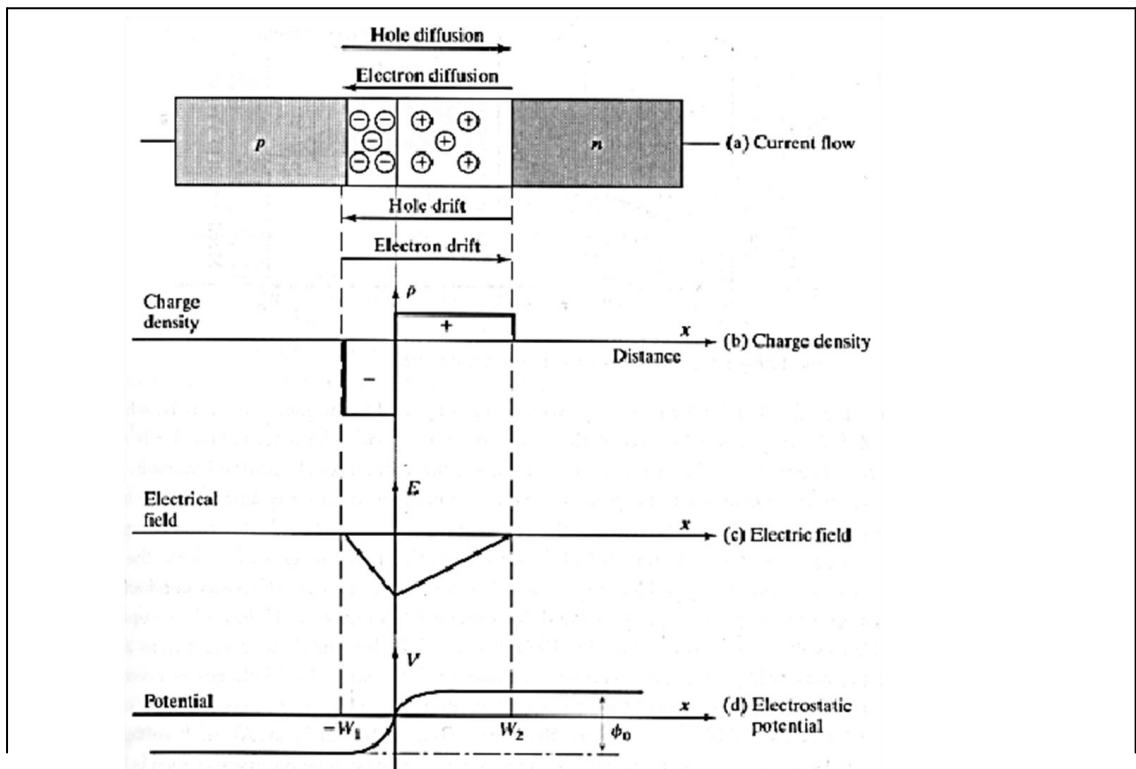
- a) CMOS teknolojinin çok yaygın ve tercih edilen bir teknoloji olmasının nedenlerinden, en öncelikli 4 tanesini açıklayınız.

- Yaklaşık $0V - V_{DD}$ arasında salınan geniş V_{SW}
- Kararlı durumda, çıkış ile ya V_{DD} , ya da toprak arasında, her zaman bir sınırlı direnç ile sağlanan bağlantı bulunur ve böylece düşük çıkış empedansı söz konusudur ($k\Omega$ mertebelerinde). Bu da gürültüye karşı duyarlılığın daha az olmasını sağlar.
- Gate mükemmel bir biçimde yalıtıldığından ve hemen hiç dc akım çekmediğinden, giriş empedansı çok büyüktür. Böylece kuramsal olarak sonsuz fan-out söz konusudur.
- Kararlı durumda, V_{DD} ile toprak arasında hiçbir doğrudan bağlantı (path) yoktur. Bu da devrenin hiçbir statik güç tüketmemesi anlamına gelir.

- b) Çalışma ortamı ısısının değişimi, ters eğilimlenmiş (reverse biased) bir diod için mi, düz eğilimlenmiş (forward biased) bir diod için mi, devre çalışma koşulları açısından daha etkin sonuçlar doğurur? Açıklayınız.

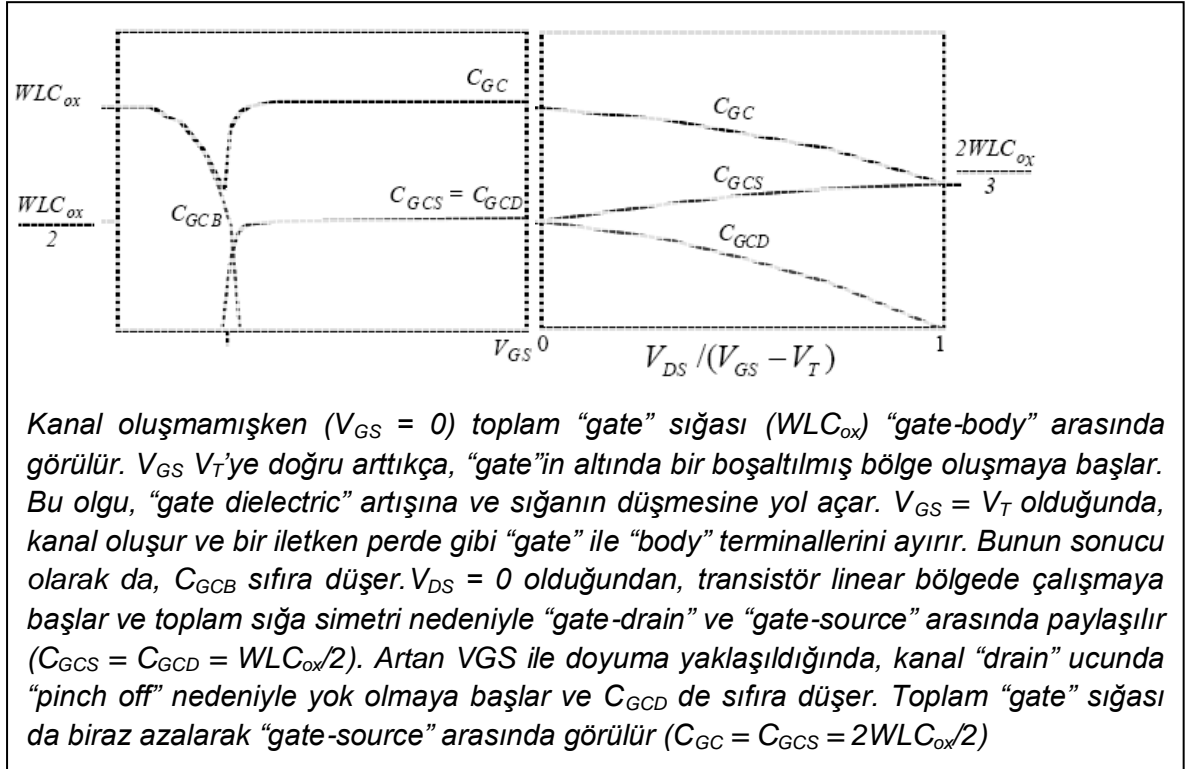
Çalışma ısısının (ambient temperature) değişimi, ters eğilimlenmiş bir diod için daha etkin sonuçlar doğurur. Çünkü ters eğilimlenmiş bir diodda akacak olan terminal akımı ($I = I_S - I_D$) saturasyon akımından daha küçük bir değerdedir ve saturasyon akımı ısıya duyarlı olduğundan (çünkü bu akımı "minority carrier"ler oluşturur ve "minority carrier"lerin sayısı ısı ile artar) I akımı bundan çok etkilenir. Oysa düz eğilimlenmiş bir diodda çok büyük olan difüzyon akımı (I_D) yanında I_S (ve I_S 'deki değişim) ihmal edilebilir değerdedir

- c) Bir P-N arakesitinde "drift" akımı ile "difüzyon" akımının nasıl oluştuğunu ve hangi yönlerde aktıklarını çizerek açıklayınız. Bu iki akımın eğilimleme ile nasıl değiştiğini belirtiniz.

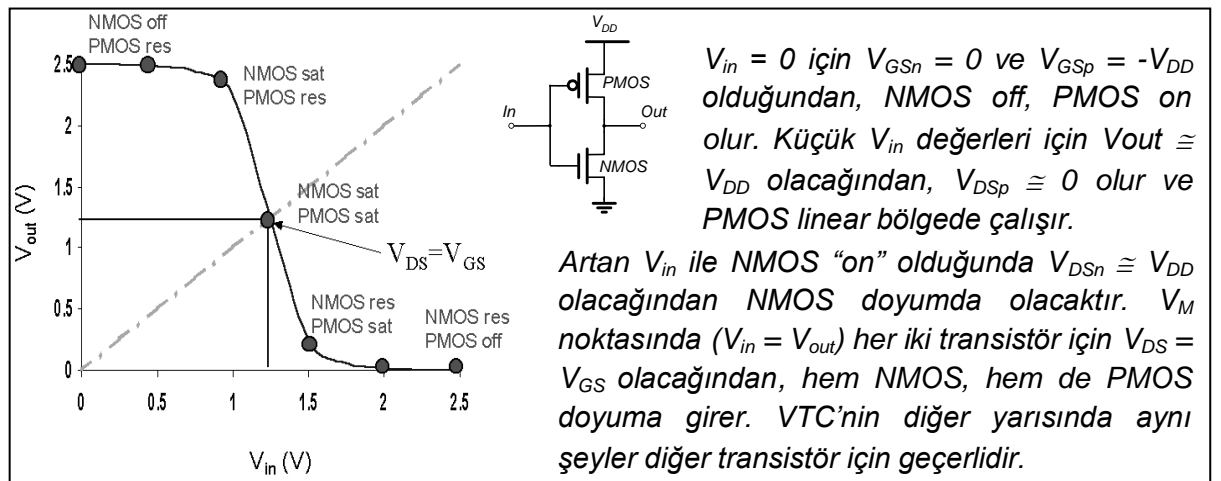


P-N ara kesitinde, N tarafında elektron, P tarafında da boşluk yoğunluğu fazladır. Bu durumda, şekilde gösterildiği gibi, çok yoğun olan taraftan az yoğun olan tarafa karşılıklı geçiş (difüzyon) ve bunun toplam sonucu olarak da, P tarafından N tarafına doğru bir “difüzyon akımı” oluşur. Bu geçiş sonucunda biriken farklı işaretteki elektrik yükleri, + yüklerin yığıldığı N tarafından, - yüklerin biriktiği P tarafına doğru bir elektrik alanı doğurur. Bu elektrik alanı içindeki yükler de hareketlenerek elektrik alanı yönündeki “drift akımı”nı doğurur. İleri eğilimleme difüzyon akımını (I_D) artırırken, ters eğilimleme drift akımını (I_S) artırır.

- d) (C_{GC}) “Gate-to-channel” sığasının V_{GS} ’ye göre değişimini ($V_{DS} = 0$) çizerek açıklayınız.



- e) Bir CMOS inverter için VTC (Voltage Transfer Characteristic) çizerek, inverter’de yer alan transistörlerin, VTC’nin belli başlı bölümlerinde, hangi çalışma bölgelerinde bulunacağını gerekçeli biçimde açıklayınız.



2.

Process	65nm CMOS	90nm CMOS
Cost of Mask Set	3,000,000\$	800,000\$
Die Size	1.5cm ²	2cm ²
Wafer Size	30cm	20cm
Die Yield	78%	85%
Cost of Wafer	2,000\$	1,200\$
Test Cost	0.68\$/die	0.68\$/die
Packaging Cost	0.40\$/chip	0.40\$/chip
Final Test Yield	95%	95%

Bir firmada belirli bir ürün için iki üretim süreci seçeneğinden (process) birine karar verilmesi gerekmektedir. Söz konusu süreçler ile ilgili bilgiler yukarıda verilmektedir. Pazarlama birimi, bu ürünün yaklaşık 500,000 adet satılmasını beklemektedir. Hangi seçeneğin ekonomik bakımdan daha uygun olacağını açıklayarak belirtiniz.

$$\text{dies per wafer} = \frac{\pi \times (\text{wafer diameter} / 2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2} \times \text{die area}}$$

65nm CMOS süreç için :

$$\text{dies per wafer} = \frac{3.14 \times \left(\frac{30}{2}\right)^2}{1.5} - \frac{3.14 \times 30}{\sqrt{2} \times 1.5} = 416$$

$$\text{die cost} = \frac{\text{cost of wafer}}{\text{dies per wafer} \times \text{yield}} = \frac{2000}{416 \times 0.78} = 6.16\$$$

$$\text{variable cost} = \frac{\text{die cost} + \text{test cost} + \text{packaging cost}}{\text{final test yield}} = \frac{6.16 + 0.68 + 0.40}{0.95} = 7.62\$$$

$$\text{fixed cost} = \text{cost of mask set} = 3,000,000\$$$

$$\text{cost per IC} = \text{variable cost} + \frac{\text{fixed cost}}{\text{production volume}} = 7.62 + \frac{3,000,000}{500,000} = 13.62\$$$

Benzer biçimde, 90nm CMOS süreç için :

$$\text{dies per wafer} = 125$$

$$\text{die cost} = 11.29\$$$

$$\text{variable cost} = 13.02\$$$

$$\text{fixed cost} = 800,000\$$$

cost per IC = 14.62\$ Bulunur. Buna göre, 500,000 adet üretim için 65nm süreç daha uygun olmaktadır.

3.

Deney	V _{GS}	V _{DS}	V _{BS}	I _D	Çalışma Böl.
1	1V	0.6V	0V	69.99μA	Vel. Sat
2	1V	0.2V	0V	40.64μA	Linear
3	0.4V	0.8V	0V	12.93μA	Sat.
4	0.4V	0.6V	0V	10.51μA	Sat.
5	0.2V	0.6V	0V	0.71μA	Sat

W/L = 0.12μm/0.1μm olan bir NMOS transistör için yapılan 5 ayrı deneyde yukardaki ölçümler bulunmuştur. Bu transistör için geçerli V_{T0}, λ, k' ve V_{DSAT} değerlerini bulunuz.

Deney 4 ve 5'i kullanarak iki denklem yazıp, ilk denklemi ikinci denkleme bölersek:

$$\frac{10.51 = k' \frac{W}{2L} (0.4 - V_T)^2}{0.71 = k' \frac{W}{2L} (0.2 - V_T)^2} \rightarrow 14.8 = \frac{(0.4 - V_T)^2}{(0.2 - V_T)^2} \rightarrow 3.85 = \frac{0.4 - V_T}{0.2 - V_T} \rightarrow V_T = 0.13V \text{ buluruz}$$

Benzer şekilde 3 ve 4 numaralı deneyler, aynı V_{GS}, farklı V_{DS} değerlerine sahip olduklarından λ'yı bulmada kullanılabilir:

$$\frac{12.93 = k' \frac{W}{2L} (0.4 - V_T)^2 (1 + \lambda 0.8)}{10.51 = k' \frac{W}{2L} (0.4 - V_T)^2 (1 + \lambda 0.6)} \rightarrow 1.23 = \frac{1 + \lambda 0.8}{1 + \lambda 0.6} \rightarrow \lambda = 3.71V^{-1} \text{ buluruz}$$

Bulduklarımızı deney 4 de yerine koyarak k' değerini bulabiliriz:

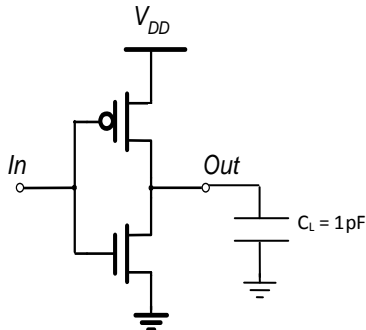
$$10.51 = k' \frac{0.12}{2 \times 0.1} (0.4 - 0.13)^2 (1 + 3.71 \times 0.6) \rightarrow k' = 74.5 \mu A / V^2$$

Deney 1 kullanılarak da V_{DSAT} bulunabilir:

$$I_D = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda V_{DS})$$

$$69.99 = 74.5 \times 1.2 \left[(1 - 0.13) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] (1 + 3.71 \times 0.6) \rightarrow V_{DSAT} = 0.35V$$

4. a)



Yandaki devrede V_{in} = 0V durumunda uzun süre bekledikten sonra, aniden (t_r = 0s) V_{DD} = 5V olmaktadır. Devrede kullanılan NMOS transistörün doyum akımının I_{Dsat} = 5mA olduğu ve doyuma girdiği anda V_{Dsat} = 4V olduğu bilinmektedir. "Channel length modulation" ve "velocity saturation" söz konusu değildir.

- V_{T0n} ve k_n değerlerini bulunuz
- T_{pHL} = 1.725ns olarak ölçüldüğüne göre, NMOS'un eşdeğer direncini (R_{eqn}) bulunuz

i) V_{in} uzun süre 0V olduğunda NMOS kesimde, PMOS iletimde olacağından, C_L şıacı V_{DD} gerilimine kadar dolar. Sonra V_{in} aniden 5V olduğunda NMOS için $V_{DS}=V_{DD}=5V=V_{GS}$ olacağından NMOS doyuma (saturation) girer. Doyum sınırında $V_{DS} = V_{GS} - V_T$ olduğuna göre:

$$V_{DSat} = 4 = 5 - V_T \text{ olmalıdır. Buradan } V_T = V_{T0n} = 1V \text{ bulunur.}$$

Öte yandan, $I_{Dsat} = (k_n/2)(V_{GS} - V_{T0n})^2$ veya $k_n = 2I_{Dsat}/(V_{GS} - V_{T0n})^2$ değerleri yerlerine koyarsak

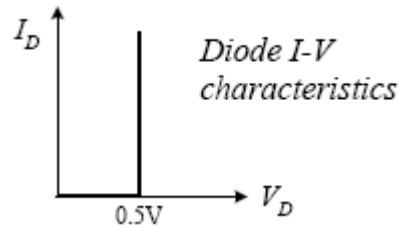
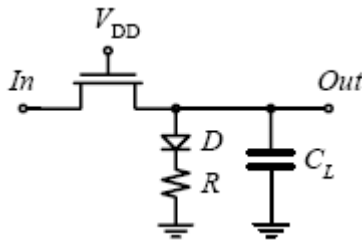
$$k_n = (2 \times 5 \times 10^{-3}) / 4^2 = 0.625 \times 10^{-3} \text{ A/V}^2 \text{ bulunur.}$$

ii) Çıktının yüksek gerilimden alçak gerilime düşüşü tamamen NMOS üzerinden olur. Tanım gereği bu düşüşün gecikme süresi de yüksek değerin %50'sine ineceği ana kadar geçen süredir ve

$t_{pHL} = 0.69 \times R_{eqn} \times C_L$ olarak hesaplanır. Değerleri yerlerine koyarsak:

$$1.725 \times 10^{-9} = 0.69 \times R_{eqn} \times 1 \times 10^{-12} \text{ buradan da, } R_{eqn} = 2.5k \text{ bulunur}$$

b)



Yukarıdaki “short channel” transistör için $k' = 100 \mu\text{A/V}^2$, $V_{T0} = 0.5V$, $V_{DSAT} = 0.5V$, $\lambda=0$, $\gamma = 0$, $W/L = 0.5/0.25$, $V_{DD} = 2.5V$, $R = 40k\Omega$ olarak verilmektedir. Devrenin 0-2.5V arasındaki girdi değişimine karşın çıktı değişimini gösterecek VTC'sini çiziniz. Parçalı doğrusal (piecewise-linear) VTC'nin her bölümü için hesaplamalarınızı ve gerekçenizi açıkça belirtiniz.

$$0 < V_{in} < 0.5V \rightarrow \text{diod off, transistör linear} \rightarrow V_{out} = V_{in}$$

$$V_{in} = 2.5V \rightarrow \text{transistör vel. sat kabul edelim}$$

$$V_{out} = V_D + Rk' \frac{W}{L} \left[(V_{DD} - V_{T0} - V_{out}) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right]$$

$$= 0.5 + 40 \times 10^3 \times 100 \times 10^{-6} \times \frac{0.5}{0.25} \left[(2.5 - 0.5 - V_{out}) 0.5 - \frac{0.5^2}{2} \right] \rightarrow V_{out} = 1.5V \text{ buluruz.}$$

$$\text{vel. sat varsayımımızı test edelim : } V_{DS} = V_{in} - V_{out} = 2.5 - 1.5 = 1V > V_{DSAT} \text{ varsayım geçerli}$$

$$\text{vel. sat başladığı andaki } V_{in} \text{ değerini bulalım : } V_{DSAT} = V_{insat} - V_{outsat} \rightarrow 0.5 = V_{insat} - 1.5$$

$$V_{insat} = 2V \text{ buluruz. Buna göre } V_{in} = 2V \text{ olduktan sonra } V_{out} = 1.5V \text{ da sabit kalacaktır}$$

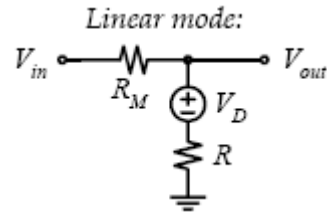
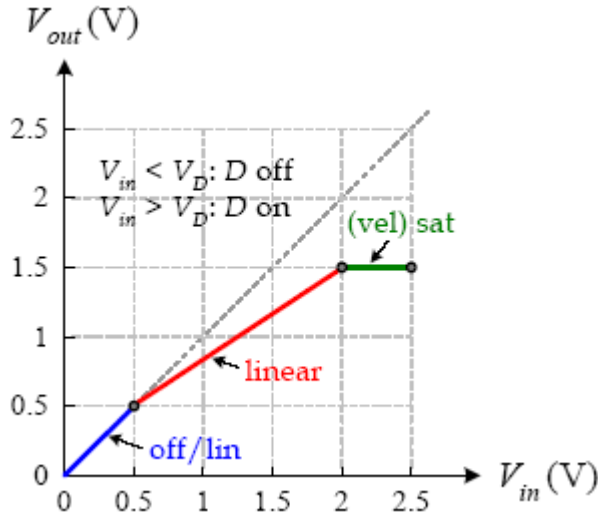
$$\lambda = 0 \text{ olduğuna göre, } I_{Dsat} \text{ akımı da sabit olmalıdır. Bu akım :}$$

$$I_{Dsat} = (V_{out} - V_D) / R = (1.5 - 0.5) / 40 \times 10^3 = 25 \mu\text{A} \text{ olacaktır.}$$

$$\text{Buna göre eşdeğer transistör direnci } R_M = V_{DSAT} / I_{Dsat} = 0.5V / 25 \mu\text{A} = 20k\Omega \text{ olur.}$$

$0.5V < V_{in} < 2V$ arasında $V_{out} = V_D + V_{in} \frac{R}{R + R_M}$ olur. Değerleri yerine koyarsak :

$V_{out} = 0.5V + \frac{40}{60}V_{in} = 0.5V + \frac{1}{1.5}V_{in}$ olacaktır. Bu bulgulara göre VTC'yi çizebiliriz



NOT: Soruların puan ağırlıkları eşittir.

SÜRE: 100 dakika

$$I_D = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{min} - \frac{V_{min}^2}{2} \right] (1 + \lambda V_{DS}) \quad V_{min} = \min[(V_{GS} - V_T), V_{DS}, V_{DSAT}]$$

$$\text{dies per wafer} = \frac{\pi \times (\text{wafer diameter} / 2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2 \times \text{die area}}}$$