

1.

- a) Bir inverter'de PMOS transistörün genişliğinin (W) artırılması “switching treshold” (V_M) noktasının yerini nasıl değiştirir? Niçin?

W_p arttıkça, PMOS direnci düşer. Bu direncin düşmesi de çıkışta, R_p ve R_n den oluşan gerilim bölücünün çıkış geriliminin daha çok V_{DD} 'ye yaklaşmasına ve PMOS'un sürme gücünün büyümesine neden olur. Bu da V_M noktasının V_{DD} 'ye daha yaklaşması demektir.

- b) $I_D - V_{GS}$ bağıntısı, “saturation”da üssel olmasına karşın, “velocity saturation” durumunda niçin doğrusaldır?

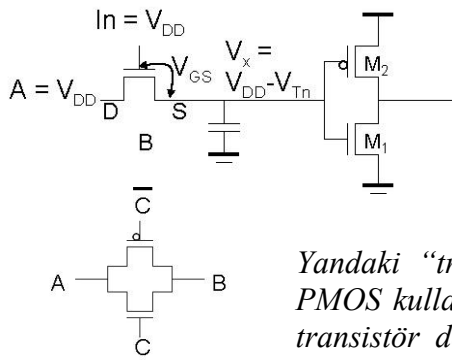
Bir MOS transistorün “linear” bölgedeki I_D ifadesi aşağıdaki gibi olup, transistor ün V_{DS} gerilimi V_{DSAT} gerilimine ulaştığı anda “velocity saturation” gerçekleşecektir ve o andaki I_D akım değeri, artan V_{DS} gerilimlerinde sabit kalacaktır. Formülden de görüleceği gibi, I_D akımı V_{GS} ile doğrusal bir bağıntı içindedir.

$$I_D = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS})$$

“saturation” ise, V_{DS} gerilimi $V_{GS} - V_T$ değerine ulaşınca gerçekleşir ve bu anda akan I_D akımı aşağıdaki biçimde ifade edilir. Görüleceği gibi burada $I_D - V_{GS}$ bağıntısı üsseldir.

$$I_D = \frac{k' W}{2 L} [(V_{GS} - V_T)^2] (1 + \lambda V_{DS})$$

- c) “Pass transistor” mantığında temel sorun nedir? “transmission gate” mantığı bu soruna nasıl bir çözüm getirir?



“Pass transistor” NMOS olup, şekilde görüldüğü gibi, V_{GS} gerilimi $V_{DD} - V_T$ değerine ulaştığında transistor “off” olacağından, çıkış gerilimi V_{DD} 'ye kadar yükselemez ve “zayıf 1” iletilmiş olur. Üstelik bu arada V_{BS} de büyüyeceğinden “body effect” nedeni ile V_T daha büyük bir değere ulaşır ve çıkış daha da düşük bir değerde kalmış olur.

Yandaki “transmission gate” bu sorunu NMOS'a paralel bir PMOS kullanarak çözer. Kontrol girdisi olan $C = 1$ iken her iki transistor de “on” olur ve “A”daki değer “B”ye iletilir. “1” iletilirken NMOS $V_{DD} - V_T$ de “off” olur. Ancak PMOS bu noktada

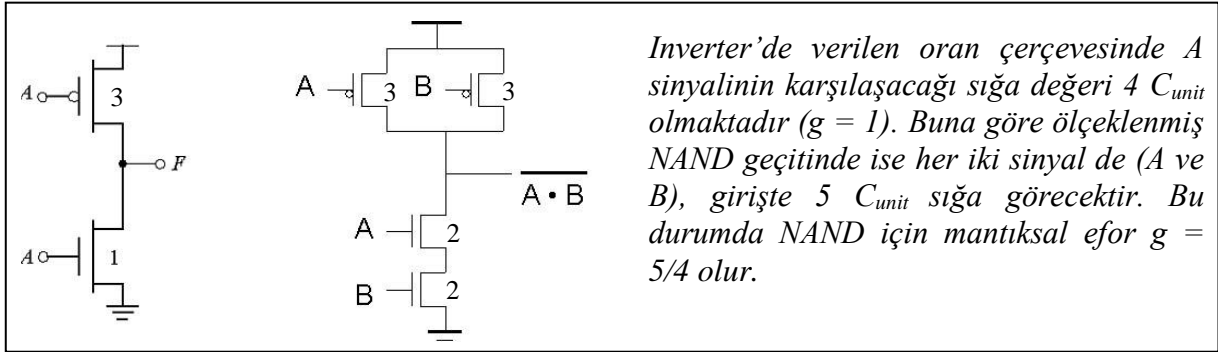
“off” olmaz ve B noktasındaki sığacı V_{DD} 'ye kadar doldurmaya devam eder. Benzer biçimde, iletilen değer “0” iken, bu kez PMOS sığaç V_T 'ye kadar boşaldığında “off” olur. Ancak NMOS “off” olmaz ve sığacı 0 değerine kadar boşaltmayı sürdürür.

- d) Bir CMOS devrede V_{DD} , V_T ve W/L parametrelerinin, güç tüketimi ve performans optimizasyonu için nasıl kullanılabileceklerini ve parametrelerin hangi yöndeki değişimlerinin, optimize edilmek istenen ölçütleri hangi yönde değiştireceklerini açıklayınız.

$\downarrow V_T \rightarrow \uparrow \text{performance}, \uparrow \text{static power}$
 $\downarrow V_{DD} \rightarrow \downarrow \text{performance}, \downarrow \downarrow \text{dynamic power}$
 $\uparrow W/L \rightarrow \uparrow \text{performance}, \uparrow \text{dynamic power}$

V_{DD} 'nin azaltılması dinamik güç tüketimini karesi ile azaltmaktadır ve bu arzulanan bir durumdur. Ancak aynı zamanda performans da düşmektedir. Bu düşüş $V_{DD} \cong 2 V_T$ kadar olduğunda kabul edilemez büyüklüklere ulaşır. Bu yüzden, V_T 'nin de azaltılması gerekir. Ancak bu kez de statik güç tüketimi artar. Kaybedilen performansı geri kazanmanın bir başka yolu, W/L 'nin büyütülmesidir. Ne var ki, bu da C_L 'nin büyümesine yol açacağından, bir noktadan sonra "self loading" sonucu doğurur ve boşuna yüzey genişler.

- e) PMOS/NMOS oranının 3 olduğunu varsayarak, 2 girişli bir CMOS NAND geçiti için mantıksal eforu bulunuz.



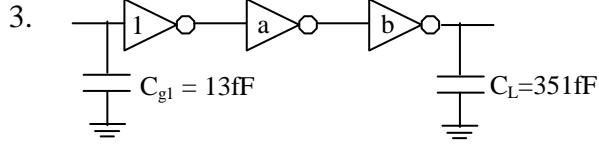
2. $V_{T0} = 0.5V$, $k' = 8.5 \times 10^{-5} A/V^2$, $2\phi_F = -0.74V$, $\gamma = 0.48V^{0.5}$, $\lambda = 0.01V^{-1}$ parametrelerine sahip bir MOS transistör bulunmaktadır.

- a) Bu transistörün bağlı bulunduğu bir test devresinde aşağıdaki değerler ölçülmektedir:
 $V_G = 2.8V$, $V_D = 5V$, $V_S = 1V$, $V_B = 0V$ (tümü toprağa göre), $I_D = 0.425A$
 W/L oranını hesaplayınız.

$$\begin{aligned}
 V_{SB} = 1V \neq 0 \text{ olduğundan, } V_T &= V_{T0} + \gamma \left(\sqrt{2\phi_F + |V_{SB}|} - \sqrt{2\phi_F} \right) = 0.5 + 0.48 \left(\sqrt{0.74 + 1} - \sqrt{0.74} \right) = 0.72V \text{ bulunur.} \\
 V_{GS} &= V_G - V_S = 1.8V > V_T \rightarrow \text{kanal oluşmuş, } V_{DS} = 4V > (V_{GS} - V_T = 1.08) \rightarrow \text{transistör doyumda} \\
 I_D &= \frac{k' W}{2 L} \left[(V_{GS} - V_T)^2 \right] (1 + \lambda V_{DS}) \rightarrow W / L = \frac{2 I_D}{k' (V_{GS} - V_T)^2 (1 + \lambda V_{DS})} = \frac{2 \times 0.425}{8.5 \times 10^{-5} \times 1.17 \times 1.04} = 8218
 \end{aligned}$$

- b) Bulduğunuz W/L oranını kullanarak, aşağıdaki biçimde değiştirilen koşullar altında akacak "drain" akımını (I_D) hesaplayınız.
 $V_G = 5V$, $V_D = 4V$, $V_S = 2V$, $V_B = 1V$ (tümü toprağa göre)

$$\begin{aligned}
 V_{SB} \text{ yine } 1V \text{ olduğundan (a) da bulduğumuz } V_T &= 0.72V \text{ burada da geçerlidir.} \\
 V_{GS} &= V_G - V_S = 3V > V_T \rightarrow \text{kanal oluşmuş, } V_{DS} = 2V < (V_{GS} - V_T = 2.28) \rightarrow \text{transistör linear bölgede} \\
 I_D &= k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS}) = 8.5 \times 10^{-5} \times 8218 \left[2.28 \times 2 - \frac{4}{2} \right] (1 + 0.01 \times 2) = 1.82A
 \end{aligned}$$



a) Yandaki devrede ($\gamma = 1$) en küçük gecikmeyi sağlayacak a ve b ölçekleme (sizing) faktörlerini bulunuz. Söz konusu en küçük gecikme ne kadardır (t_{p0} cinsinden)?

Overall effective fan-out: $F = \frac{C_L}{C_{g,1}} = \frac{351}{13} = 27$ "unbuffered" gecikme: $t_{p0} \left(1 + \frac{F}{\gamma}\right) = 28t_{p0}$

$N = 3$ için: $t_p = Nt_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right) = 3t_{p0} \left(1 + \sqrt[3]{27}\right) = 12t_{p0}$ effective fan out: $f = \sqrt[3]{27} = 3$

buna göre ölçekleme değerleri : $a = f = 3$, $b = f^2 = 9$ olacaktır.

b) Aynı devrede, ortadaki inverter yerine 2 girişli bir NAND geçiti olması durumunda, yeni ölçekleme değerlerinin ne olacağını bulunuz (PMOS/NMOS = 2)

Inverter'lerin mantıksal eforu : $g_1 = g_3 = 1$, 2 girişli NAND'ın mantıksal eforu : $g_2 = 4/3$ olur.

Effective fanout önceki gibi : $F = 27$ olacaktır. "Path Logical Effort" : $G = 1 \times 4/3 \times 1 = 4/3$

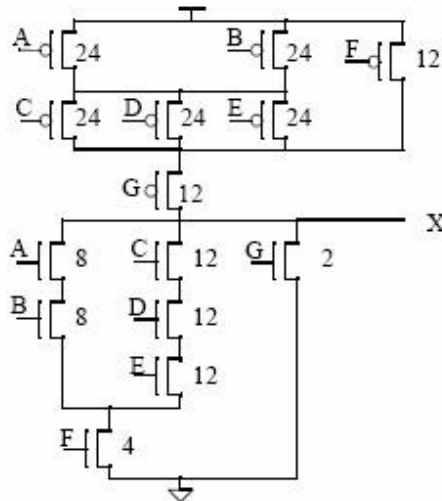
"Total Path Effort" : $H : GFB (B = 1) = GF = 27 \times 4/3 = 36$, "gate effort" : $h = \sqrt[N]{H} = \sqrt[3]{36} = 3.3$ bulunur. $f_1 g_1 = f_2 g_2 = f_3 g_3 = h$ olması gerektiğinden, $f_1 = 3.3$, $f_2 = 2.475$, $f_3 = 3.3$ bulunur.

buradan da : $S_i = \left(\frac{g_1 s_1}{g_i}\right) \prod_{j=1}^{i-1} \left(\frac{f_j}{b_j}\right)$ kullanılarak :

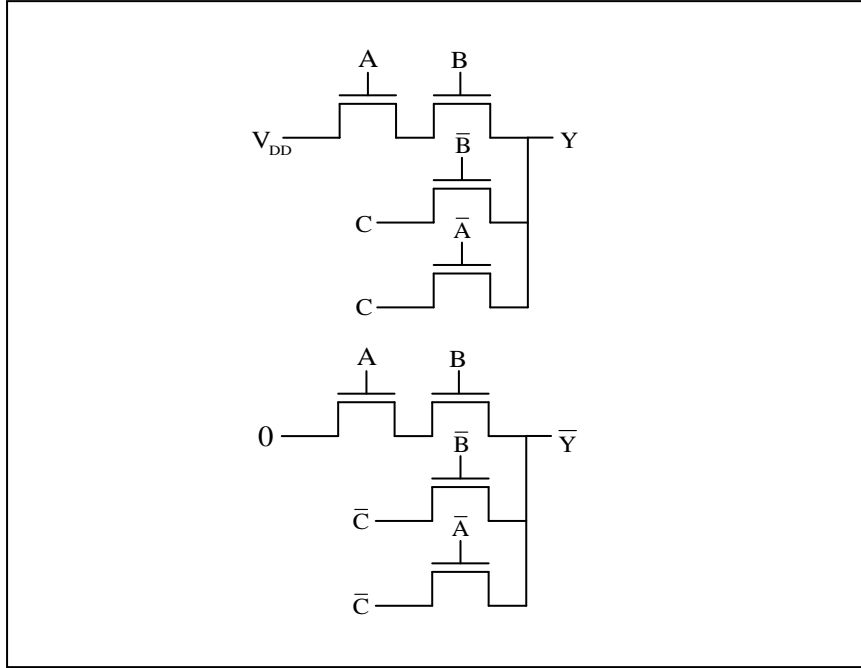
$a = S_2 = f_1 g_1 / g_2 = 2.475$, $b = S_3 = f_1 f_2 g_1 / g_3 = 8.17$ bulunur.

4. a) $X = [(A'+B')(C'+D'+E')+F']G'$ işlevini gerçekleştirecek bir CMOS devre tasarlayınız. Devrenizi, $(W/L)_{NMOS} = 2$, $(W/L)_{PMOS} = 6$ ($L = 1$ birim) olan bir inverter ile, en kötü koşulda aynı akım basma kapasitesine sahip olacak biçimde ölçekleyiniz.

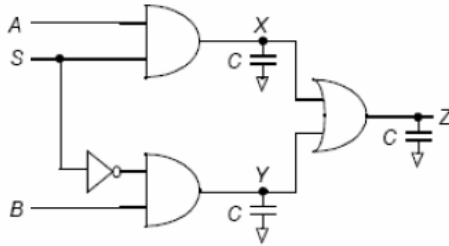
$$X = \left[(\bar{A} + \bar{B})(\bar{C} + \bar{D} + \bar{E}) + \bar{F} \right] \bar{G} = \overline{(AB + CDE)F + G}$$



- b) $Y = AB + C$ işlevini gerçekleştirecek bir “pass transistor” devresi çiziniz. Bu devreyi “differential pass-transistor” (CPL) yapmak için gerekli eklentiği yapınız. NOT: Değillenmiş girdiler kullanabilirsiniz. Gereğinden fazla transistör kullanmayınız.



5.



Yandaki devrede $P_A = P_S = P_B = 0.5$ olduğuna göre, devredeki toplam dinamik enerji tüketimini bulunuz (S ucuna bağlı inverter çıkışında tüketilen gücü ihmal ediniz).

NOT: $C = 1\text{fF}$, $V_{DD} = 3\text{V}$, saat frekansı $f = 2\text{GHz}$.

$P_X = P_A P_S = 0.5 \times 0.5 = 0.25$ $P_{X0 \rightarrow 1} = (1 - P_A P_S) P_A P_S = 0.75 \times 0.25 = 0.1875$
 $P_S = 0.5$ olduğundan $P_{S'}$ de 0.5 olacağından, P_Y ve P_X aynıdır. Ancak S ve S' girdileri, “reconvergent fanout” yaratır. Z çıktısı için doğruluk çizelgesi oluşturursak:

| A | S | B | S' | Z |
|---|---|---|----|---|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 |

Çizelgeden görüleceği gibi $P_Z = 0.5$ olmaktadır. Buna göre:

$P_{Z0 \rightarrow 1} = 0.5(1 - 0.5) = 0.25$ bulunur.

X düğümündeki güç tüketimi (Y noktasındaki ile aynıdır):

$$CV_{DD}^2 P_{X0 \rightarrow 1} f = 1 \times 10^{-15} \times 9 \times 0.1875 \times 2 \times 10^9 = 3.375 \mu\text{W}$$

Z noktasındaki güç tüketimi:

$$CV_{DD}^2 P_{Z0 \rightarrow 1} f = 1 \times 10^{-15} \times 9 \times 0.25 \times 2 \times 10^9 = 4.5 \mu\text{W}$$

Toplam güç tüketimi: $3.375 + 3.375 + 4.5 = 11.25 \mu\text{W}$ bulunur.

Enerji tüketimini bulmak için bu değeri “f”e bölmemiz gerekir:

Toplam EnerjiTüketimi: 5.6fJ

$$I_D = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{\min} - \frac{V_{\min}^2}{2} \right] (1 + \lambda V_{DS}) \quad V_{\min} = \min \left[(V_{GS} - V_T), V_{DS}, V_{DSAT} \right]$$

$$V_T = V_{T0} + \gamma \left(\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|} \right) \quad t_p = t_{p0} \left(p + \frac{gf}{\gamma} \right) \quad G = \prod_1^N g_i \quad H = GFB$$

$$h = \sqrt[N]{H} \quad F = \frac{C_L}{C_{g1}} \quad S_i = \left(\frac{g_1 s_1}{g_i} \right) \prod_{j=1}^{i-1} \left(\frac{f_j}{b_j} \right)$$

Puanlar:

Soru 1: 25p, her şık 5p Soru 2: 20p Soru 3: 15p Soru 4: 205p Soru 5: 20p

Sınav süresi: 100 dakika