

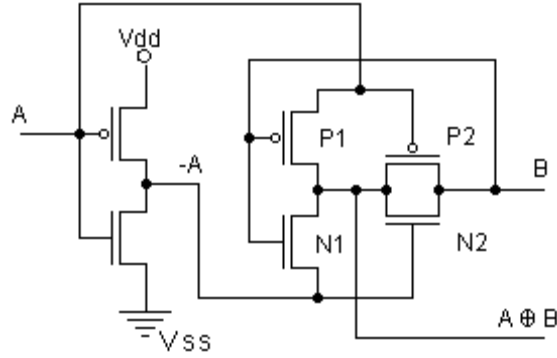
BAŞKENT ÜNİVERSİTESİ
Mühendislik Fakültesi - Elektrik-Elektronik Mühendisliği Bölümü
EEM 312 – Sayısal Elektronik
Yazılım Laboratuvarı

Deney No: Y6

Deney Adı: Mantık kapısı tasarımı

Ön Çalışma:

1. Şekil 1’de verilen Özel Veya Kapı (XOR) tasarımınızın ağ listesini yazın. Çalışma yöntemini açıklayın. Her bir transistör için Drain ve Source bacaklarını belirtmeyi unutmayın.



Şekil 1 – Pass Transistör XOR Kapısı

2. En az sayıda CMOS teknolojisini kullanarak iki girişli bir tane Ve Değil (NAND) kapısı tasarlayın ve tasarımınızın ağ listesini yazın.
3. En az sayıda CMOS teknolojisini kullanarak iki girişli bir tane Veya Değil (NOR) kapısı tasarlayın ve tasarımınızın ağ listesini yazın.

Laboratuvar Çalışması:

1. Ön çalışmanın 1., 2. ve 3. maddesinde tasarladığınız kapıları Spice benzetimcisi ile gereken giriş sinyallerini uygulayarak ve Tablo 1’de verilen model parametrelerini kullanarak mantıksal işlevini test edin.
2. Tasarladığınız mantık kapılarının en kötü gecikme zamanlarını benzetimci sonuçlarından elde edin ve karşılaştırarak gecikme süresi en düşük olan kapıyı belirtin.

Tablo 1 – Model parametreleri

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 UO=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58

.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 UO=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```