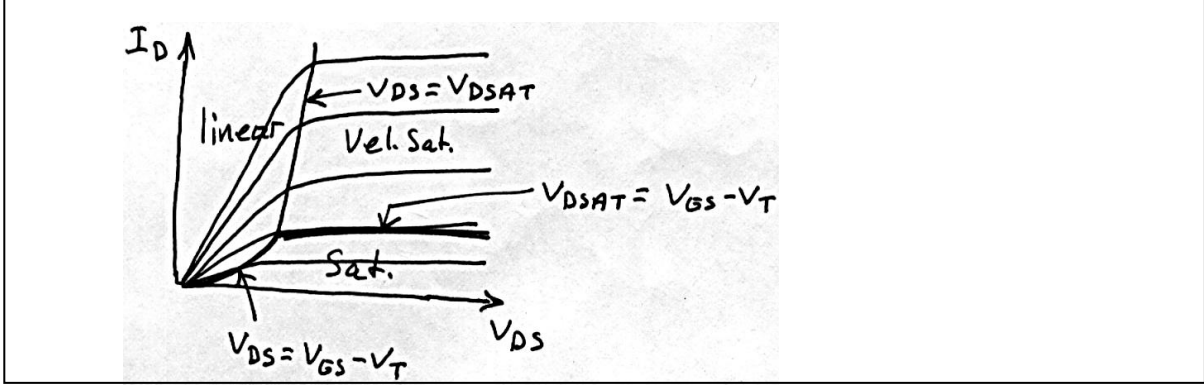
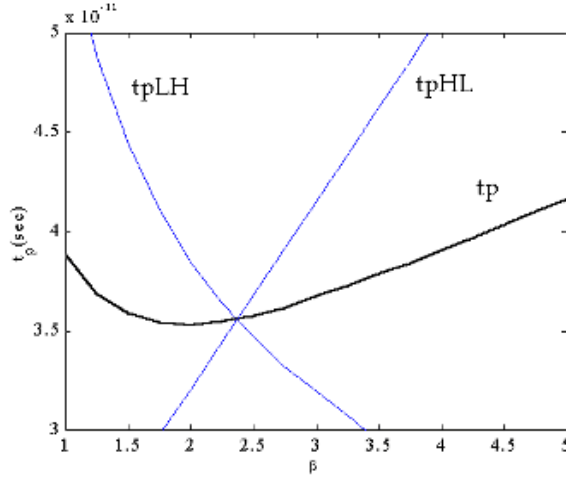


### 1. Aşağıdaki soruları yanıtlayınız:

- a) Bir NMOS transistor için “linear”, “saturated” ve “velocity saturated” çalışma bölgelerini  $I_D - V_{DS}$  grafiği üzerinde kabaca nasıl ayırırsınız? Çizerek ve sınırları matematiksel anlamda tanımlayarak açıklayınız.



- b) Kendisi ile aynı olan bir yükü süren CMOS inverter’de,  $\beta = (W/L)_p/(W/L)_n$  değişiminin  $t_{pHL}$  ve  $t_{pLH}$  üzerinde nasıl bir etki yaratacağını gerekçeli bir biçimde açıkladıktan sonra, bu yorumunuzu  $t_p$  için genelleyiniz.



$\beta$  büyüdükçe  $(W/L)_p$  büyüyecektir. Bu da PMOS’un direncinin azalması ve pull-up akımının artması anlamına gelir ve  $t_{pLH}$  azalır. Bunun tersi  $t_{pHL}$  için doğrudur.  $t_p$ ’nin en küçük değeri  $t_{pHL} = t_{pLH}$  noktasından daha düşük  $\beta$  değeri için söz konusu olmaktadır. Bu da simetri biraz bozularak daha yüksek performans elde edilebileceğini gösterir.

- c) Dinamik güç tüketimini tayin eden faktörlerin neler olduğunu ve güç tüketimini nasıl etkilediğini belirttikten sonra, dinamik güç tüketiminin azaltılabilmesi için yapılabilecek şeyleri tartışınız.

$$P_{dyn} = C_L V_{DD}^2 P_{0 \rightarrow 1} f$$

Dinamik güç tüketimini tayin eden faktörlerin neler olduğu ve güç tüketimini nasıl etkiledikleri yukarıdaki formülde gösterilmektedir. Formülden de anlaşılacağı gibi, dinamik güç tüketiminin azaltılabilmesi için şunlar yapılabilir:

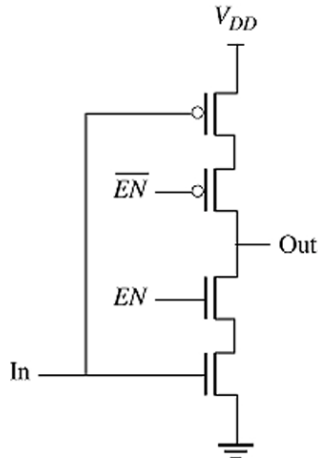
$C_L$ ’nin küçültülmesi: Transistör büyüklüğünü azaltmak, fan-out’u azaltmak, wiring boylarını kısaltmak gibi önlemler üzerinde durulmalıdır.

$V_{DD}$ ’nin düşürülmesi:  $V_{DD}$ ’nin azaltılması enerji tüketiminin düşmesi (kuadratik biçimde) ve kazancın artması sonucunu doğurur. Ancak  $4kT/q$  ( $\sim 100mV$ ) seviyelerinden itibaren, geçit karakteristiği bozulur ve kazanç 1 seviyelerine düşer. Öte yandan,  $V_{DD}$ ’nin azaltılması performans ve gürültü üzerinde olumsuz etki yaratır.

$P_{0 \rightarrow 1}$ ’in azaltılması: Enerji tüketici anahtarlama aktivitelerinin azaltılması için, mantıksal ve mimari tasarım seviyelerinde çareler araştırılmalıdır.

Saat Frekansı: Saat frekansının ( $f$ ) düşürülmesi dinamik güç tüketimini azaltır. Ancak performansı doğrudan ve kabul edilemez bir biçimde düşürecek böylesi bir işlem doğal olarak yapılmamakta, tam tersine her geçen gün saat frekansının artırılmasına çalışılmaktadır.

d)

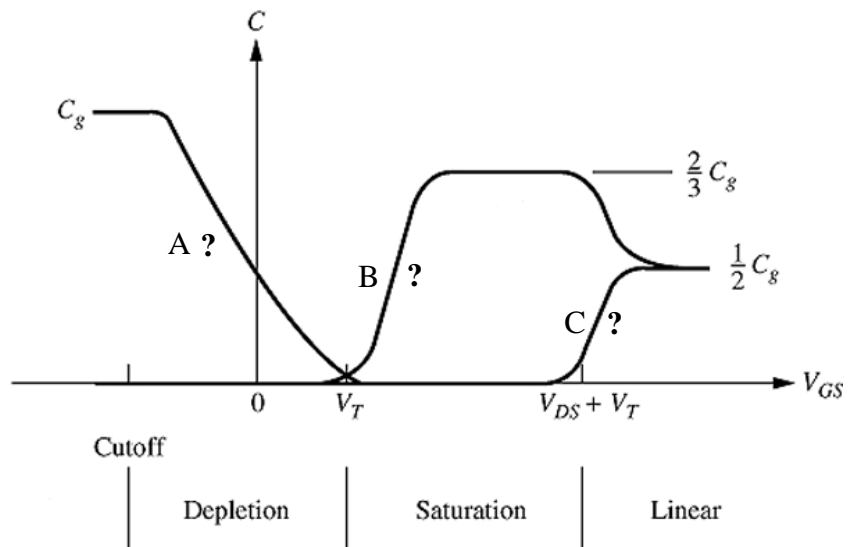


Yandaki devrenin doğruluk çizelgesini oluşturunuz ve devrenin nasıl bir işlev göreceğini açıklayınız.

In	EN	Out
0	0	Z
0	1	1
1	0	Z
1	1	0

*EN = 0 iken out noktası hem topraktan, hem de  $V_{DD}$ 'den yalıtılmaktadır. Bu durum Z ile simgelenmektedir. Buna göre devre bir tri-state inverter olarak işlev görür.*

e) Aşağıdaki grafikte soru işareti bulunan sığaların hangi sığalar olduğunu belirtiniz ve açıklayınız



*Kesim (Cutoff) için yalnızca  $C_{GCB}$  vardır, çünkü henüz kanal oluşmadığından, tüm sığa gate ile body arasında görülür ve kanal oluştuğunda bu sığa sıfıra düşer. Bu sığa şekilde A ile simgelenmektedir. Doyumda (saturation) “pinchoff” noktasında (drain ucu) kanal bittiği için,  $C_{GCD}$  sıfır olmaktadır ve  $C_{GCS}$ ,  $2/3 C_g$  değerinde bulunmaktadır. Resistive bölgede ise,  $C_g$ , drain ve source arasında eşit paylaşılır ( $1/2 C_g$ ). Buna göre, B ile simgelenen sığa  $C_{GCS}$ , C ile simgelenen sığa da  $C_{GCD}$  olmaktadır.*

f) “Ratioid Logic” ve “Ratioless Logic” nedir? Örnekler vererek, artılarını–eksilerini tartışınız.

*“Ratioid Logic”, CMOS yapıdaki transistör sayısını azaltmayı amaçlar. Bunun için, CMOS’daki PUN bölümü, tek bir dirençten veya sürekli doyumda tutulan bir adet transistörden oluşturulur. Ne var ki, bu durumda, çıkışı sürekli  $V_{DD}$ ’ye çekmek isteyen PUN bölümü ile, 0 çıktı değerleri için çıkışı toprağa çekmek isteyen PDN arasında “contention” oluşur ve bu yüzden  $V_{OL}$  hiçbir zaman 0V olamaz. Bu yapıda, çıkış gerilimi PUN ile PDN dirençlerinin oranı (genişlikleri) ile bağımlı olduğundan bu yapıya “Ratioid Logic” denmiştir. Özetleyecek olursak, “Ratioid Logic” için artı yön azalan transistör sayısı, eksi yönler ise, azalan “noise margin” ( $V_{OL}$  yüzünden), statik güç tüketimi (PUN hiçbir zaman yolu kesmiyor) ve artan gecikme süresidir (delay time).*

2. Bir MOS transistör için aşağıda verilen ölçüm değerleri elde edilmiştir. Transistorün  $V_{T0}$ ,  $k$ ,  $\gamma$ ,  $\lambda$  parametrelerini bulunuz. NOT:  $2\phi_F = -0.6V$  alınız.

$V_{GS}(V)$	$V_{DS}(V)$	$V_{BS}(V)$	$I_D(\mu A)$
2	5	0	10
5	5	0	400
5	5	-3	280
5	8	0	480

$V_{DS} \geq V_{GS}$  iken transistör doyumdadır. Buna göre kullanacağımız  $I_D$  ifadesi:

$$I_{DSAT} = \frac{k}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \text{ olacaktır}$$

$\lambda$  değerini bulmak için:

$$\frac{I_{DSAT}(\text{satır4})}{I_{DSAT}(\text{satır2})} = \frac{1 + \lambda V_{DS}(\text{satır4})}{1 + \lambda V_{DS}(\text{satır2})} = \frac{1 + 8\lambda}{1 + 5\lambda} = \frac{480}{400}$$

buradan da  $\lambda = 0.1 V^{-1}$  bulunur.

$V_{T0}$  değerini bulmak için:

$$\frac{I_{DSAT}(\text{satır2})}{I_{DSAT}(\text{satır1})} = \frac{(5 - V_{T0})^2}{(2 - V_{T0})^2} \text{ yazabiliriz. Buradan denklem kökü olarak}$$

$V_{T0} = 1.44 V$  ve  $V_{T0} = 2.41 V$  buluruz. İkinci değer olanaksızdır. Buna göre :

$V_{T0} = 1.44 V$  istenen yanıttır

$k$  değerini bulmak için:

Satır2 değerlerini kullanırsak :

$$400 = \frac{k}{2} (5 - 1.44)^2 (1 + 0.1 \times 5) \text{ yazabiliriz. Buradan da } k = 42 \mu A/V^2 \text{ buluruz}$$

$\gamma$  değerini bulmak için:

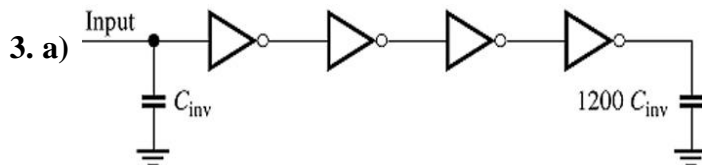
Önce  $V_{BS} = -3V$  iken  $V_T$  'yi bulmak için Satır3 değerlerini kullanırsak :

$$280 = \frac{42}{2} (5 - V_T)^2 (1 + 0.1 \times 5) \text{ yazarız ve buradan } V_T = 2.02V \text{ buluruz.}$$

Body effect formülünü kullanırsak :

$$V_T = V_{T0} + \gamma \left( \sqrt{2\phi_f + |V_{SB}|} - \sqrt{2\phi_f} \right) \text{ veya } 2.02 = 1.44 + \gamma \left( \sqrt{0.6 + 3} - \sqrt{0.6} \right)$$

Buradan da :  $\gamma = 0.52 V^{1/2}$  buluruz



Yandaki devrede en küçük gecikme için inverter'lerin nasıl ölçeklenmeleri gerektiğini ve söz konusu minimum gecikmeyi (intrinsic gecikme ile görelî) bulunuz. Devrenin olası en küçük

gecikmesi için, hangi ölçeklemeler ile, kaç inverter kullanmak gerekir? Bu durumda en küçük gecikme ne olur?

“Overall effective fan-out” ve “effective fan-out” değerleri:

$$F = \frac{1200C_{inv}}{C_{inv}} = 1200 \quad f = \sqrt[N]{F} = \sqrt[4]{1200} = 5.89 \quad \text{olarak bulunur.}$$

Birinci inverter için 1, İkinci inverter için  $f = 5.89$ , üçüncü inverter için ise  $f^2 = 34.64$  ve  $f^3 = 203.89$  ölçekleme değerleri kullanılacaktır. Buna göre 4 inverter’li yapıdaki minimum gecikme:

$$t_p = Nt_{p0} \left(1 + \sqrt[N]{F}\right) = 4t_{p0} (1 + 5.89) = 27.54t_{p0} \quad \text{olarak bulunur } (\gamma = 1).$$

Olası en küçük gecikme için gerekli inverter sayısını bulmak için  $N$ ’i arttırmayı sürdürürsek:

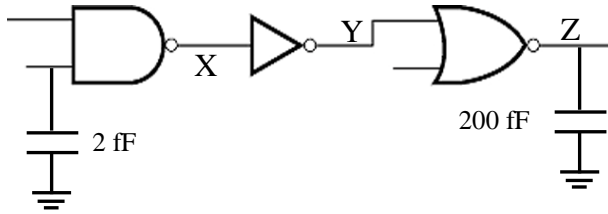
$$N=5 \text{ için: } \sqrt[5]{F} = \sqrt[5]{1200} = 4.13 \quad t_p = Nt_{p0} \left(1 + \sqrt[N]{F}\right) = 5t_{p0} (1 + 4.13) = 25.64t_{p0}$$

$$N=6 \text{ için: } \sqrt[6]{F} = \sqrt[6]{1200} = 3.26 \quad t_p = Nt_{p0} \left(1 + \sqrt[N]{F}\right) = 6t_{p0} (1 + 3.26) = 25.56t_{p0} \quad \leftarrow$$

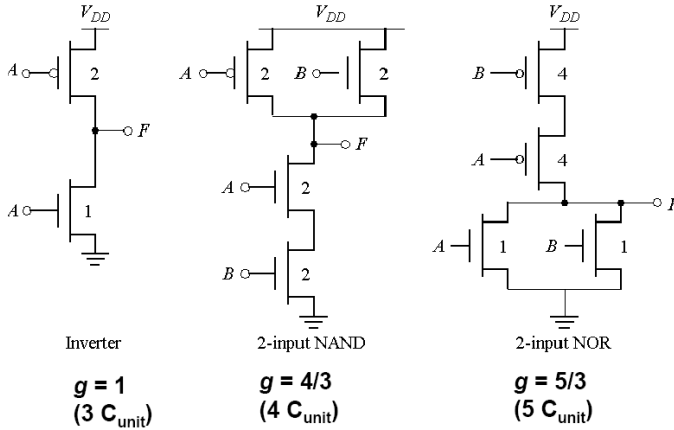
$$N=7 \text{ için } \sqrt[7]{F} = \sqrt[7]{1200} = 2.75 \quad t_p = Nt_{p0} \left(1 + \sqrt[N]{F}\right) = 7t_{p0} (1 + 2.75) = 26.27t_{p0}$$

Görüldüğü gibi en küçük gecikme  $N=6$  için oluşmaktadır. Buna göre ölçekleme değerleri: 1,  $f=3.26$ ,  $f^2=10.63$ ,  $f^3=34.6$ ,  $f^4=112.9$ ,  $f^5=368.2$  olmalıdır.

b)



Yandaki devrede en küçük gecikme için devre elemanlarının nasıl ölçeklenmeleri gerektiğini bulunuz. NOT: Minimum ölçekli inverter için PMOS/NMOS oranını 2 alınız.



Verilen devrede kullanılan elemanların mantıksal eforları yanda gösterilmektedir. Buna göre, NAND geçitini  $g_1$ , inverteri  $g_2$ , NOR geçitini de  $g_3$  olarak adlandırırsak:

$$\text{izin elektriksel eforu (path effective fan-out): } F = \frac{200}{2} = 100$$

$$\text{izin mantıksal eforu (path logical effort): } G = g_1 \times g_2 \times g_3 = \frac{4}{3} \times 1 \times \frac{5}{3} = \frac{20}{9}$$

$$\text{izin toplam eforu (total path effort): } H = GFB = GF = \frac{20}{9} \times 100 = \frac{2000}{9}$$

$$\text{iz gecikmesini minimize edecek geçit eforu: } h = \sqrt[3]{H} = \sqrt[3]{\frac{2000}{9}} \approx 6$$

bulunur. Minimizasyon koşulu uyarınca, her kademenin aynı geçit eforuna sahip olması gerektiğine göre:

$f_1 g_1 = f_2 g_2 = f_3 g_3 = h = 6$  olmalıdır.  $f$  değerlerini (her geçitin elektriksel eforu veya effective fan-out'u) buna göre hesaplırsak:

$$f_1 \frac{4}{3} = 6 \rightarrow f_1 = \frac{18}{4} = 4.5 \quad f_2 = h = 6, \quad f_3 \frac{5}{3} = 6 \rightarrow f_3 = \frac{18}{5} = 3.6 \text{ buluruz.}$$

Ölçeklendirme (sizing) değerlerini de şöyle bulabiliriz:

$$C_{in} = g_1 S_1 C_{ref} \quad 2 = \frac{4}{3} S_1 \quad (C_{ref} = 1) \rightarrow S_1 = \frac{6}{4} = 1.5$$

$S_1$ 'i böyle bulduktan sonra,  $s_i = \left( \frac{g_1 S_1}{g_i} \right) \prod_{j=1}^{i-1} \left( \frac{f_j}{b_j} \right)$  formülünü kullanarak

$S_2$  ve  $S_3$ 'ü bulabiliriz ( $b_j = 1$ ):

$$s_2 = \frac{f_1 g_1 s_1}{g_2} = \frac{18}{4} \times \frac{4}{3} s_1 = \frac{18}{3} \times 1.5 = 9 \quad s_3 = \frac{f_1 f_2 g_1 s_1}{g_3} = \left( \frac{18}{4} \times 6 \times \frac{4}{3} \times \frac{6}{4} \right) \div \frac{5}{3} = 32.4 \text{ bulunur.}$$

c) Yukarıdaki (b) devresinde tüm açık uçlardaki girdilerin 1 olma olasılığının 0,4 olduğunu varsayarak, çıkıştaki  $P_{0 \rightarrow 1}$  değerini bulunuz.  $V_{DD} = 2.5V$ ,  $f_{clock} = 250MHz$  için, çıkıştaki dinamik güç tüketimi ne olur?

X, Y ve Z olarak tanımladığımız (bak şekil) düğüm noktaları için olasılık değerlerini bulalım:

$$P_{X=0} = 0.4 \times 0.4 = 0.16 \quad P_{X=1} = 1 - 0.16 = 0.84$$

$$P_{Y=0} = P_{X=1} = 0.84 \quad P_{Y=1} = P_{X=0} = 0.16$$

$$P_{Z=1} = (1 - P_{Y=1})(1 - 0.4) = 0.84 \times 0.6 = 0.504$$

$$P_{Z=0} = 1 - P_{Z=1} = 1 - 0.504 = 0.496$$

$$P_{Z_{0 \rightarrow 1}} = 0.496 \times 0.504 \approx 0.25 \text{ bulunur}$$

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f_{clock}$$

$$P_{dyn} = (200 \times 10^{-15})(2.5)^2 (0.25)(250 \times 10^6) = 78,125 \mu W$$

4.  $F(A,B,C) = AB + AB'C + A'C'$  işlevini:

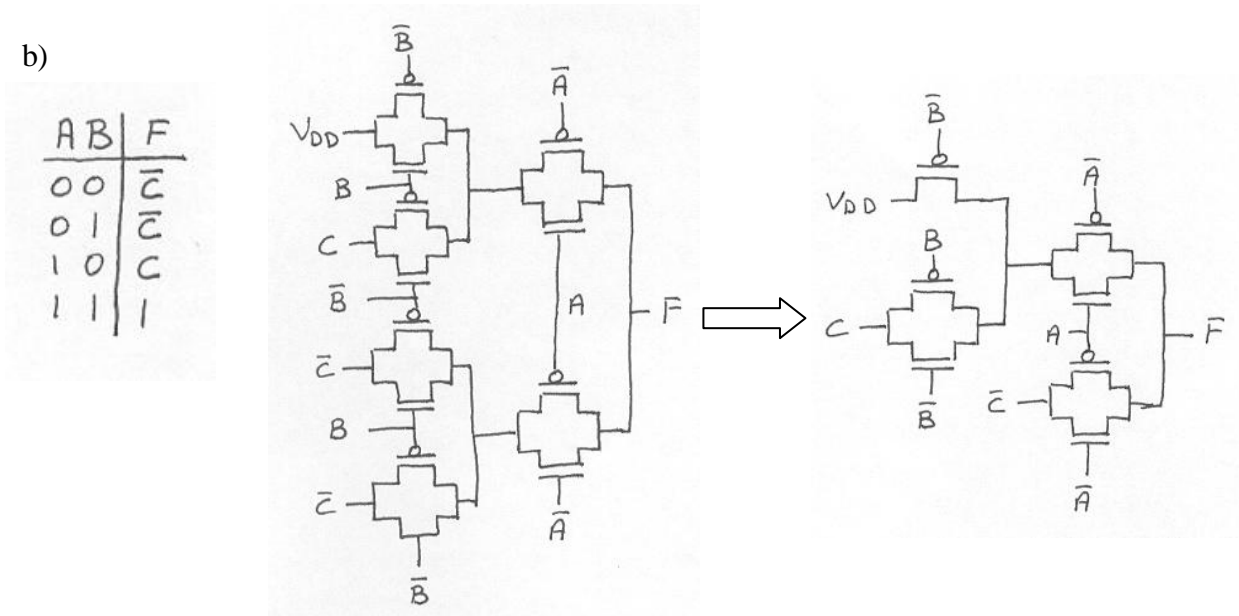
a) CMOS bir devre olarak b) Yalnızca Transmission Gate kullanarak c) DCVSL yapısında en az sayıda transistör kullanarak tasarlayınız. (değillenmiş girişler verilmiştir).

a)

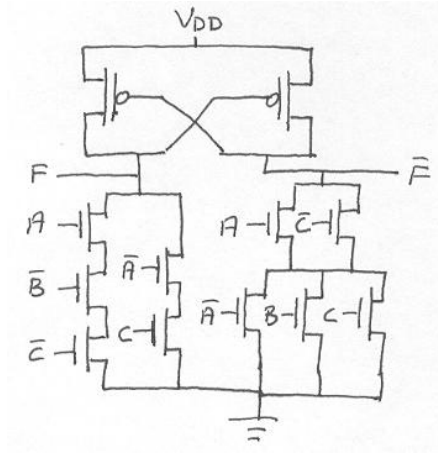
$F = A\bar{B}\bar{C} + \bar{A}C$

$F = A\bar{B}\bar{C} + \bar{A}C$

b)

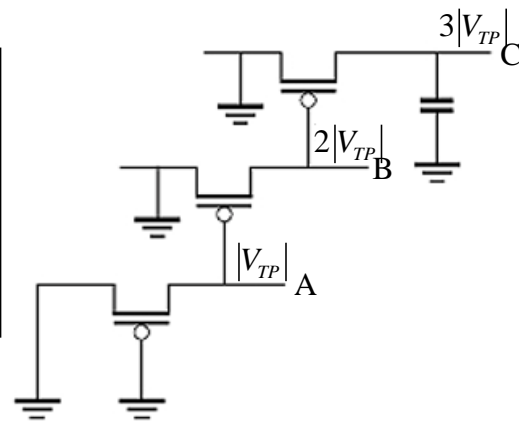


c)



**d)** Aşağıdaki devrede başlangıç anında sığaç  $V_{DD}$  gerilimi seviyesinde doludur. Kararlı durumda, A,B,C noktalarının gerilimini bulunuz.

PMOS transistorlerde  $V_{GS}$  gerilimi  $V_{TP}$ 'nin altına düşemez. Bu durum göz önünde bulundurularak,  $V_{GS}$  gerilimleri en alttaki transistordan başlayarak, en üstteki transistore doğru ele alınır, A, B ve C noktalarının yanda gösterilen gerilimlerde bulunacağı anlaşılr.



$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) V_{min} - \frac{V_{min}^2}{2} \right] (1 + \lambda V_{DS})$$

$$V_{min} = \min [ (V_{GS} - V_T), V_{DS}, V_{DSAT} ]$$

$$V_T = V_{T0} + \gamma (\sqrt{|2\phi_f| + |V_{SB}|} - \sqrt{|2\phi_f|})$$

$$t_p = t_{p0} (P + g_f/\gamma) \quad g_{inv}=1, P_{inv}=1 \quad \text{assume } \gamma=1$$

$$G = \prod_{i=1}^N g_i \quad F = C_L / C_{gs} \quad H = GFB \quad h = \sqrt[N]{H}$$

$$h = g_f \quad S_i = \frac{g_i S_i}{g_i} \prod_{j=1}^{i-1} \frac{f_j}{b_j} \quad P_{0 \rightarrow 1} = P_0 \times P_1$$

Soru 1: Her şık 4p,	Toplam 24p
Soru 2: 20p	Toplam 20p
Soru 3: a) 10p b) 10p c) 7p	Toplam 27p
Soru 4: a) 8p b) 8p c) 8p d) 5p	Toplam 29p

SÜRE: 120 dakika