**EEM 312 SAYISAL ELEKTRONİK YARIYIL SONU SINAVI 03.06.2010**

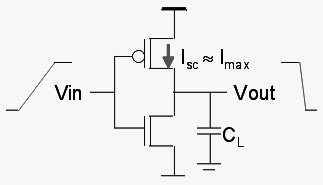
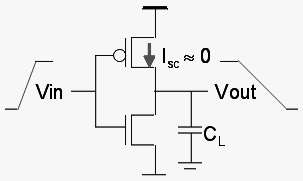
1. Aşağıdaki soruları yanıtlayınız:
2. Bir CMOS devrede VDD, VT ve W/L parametrelerinin, güç tüketimi ve performans optimizasyonu için nasıl kullanılabileceklerini ve parametrelerin hangi yöndeki değişimlerinin, optimize edilmek istenen ölçütleri hangi yönde değiştireceklerini açıklayınız.

*↓VT → ↑ performance, ↑ static power ↓VDD → ↓ performance, ↓↓ dynamic power*

*↑W/L → ↑ performance, ↑ dynamic power*

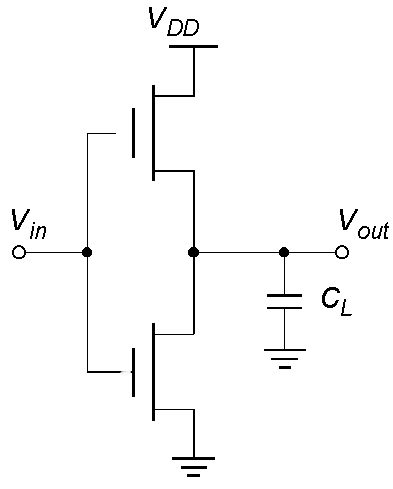
*VDD’nin azaltılması dinamik güç tüketimini karesi ile azaltmaktadır ve bu arzulanan bir durumdur. Ancak aynı zamanda performans da düşmektedir. Bu düşüş VDD ≅ 2 VT kadar olduğunda kabul edilemez büyüklüklere ulaşır. Bu yüzden, VT’nin de azaltılması gerekir. Ancak bu kez de statik güç tüketimi artar. Kaybedilen performansı geri kazanmanın bir başka yolu, W/L’nin büyütülmesidir. Ne var ki, bu da CL’nin büyümesine yol açacağından, bir noktadan sonra “self loading” sonucu doğurur ve boşuna yüzey genişler.*

1. Kısa devre (direct path) akımlarının yol açacağı güç kaybı ile, yük sığası (CL) arasında nasıl bir ilinti vardır? Bu kaybı azaltmak için CL’nin büyütülmesi mi, küçültülmesi mi gerekir? Niçin?



*Yukarıdaki şekillerde de görüleceği gibi, Vout noktası, PMOS transistörün “drain” terminalidir. Bu durumda büyük CL değeri için (soldaki şekil) sığacın boşalma işlemi girdi sinyalinin yükselme süresine göre daha yavaş olacağından, girdi sinyali yükseldiğinde (VGS=VDD), PMOS transistörün VDS gerilimi hemen hemen 0V kadardır. Bu da Isc akımının hemen hemen sıfır olması sonucunu doğurur. Oysa CL küçükse (sağdaki şekil), sığaç hızla boşalır ve girdi sinyalinin daha uzun süren yükseliş süresinin büyük bir kesimi boyunca PMOS transistorün VDS gerilimi hemen hemen VDD kadardır ve Isc akımı akar. Bu nedenle, kısa devre akımlarının yol açacağı güç kaybını azaltmak için CL’nin büyük olmasında yarar vardır.*

1. CMOS yapılarda, PUN ve PDN bölümleri niçin sırası ile PMOS ve NMOS transistörlerden oluşur?



O

D

S

S

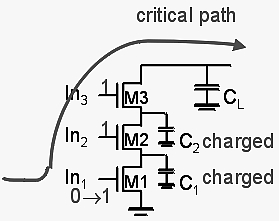
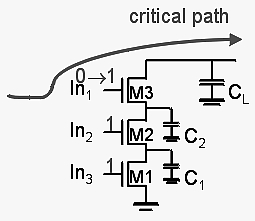
D

*NMOS transistör PUN bölümünde yer aldığında, yandaki örnek devrede de görüleceği üzere, Vin = VDD olduğunda, CL’nin ON duruma geçen NMOS üzerinden dolması ve Vout’un VDD’ye doğru yükselmesi beklenir. Ancak bu süreçte, NMOS tarafında VS = Vout ve VG = Vin = VDD olduğundan, Vout = VDD - VTn gerilimine ulaştığında, VGS = VG – VS = VTn olacak ve NMOS cut-off durumuna geçecektir.*

*Benzer şekilde Vin = 0 olduğunda, PMOS iletmeye başlayacak ve CL’nin PMOS üzerinden boşalması ve*

*Vout’un sıfır olması beklenir. Oysa bu kez de, Vout = ⏐VTp⏐ gerilimine düştüğünde, PMOS için VGS = VTp olacağından PMOS cut-off durumuna geçecek ve Vout gerilimi toprağa kadar düşemeyecektir. Bu da çıkışta “rail-to-rail” salınım elde edilememesi sonucunu doğurur. Oysa PUN için PMOS, PDN için de NMOS kullanıldığında çıkışta “rail-to-rail” salınım elde edilebilir.*

1. Kritik sinyalin tanımını verdikten sonra, bu sinyalin uygulanacağı transistorün seçiminin (transistor ordering) performansı nasıl etkileyeceğini açıklayınız.



*Girdi sinyalleri arasında kararlı duruma geçen sonuncu sinyal “kritik sinyal” olarak adlandırılır. Kritik sinyalin çıktı noktasına (output) en yakın transistöre giriş yapması performansı arttıracaktır. Yukarıdaki devrelerden solda bulunanda, kritik sinyal çıktı noktasına en uzak konumdaki M1 transistörüne girmektedir. Bu durumda bu sinyal 0*→*1 değişimini tamamlamadıkça M1 “off” durumda kalacak ve sığaçların hiçbiri boşalamayacaktır. Oysa, sağdaki devrede kritik sinyal M3 transistörüne bağlandığından, bu sinyal 0*→*1 değişimini henüz yapmamış olsa da, In2 ve In3’ün 1 olması ile C2 ve C1 sığaçları boşalabilecek ve çıkışın 0 olması için bir tek CL’nin boşalmasını beklemek gerekecektir.*



Vin

Vout

VDD

Yandaki yapıda VDD = 1.2V, VT = 0.4V verilmektedir. “Body effect” olmadığını varsayarak, aşağıdaki durumların her biri için Vout’u bulunuz.

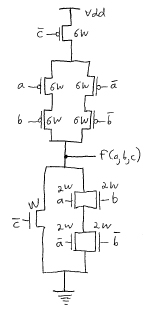
1. Vin = 0V, b) Vin = 0.6V, c) Vin = 0.9V, d) Vin = 1.2V
2. Vin = 0V olunca NMOS için bu nokta “source” olur. Bu da VGS = VDD demektir. Transistör “güçlü 0” iletir ve çıkış Vin olur (Vout = 0V)
3. Vin = 0.6V olunca, VDD – Vin = 1.2 – 0.6 = 0.6V olur. 0.6>VT olduğundan (VGS>VT), transistör iletir. Böylece giriş değeri çıkışa aynen iletilir (Vout = 0.6V)
4. Vin = 0.9V olunca, VDD – Vin = 1.2 – 0.9 = 0.3V olur. 0.3<VT olduğundan, bu nokta “drain”, Vout noktası “source” olur. Transistör “zayıf 1” iletir. Vout, “treshold drop” yüzünden VDD-VT ye kadar yükselebilir (Vout = 1.2 – 0.4 =0.8V)
5. Yukarıdaki ile aynı gerekçeyle Vout = 1.2 – 0.4 =0.8V olur.
6. f(a,b,c) = c(ab + a’b’) işlevini gerçekleştirecek bir CMOS devre tasarlayınız ve çiziniz. Devrenizdeki transistörleri, NMOS/PMOS oranı ½ olan bir inverter’in göstereceği dirençle aynı direnci gösterecek biçimde ölçeklendiriniz.

NOT: Gereksiz transistör kullanmayınız. Girişlerde değillenmiş simgeler de kullanabilirsiniz

*CMOS’un PDN bölümü, f(a,b,c) işlevinin 0 değerlerini sağlayacağından, f ‘ (a,b,c) işlevini yazarsak:*

*f ‘ (a,b,c) = c’+[(a’ + b’)(a + b)] buluruz. PUN bölümünü de bu bu yapının çiftdeşi (dual) olarak çizebiliriz. Devre aşağıda gösterilmektedir.*

*W = 1 kabul edersek, c’ girişli NMOS hiç büyütülmeden aynı kalır. Diğer transistörlerin buna göre ölçeklenme değerleri şekilde gösterilmiştir.*



**3.** Yandaki devre için Kp = 1mA/V2, λp = 0V-1, VTp = -1V

Olduğuna göre, Vout değerini bulunuz.

*VGS = -4V olduğundan devre cut-off değildir. Devreyi doyumda varsayarsak, ID = -½ K(VGS – VT)2 = -½(-4 +1)2 = -4.5mA bulunur.*

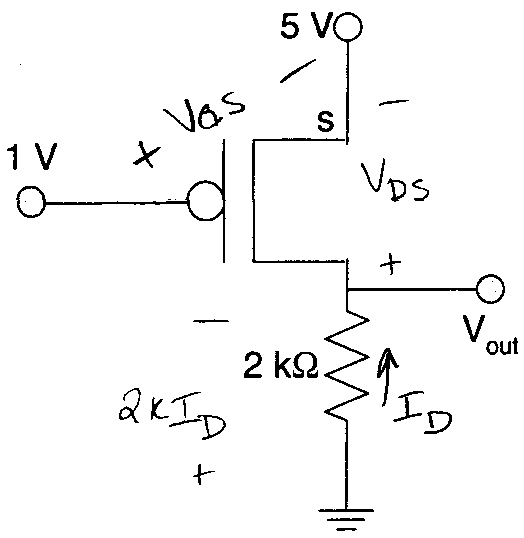
*Öte yandan, 2000 ID + VDS +5 = 0 yazılabilir. Buradan VDS = 4V bulunur. PMOS için VDS pozitif olamaz. “Linear” bölgede olmalı*

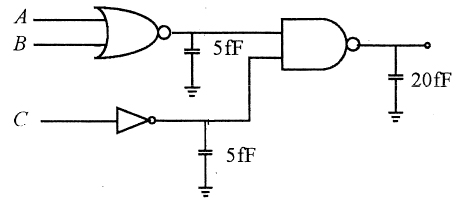
*ID = K [(VGS – VT)VDS – VDS2/2] = -1 (-4 + 1 – VDS/2)VDS*

*ID = (3 + VDS/2) VDS yazarız. İkinci bir denklemi de:*

*ID = - (5 + VDS)/2000 biçiminde yazabiliriz. Bu iki denklemi birlikte çözersek, VDS = -6.19V ve VDS = -0.81V gibi iki sonuç buluruz. İlki olanaksızdır. İkincisini kabul edersek,*

*Vout = 5 – 0.81 = 4.19 V buluruz.*





Z

X

**4.** Yandaki CMOS devrede VDD = 2.5V, saat frekansı 1GHz, giriş sinyal istatistikleri de:

PA =1 = 0.5, PB =1 = 0.4, PC=1 = 0.7 olarak verilmiştir.

Devrenin toplam dinamik güç tüketimini bulunuz.

Y

PX = (1-PA)(1-PB) = (0.5)(0.6) = 0.3 PX0→1 =(1-PX)(PX) =(0.7)(0.3) = 0.21

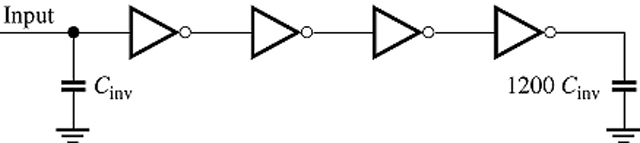
Pdyn-X = PX0→1 f CX VDD2 = 0.21×1×109×5×10-15×(2.5)2 = 6.6µW

PY = 1-PC = 0.3 PY0→1 = (1-PY)(PY) = (0.7)(0.3) = 0.21 PX ile aynı → Pdyn-Y = Pdyn-X = 6.6 µW

PZ = 1 – PXPY = 1 – 0.09 = 0.91 PZ0→1 = =(1-PZ)(PZ) = 0.09×0.91 = 0.0819

Pdyn-Z = PZ0→1 f CX VDD2 = 0.0819×1×109×20×10-15×(2.5)2 = 10.2 µW

PTOPLAM = 6.6 + 6.6 + 10.2 = 23.4 µW bulunur.

**5. a)**

Yandaki devrede en küçük gecikme için inverter’lerin nasıl ölçeklenmeleri gerektiğini ve söz konusu minimum gecikmeyi (intrinsic gecikme ile göreli) bulunuz. Devrenin olası en küçük gecikmesi için, hangi ölçeklemeler

ile, kaç inverter kullanmak gerekir? Bu durumda en küçük gecikme ne olur?

*“Overall effective fan-out” ve “effective fan-out” değerleri:*



o*larak bulunur.*

*Birinci inverter için 1, İkinci inverter için f = 5.89, üçüncü inverter için f 2 =34.64 ve dördüncü için de*

*f 3 =203.89 ölçekleme değerleri kullanılacaktır. Buna göre 4 inverter’li yapıdaki minimum gecikme:*



*olarak bulunur* (γ = 1)

*Olası en küçük gecikme için gerekli inverter sayısını bulmak için N’i arttırmayı sürdürürsek:*



*N=5 için:*



*N=6 için:*

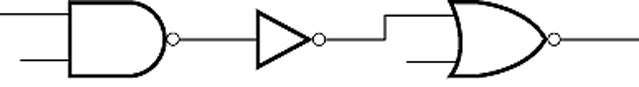


*N=7 için:*

*Görüldüğü gibi en küçük gecikme N=6 için oluşmaktadır. Buna göre ölçekleme değerleri:*

*1, f =3.26, f 2 =10.63, f 3 =34.6, f 4 = 112.9, f 5 =368.2 olmalıdır.*

**b)**



2 fF

200 fF

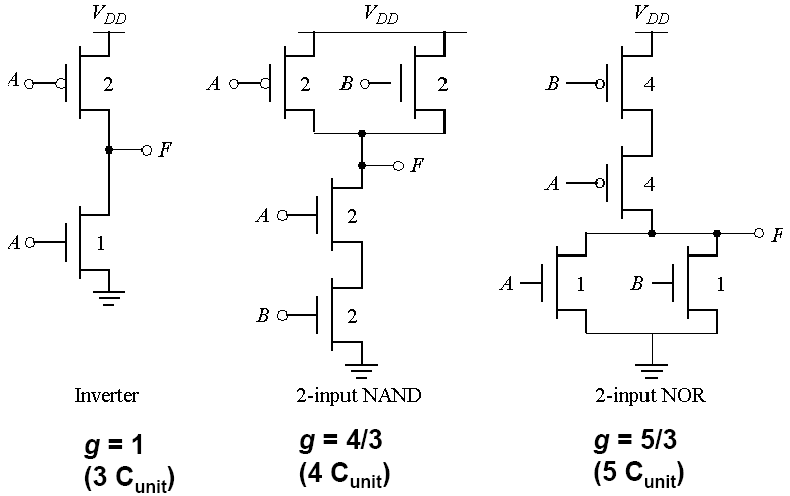
X

Y

Z

Yandaki devrede en küçük gecikme için devre elemanlarının nasıl ölçeklenmeleri gerektiğini bulunuz.

NOT: Minimum ölçekli inverter için PMOS/NMOS oranını 2 alınız.



*Verilen devrede kullanılan elemanların mantıksal eforları yanda gösterilmektedir. Buna göre, NAND geçitini g1, inverteri g2, NOR geçitini de g3 olarak adlandırırsak:*



Ölçeklendirme (sizing) değerlerini de şöyle bulabiliriz:



S1’i böyle bulduktan sonra,  formülünü kullanarak

S2 ve S3’ü bulabiliriz (bj = 1):



**Puanlar: Soru 1: 25p Soru 2: 15p Soru 3: 15p Soru 4: 15p Soru 5a: 15p Soru 5b: 15p**

**SÜRE: 100 Dakika**