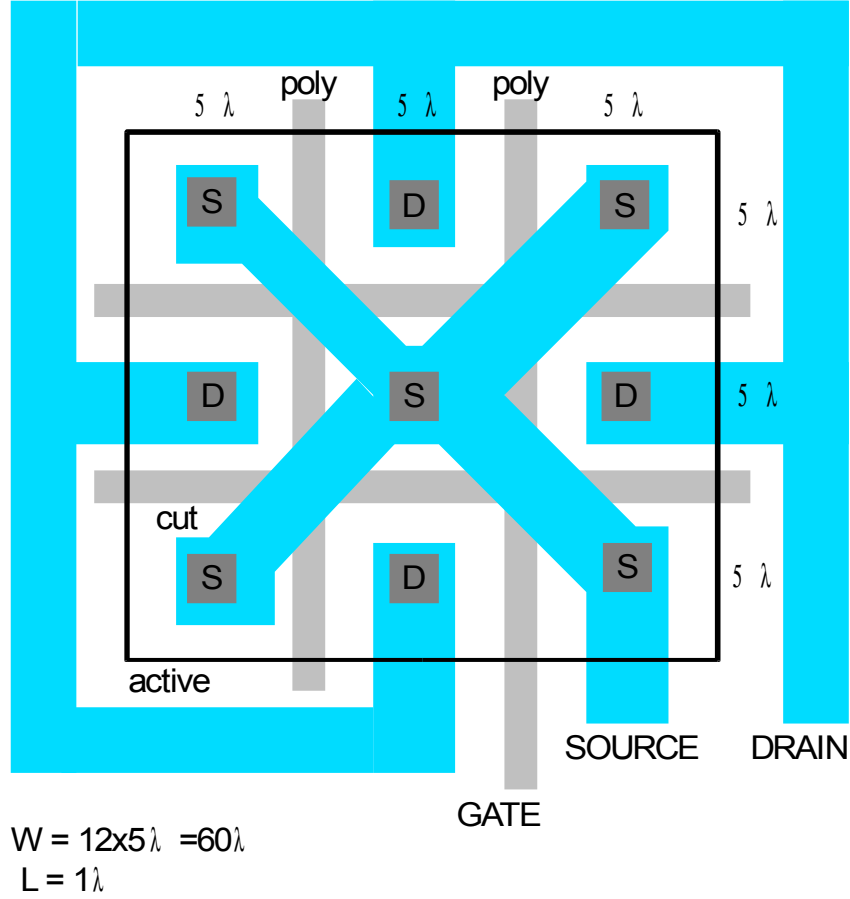


EEM411 DERSİ FİNAL SINAV SORULARI ÇÖZÜMLERİ Toplam 8 soru. Sınav süresi 90 dakika.

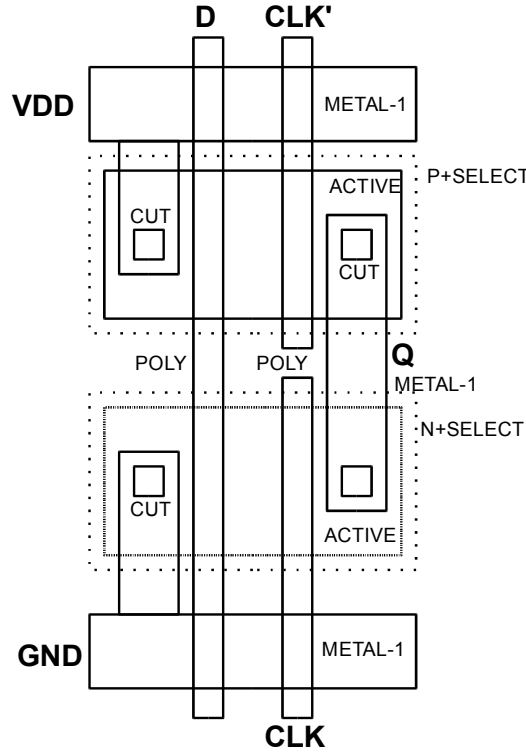
1. (15p) Aşağıdaki serim üzerinde, MOSFET'in en büyük genişliği (W) oluşturması için "cut"lar üzerinden "metal" katmanda bağlantılarını yapınız. Buna göre MOSFET ölçülerini (L ve W) belirtiniz.

ÇÖZÜM:



2. (15p) C²MOS “positive latch” devresinin standart hücre yapısına uygun serimini çiziniz. Girişler “poly”, besleme hatları ve çıkış metal-1 katmanında olmalıdır. Devredeki PMOSFET'lerin tek bir “active” alanı ve NMOSFET'lerin tek bir “active” alanı kullanmaları gerekmektedir. Çizim üzerinde VDD, GND, girişlerin ve çıkışların yerlerini açıkça belirtiniz. Çizimde yalnızca “metal”, “poly”, “active”, “n+ select”, “p+ select” ve “cut” bölgelerini açıkça belirtiniz. “Substrate contact” çizilmeyecektir.

ÇÖZÜM:



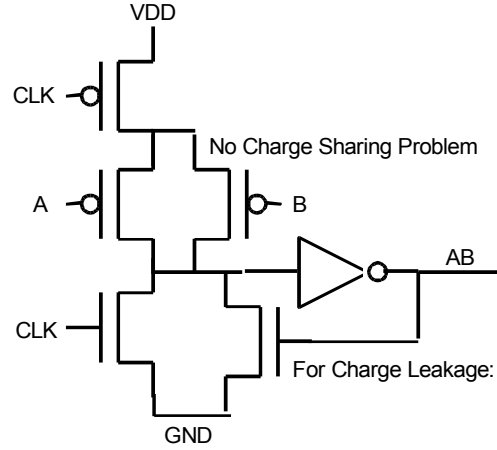
3. (5p) Bir tümdevrenin besleme hattı bağlantısında oluşan “inductor” etkisinin olumsuzluklarını azaltmak için beş adet yöntem belirtiniz.

ÇÖZÜM:

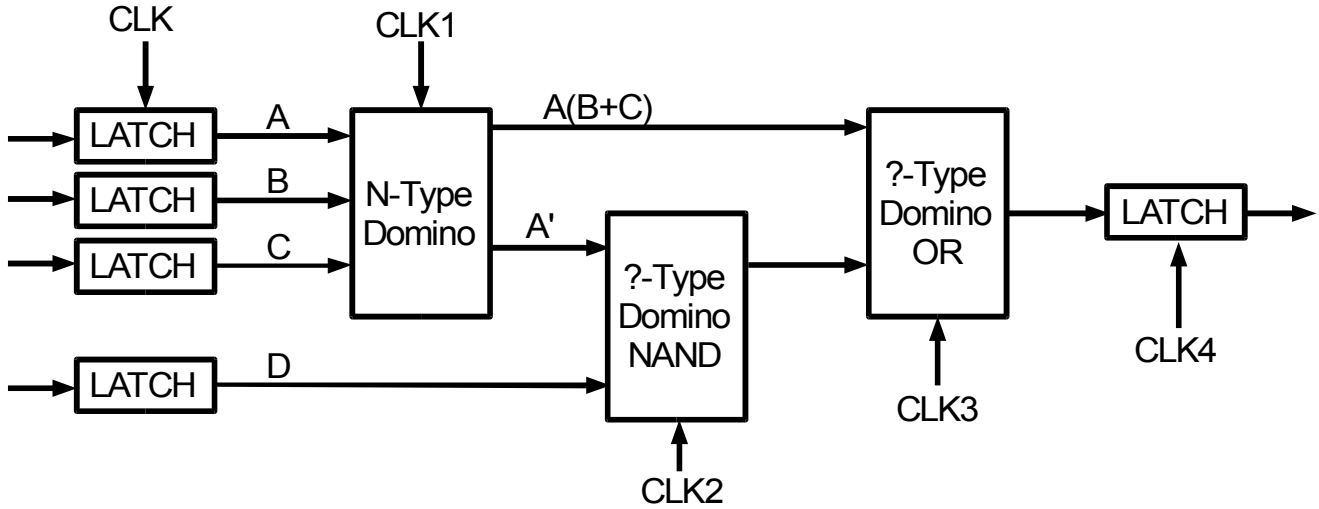
- Tümdevrenin giriş/çıkışları için ayrı, çekirdeğindeki mantık devreleri için ayrı besleme bacakları kullanmak.
- Çok sayıda VDD ve GND bacakları kullanmak.
- VDD ve GND “pad” yerlerini bacaklara giden telleri kısa tutacak biçimde belirlemek.
- İşaretlerin yükselme ve düşme zamanlarını arttırmak.
- Akım çekme zamanlamalarının aynı olmamasını sağlamak.
- “Inductor” değerini azaltacak paket seçmek.
- Kart üzerinde tümdevrenin VDD ile GND bacakları arasına “decoupling” kapasiteler eklemek.
- Tümdevre içinde VDD ile GND bacakları arasına “decoupling” kapasiteler eklemek.

4. (10p) P-Type Domino 2 girişli AND mantık devresinde “charge sharing” ve “charge leakage” sorunlarını çözecek devreyi çiziniz.

ÇÖZÜM:

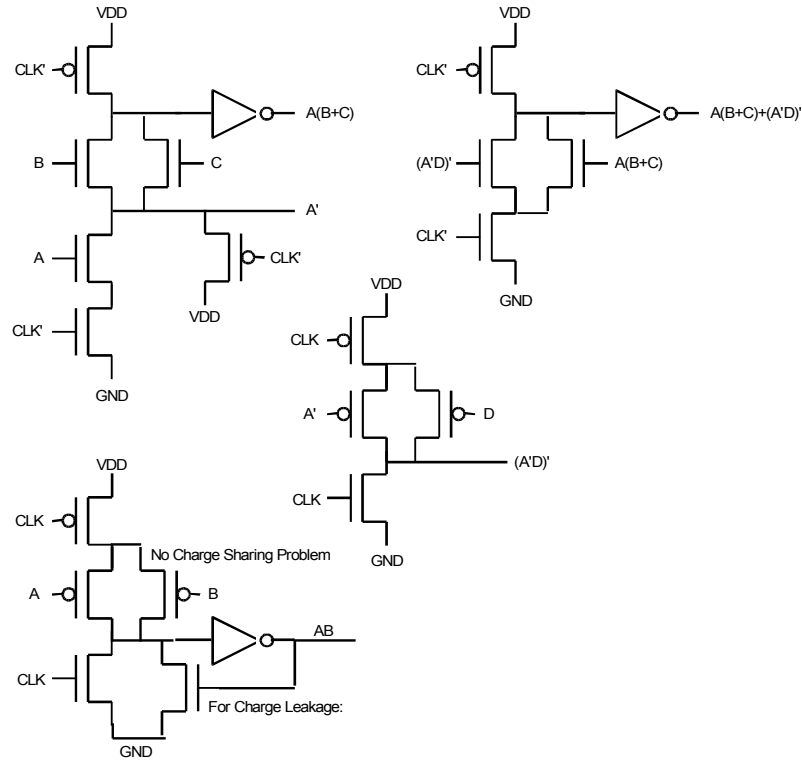


5. (20p) Aşağıdaki domino mantık devresi CLK ve CLK' saat işaretleri ile tetiklenmektedir. Devrede “positive latch”ler kullanılmıştır. LATCH'ler arasında kalan devreyi MOSFET düzeyinde çiziniz. CLK1, CLK2, CLK3 ve CLK4 için CLK ya da CLK' kullanılacaktır; herbiri için belirtiniz.



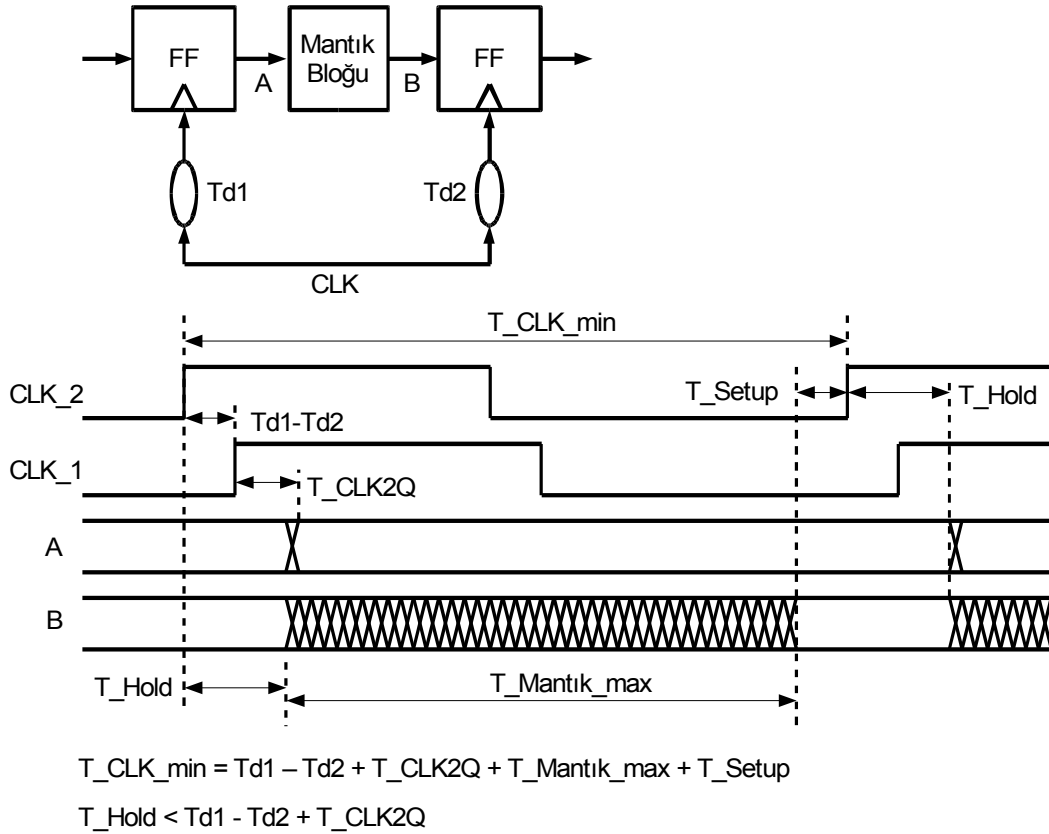
ÇÖZÜM:

- N-tip bloktan NAND domino bloğuna terslenmiş işaret (A') geldiği için NAND bloğu P-tip olmalıdır. N-tip domino çıkış işareti (A(B+C)) terslenmemiş olduğundan OR bloğu N-tip olmalıdır. NAND bloğu P-tip ve çıkışı terlenmiş olduğundan N-tip bloğa bağlanabilecektir.
- CLK1 bağlı olan blok çok çıkışlı domino devresini içerir.
- CLK=1 durumunda LATCH geçirgen olur ve A,B,C,D girişleri değişebilir, CLK=0 durumunda girişler LATCH çıkışında değişmez olur. Bu durumda Domino kapıları “EVAL” durumuna geçmelidirler. Yani; CLK1 = CLK' , CLK2 = CLK, CLK3 = CLK' , CLK4 = CLK' olmalıdır.



6. (15p) Aşağıdaki “pipeline” yapısının sağlıklı çalışması için CLK gecikmeleri olan T_{d1} ile T_{d2} arasındaki koşulu belirtiniz. Bu koşula göre zaman çizelgeleri üzerinden T_{CLK_min} değerini bulunuz. Bu değeri bulabilmek için zamanlama değerleri: $T_{mantık_max}$, FF'ler için $T_{setup} > 0$, $T_{hold} > 0$, ve T_{CLK2Q} olarak verilmiştir. Mantık bloğunun çıkışında “glitch” olabilmektedir.

ÇÖZÜM:



Veri akış yönü ile CLK dağıtım yönü birbirine göre ters olmalı. Buna göre $T_{d2} < T_{d1}$ olmalı.

7. (10p) Aşağıdaki karşılaştırma tablosunu notlandırarak doldurunuz. Notlar: 1: En Az, ... 4: En Çok.

ÇÖZÜM:

YÖNTEM:	KRİTER:	DEVRE HIZI	GÜÇ TÜKETİM	ALAN	PROTOTİP ÜRETİM ZAMANI
FPGA		1	4	4	1
KAPI DİZİSİ (GATE ARRAY)		2	3	3	2
STANDART HÜCRE		3	2	2	3
ÖZEL (CUSTOM)		4	1	1	4

8. (10p) Bir bellekte 1024 adet satır ve her satırda 4096 adet 1-bit'lik bellek hücresi bulunmaktadır. Bu bellek için 4-bit veri yolu kullanılmak istenmektedir. Buna göre belleğin yapısını çizip giriş ve çıkış işaretlerini belirtip belleğin toplam kapasitesini hesaplayın.

ÇÖZÜM:

Bellek kapasitesi 1M x 4bit.

