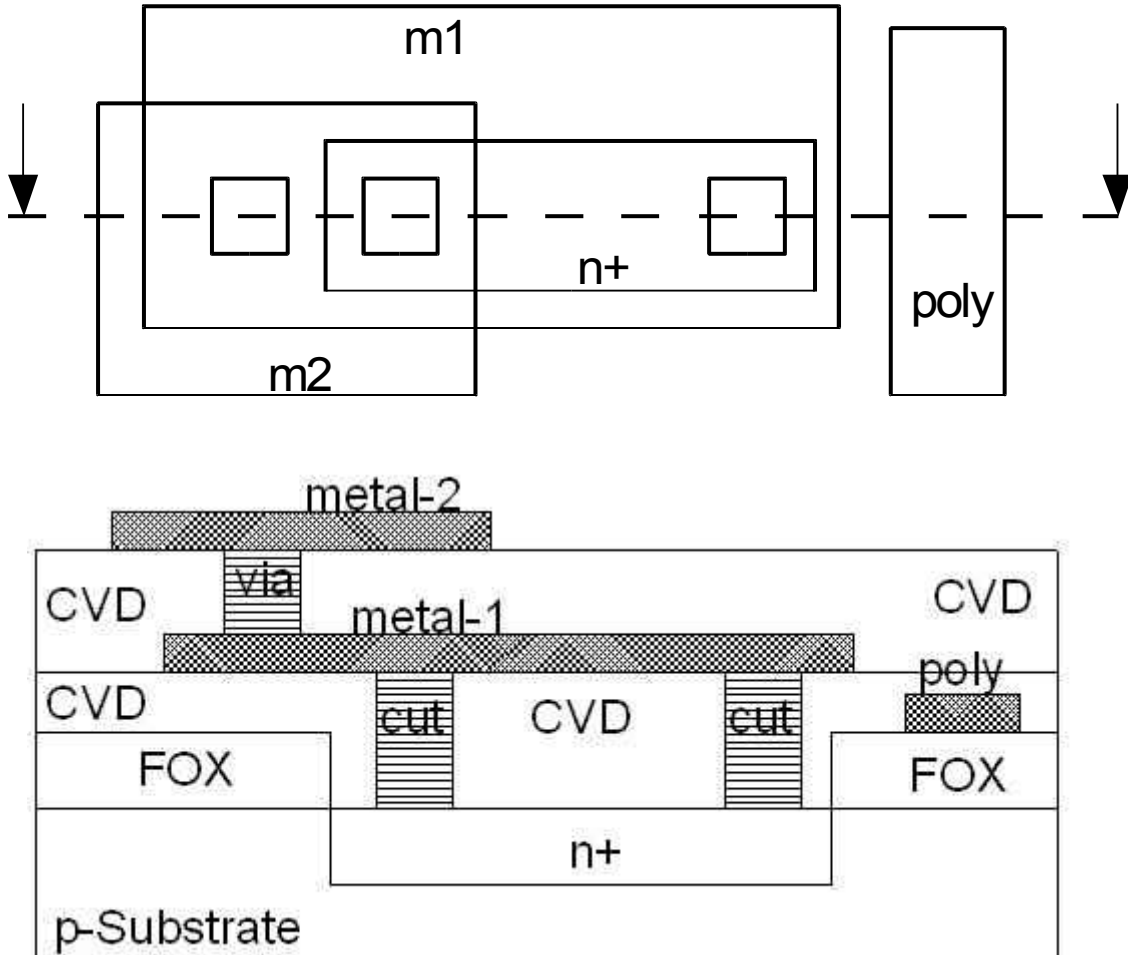


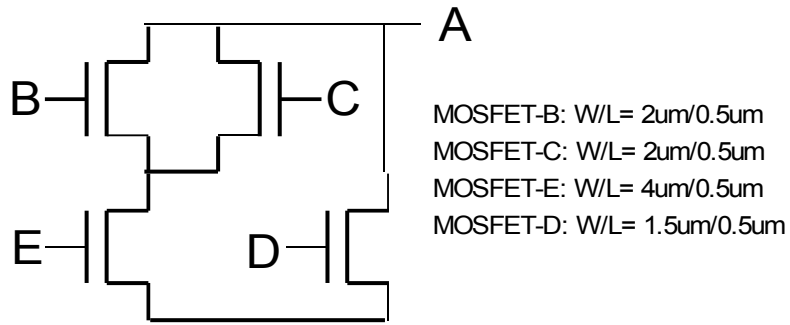
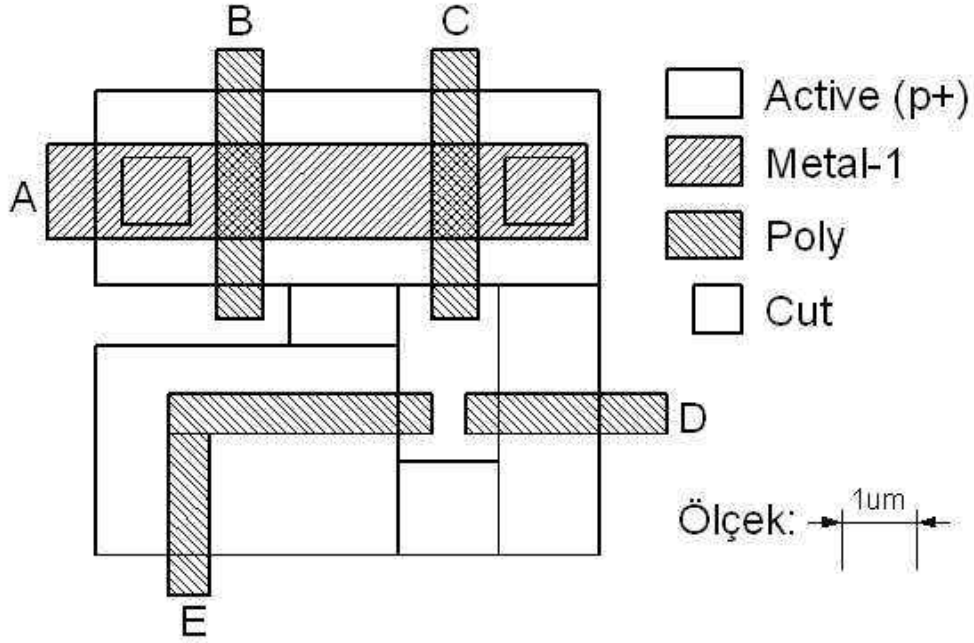
EEM411 DERSİ 1. ARASINAV ÇÖZÜMLERİ Toplam 8 soru. Sınav süresi 90 dakika.

1. (20p) Aşağıdakileri boşlukları doldurunuz. Bir yanlış bir doğruyu silmektedir.
- Yeterli sayıda "substrate contact" kullanılmaması**LATCH-UP**.... neden olabilir.
 - Polisilikon'un İletkenliği arttırmak için ...**SILISIDE**.. kullanılır.
 - "P-Substrate" gerilimi**KÜÇÜK**.... "N-Substrate" gerilimi olmalıdır. (eşit, büyük, küçük).
 - CMOS üretim sürecinde maske uygulanmadan önce "wafer"lar ..**PHOTORESIST**.. ile kaplanır.
 - MOSFET "gate" altında difüzyon oluşumunu ..**POLY**... önler.
 - Kare biçimindeki iki metalin karşılıklı kenarları arasındaki direnç değeri karşılaştırıldığında; $10\mu m^2$ metalin direnci ..**EŞİT** $100\mu m^2$ metalin direnci. (eşit, büyük, küçük).
 - "Substrate" içinde serbest dolaşan yük taşıyıcılar ..**GUARD-RING** ile yakalanır.
 - MOSFET ölçüsü (L ve W) ..**POLY**... ve ...**ACTIVE**.. maskeleri ile belirlenir.
 - Standart hücre kütüphanesinde bulunan hücrelerin ..**YÜKSEKLİKLERİ**.. aynıdır.
 - Metal telin üzerinden geçen sinyalin frekansı arttıkça direnci ..**ARTAR**.. (değişmez, artar, azalır).

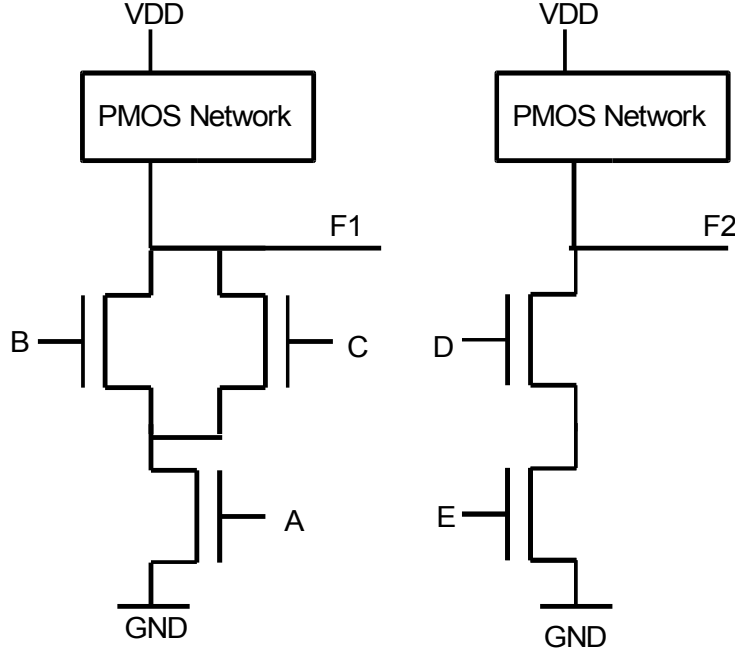
2. (15p) Aşağıdaki serimde belirtilen kesit çizgisine göre serimin kesit çizimini yapınız.



3. (10p) Aşağıdaki serime karşılık gelen devreyi çiziniz. MOSFET ölçülerini (L ve W) belirtiniz.



4. (20p) “Euler-path” yöntemini kullanarak aşağıdaki iki devrelerin serimini çiziniz. Her iki devredeki PMOSFET'lerin tek bir “active (p+)” alanı ve NMOSFET'lerin tek bir “active (n+)” alanı kullanmaları için uygun “Euler-path” seçimleri yapınız. Çizim üzerinde VDD, GND, girişlerin ve çıkışların yerlerini açıkça belirtiniz. Çizimde yalnızca “metal”, “poly”, “active (n+)”, “active (p+)” ve “contact-cut” bölgelerini belirtiniz.



Soldaki devre için:

NMOS Network: CBA (GND ile biter)

PMOS Network: CBA (VDD ile biter)

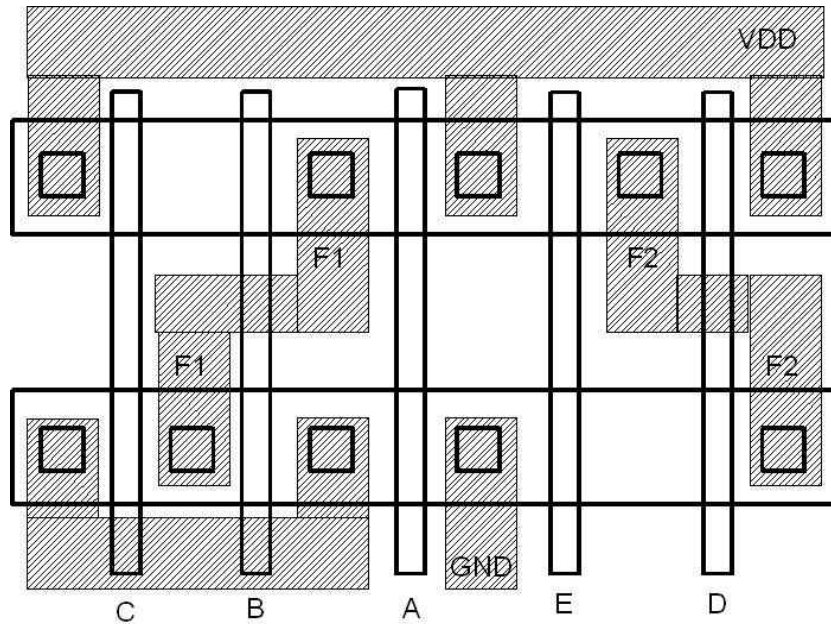
CBA Euler path sağlar.

Sağdaki devre için:

NMOS Network: ED (GND ile başlar)

PMOS Network: ED (VDD ile başlar)

ED Euler path sağlar.



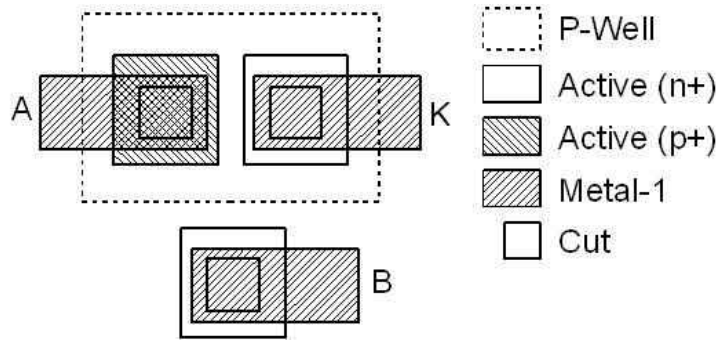
5. (5p) “Latch-up” oluşumunun olasılığını azaltmak için serim tasarımında uygulanabilecek 5 temel kural belirtiniz.

- a) Her 5 mantık kapısında bir en az bir adet “substrate contact” yerleştirilmelidir.
- b) “Substrate contact” MOSFET'e olabildiğince yakın olmalıdır.
- c) “Substrate contact” bağlantıları metal hatlar ile taşınmalıdır.
- d) Mantık kapıları dizilirken PMOS-NMOS-PMOS dizilimi (satranç tahtası gibi) yerine PMOS'lar ve NMOS'lar yanyana gelmelidir.
- e) “Pad” yanlarındaki ya da “clock driver” yanlarındaki büyük MOSFET'ler için “guard ring” uygulanmalıdır.

6. (5p) Standart hücre tasarım yöntemi ile tranzistör düzeyinde yapılan tasarım yöntemini hız, güç tüketimi, alan, serim tasarım zamanı ve “IC” üretim zamanı kriterlerine göre aşağıdaki karşılaştırma (çok, az, aynı) tablosunu doldurunuz.

KRİTER: YÖNTEM	HIZ	GÜÇ TÜKETİM	ALAN	SERİM TASARIM ZAMANI	IC ÜRETİM ZAMANI
STANDART HÜCRE	AZ	ÇOK	ÇOK	AZ	AYNI
TRANZİSTÖR	ÇOK	AZ	AZ	ÇOK	AYNI

7. (15p) “P-Well” CMOS teknolojisinde bir diyot aygıtının serimini çiziniz. Diyodun anodunu “A” ile, katodunu “K” ile, ve “Substrate” bağlantısını “B” ile serim üzerinde belirtiniz. Diyodun işlevini görebilmesi için üç terminali arasındaki gerilim koşullarını belirtiniz.



Her VK değeri için $V_B > V_A$ olmalıdır.

8. (10p) Bir mantık kapısı 1000um uzunluğunda metal tel ile 2pF kapasitif yüke bağlanmıştır. Mantık kapısı çıkışından yükün ucuna kadar sinyal gecikmesini hesaplayınız. Mantık kapsının eşdeğer çıkış direnci 100Ω ve çıkışındaki iç yük 200fF, telin birim direnci 3mΩ/um ve birim kapasitesi 1fF/um verilmiştir. Tel için “distributed-RC” modeli kullanınız ($1p = 1E-12$, $1f = 1E-15$).

Devre modeli:

Vout 1 0 PULSE

Rout 1 2 100R

Cout 2 0 200fF

Rwire_Cwire 2 3 3R 1P

Cload 3 0 2pF

$$T_p = 0.69 \times C_{out} \times R_{out} + 0.69 \times C_{wire} \times R_{out} + 0.69 \times C_{load} \times (R_{out} + R_{wire}) + 0.38 \times C_{wire} \times R_{wire} = 13.8ps + 69ps + 142.14ps + 1.14ps = 226.08ps$$