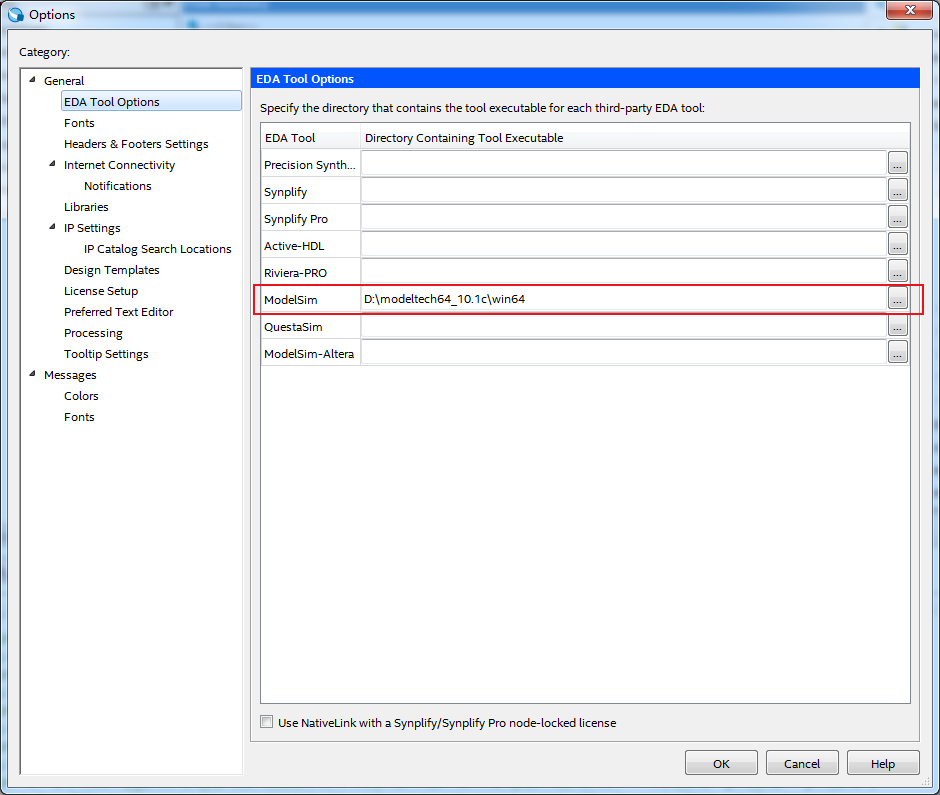
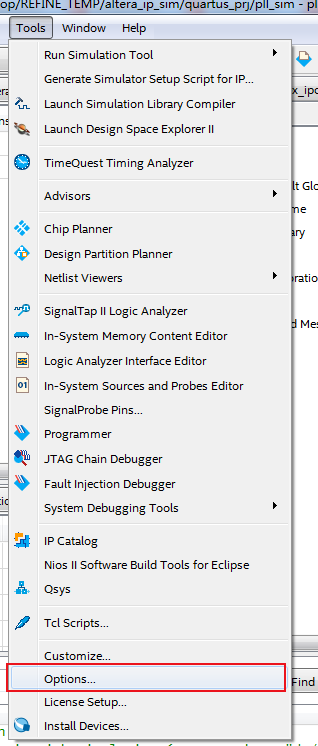
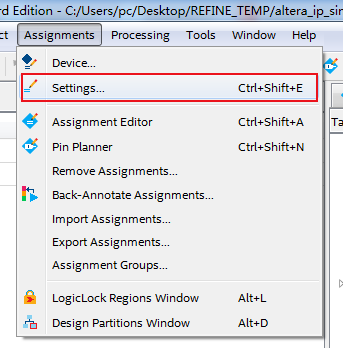
## 1.quartusII和Modelsim

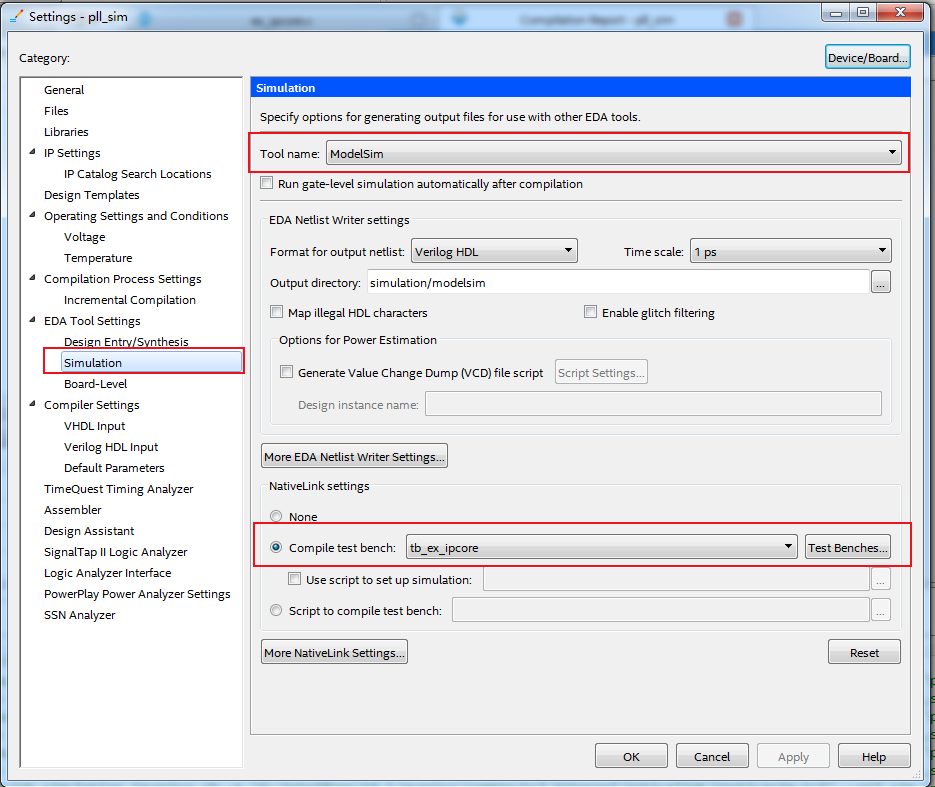
1）以quartusII为主工具，使用NativeLink一键启动仿真设置

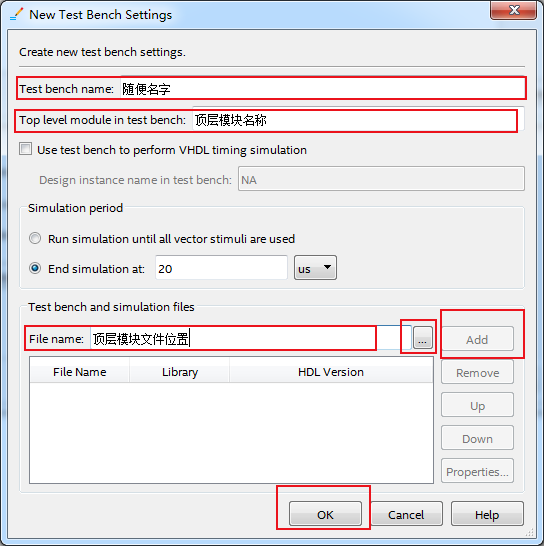
在quartusII中设置modelsim的安装路径



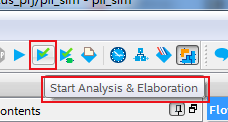
在quartusII中设置要编译仿真的testbench文件



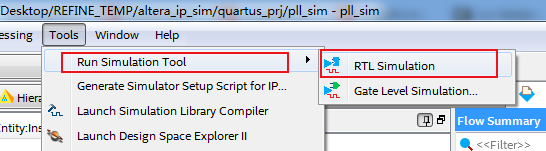




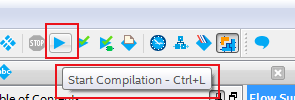
在一键运行前仿真之前先用quartusII分析归纳一下



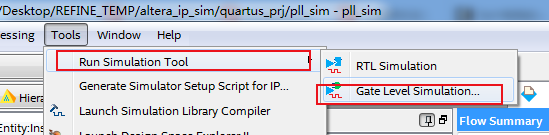
一键运行前仿真



在一键运行后仿真之前先用quartusII全编译一下



一键运行后仿真



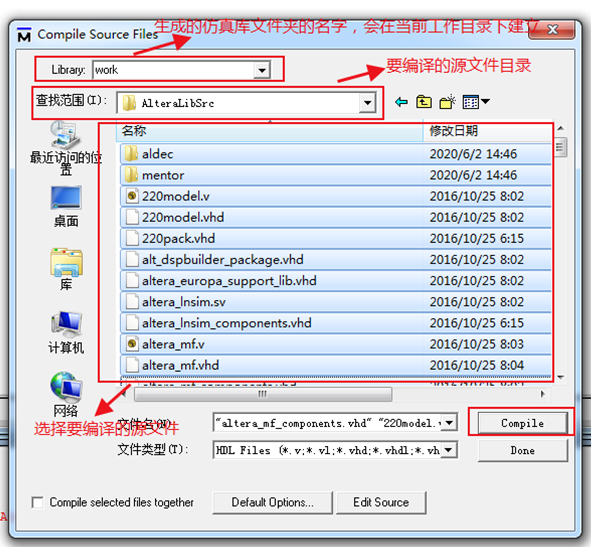


2）以modelsim为主工具，使用run.do命令仿真的设置

如果工程中使用了quartusII的ip核，需要编译ip的库文件

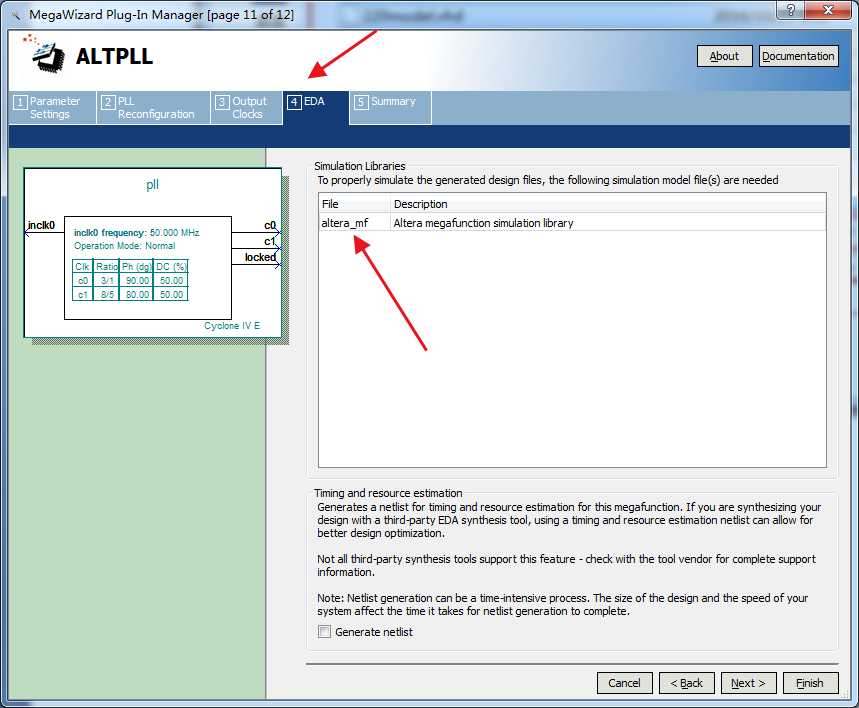
1））一次性编译所有的ip库文件（使用时，用vism -lib命令把寻找所需要的库

vsim -lib E:/FpgaLib/AlteraLib\_q）



2））找到ip（以pll为例）对应的库文件，把它复制出来（到./ AlteraLib）,编译到工作目录work

vlog -work work ./AlteraLib/altera\_mf.v



modelsim的命令说明：

vlib --建立库文件夹

vlib ./lib

vlib ./lib/home

vmap --映射一个库名字到一个实际的库文件夹

vlib work ./lib/home

vlog -- 编译代码文件

vlog -work work ./../design/ex\_shift\_reg.v

编译（vlog）源文件(./../design/ex\_shift\_reg.v)到（-work） 某个库名字（work）

vsim --启动仿真

参数：

-L xxx 连接到xxx库中找文件

-voptargs=+acc 设置优化参数，不把里面信号优化掉

work.tb\_ex\_ip 启动哪个顶层仿真（因为把源文件都编译到了work库里了）

add wave --添加波形

add wave -divider{top} 添加分割条top

add wave tb\_ex\_shift\_reg(顶层)/lvds\_d

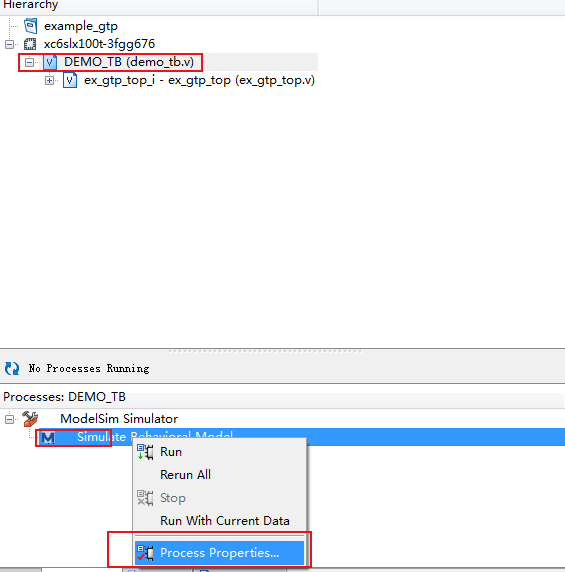
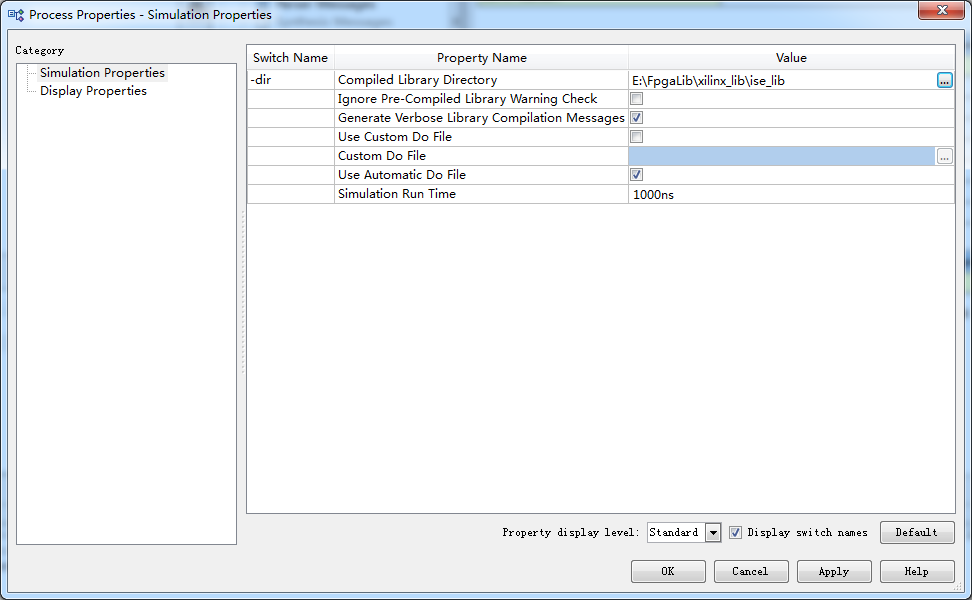
add wave -divider{inst} 添加分割条inst

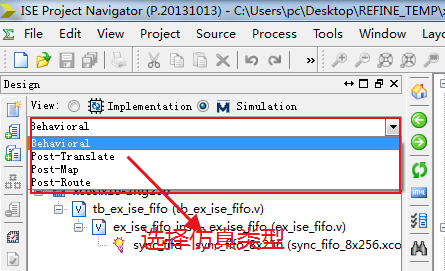
add wave tb\_ex\_shift\_reg/ex\_shift\_inst(例化名字)/o\_lv

## 2.ISE和Modelsim

2）以ise为主工具，一键仿真

<https://www.cnblogs.com/feitian629/archive/2013/07/13/3188192.html>



2）以modelsim为主工具，使用run.do命令仿真的设置

1））在没有编译仿真库的时候

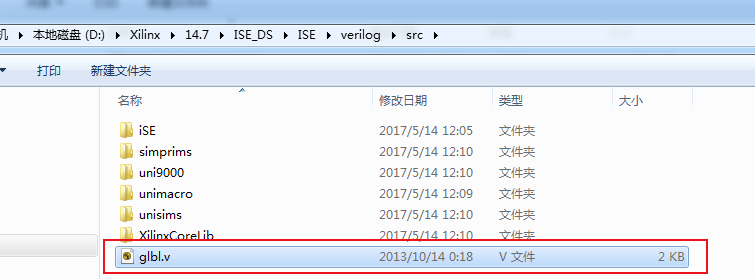
看modelsim缺少文件的提示



解决



在这里搜FIFO\_GENERATOR\_V9\_3，复制到./ise\_lib



并且src里全局glbl.v也复制到./ise\_lib

编译vlog ./ise\_lib/\*.v

并且启动仿真时也启动glbl

vsim -voptargs=+acc work.tb\_ex\_ise\_fifo work.glbl

## 3.vivado和Modelsim

