主控板FPGA逻辑设计文档

# 概述

主控板卡FPGA逻辑实现的功能包括：与ARM通信，虚拟编码，虚拟电眼，对外部输入编码处理，对外部输入电眼处理，根据需要输出编码，根据需要输出电眼。

# 模块描述

## 顶层模块

### 顶层模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位 | nRST | 输入 | 1 |
| 时钟（50M） | clk | 输入 | 1 |
| 拨码开关信号（废弃） | F\_SW | 输入 | 6 |
| 与ARM接口信号 |  |  |  |
| 时钟信号 | ARM\_FPGA\_CLK | 输入 | 1 |
| 同步信号 | ARM\_FPGA\_SYNC | 输入 | 1 |
| 数据信号 | ARM\_FPGA\_DATA | 输入/输出 | 1 |
| FIFO满标志信号 | ARM\_FPGA\_RSV | 输出 | 1 |
| 3路电眼使能输入 | dy\_en | 输入 | 3 |
| 3路NPN型电眼输入 | dy\_npn | 输入 | 3 |
| 3路PNP型电眼输入 | dy\_pnp | 输入 | 3 |
| 24个电眼输出 | Lorigin(23 downto 0) | 输出 | 24 |
| 编码器输入 | EN1\_X\_2A，EN1\_X\_2B | 输入 | 1 |
| 24个编码器输出 | X\_1A，X\_1B | 输出 | 24 |
| 平台状态信号 | staging\_in | 输入 | 1 |
| UV灯状态信号 | uv\_status | 输入 | 1 |
| 凹印电眼信号 | dy\_gravure | 输入 | 1 |
| UV灯控制信号 | uv\_ctrl | 输出 | 1 |
| 喷头升降控制 | nozzle\_up | 输出 | 1 |
| LED灯控制 | FPGA\_LED(1 downto 0) | 输出 | 2 |

### 顶层模块功能描述

## 时钟模块

### 时钟模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 时钟输入（50M） | inclk0 | 输入 | 1 |
| 时钟输出（100M） | c0 | 输出 | 1 |

### 时钟模块功能描述

时钟模块输入时钟为50M，输出一路100M时钟。

## 通信模块

### 通信模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRST | 输入 | 1 |
| 时钟信号 | clk\_100 | 输入 | 1 |
| 拨码开关信号（废弃） | F\_SW | 输入 | 6 |
| 与ARM接口信号 |  |  |  |
| 时钟信号 | ARM\_FPGA\_CLK | 输入 | 1 |
| 同步信号 | ARM\_FPGA\_SYNC | 输入 | 1 |
| 数据信号 | ARM\_FPGA\_DATA | 输入/输出 | 1 |
| ARM写FPGA的参数 |  |  |  |
| 详情见文档《主控板寄存器列表》和《ARM\_COMMU\_PORT接口说明》 | | | |
| ARM读FPGA的参数 |  |  |  |
| 详情见文档《主控板寄存器列表》和《ARM\_COMMU\_PORT接口说明》 | | | |

### 通信模块功能描述

通信模块实现类似SPI的接口与ARM通信，ARM通过写读寄存器地址的方式来配置FPGA逻辑的参数和获取FPGA的工作状态。

## 虚拟编码模块

### 虚拟编码模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRST | 输入 | 1 |
| 时钟信号（100M） | clk | 输入 | 1 |
| 虚拟编码使能信号 | gen\_en\_encoder | 输入 | 1 |
| 虚拟编码1/4周期（时钟数） | encoder\_1of4(15 downto 0) | 输入 | 1 |
| 虚拟编码A相 | gen\_encoder\_A | 输出 | 1 |
| 虚拟编码B相 | gen\_encoder\_B | 输出 | 1 |

### 虚拟编码模块功能描述

虚拟编码模块根据输入信号encoder\_1of4（虚拟编码1/4周期的时钟数），使用clk计数，输出正向(A相超前B相90°)的编码信号，如下图所示：



## 虚拟电眼模块

### 虚拟电眼模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRST | 输入 | 1 |
| 时钟信号（100M） | clk | 输入 | 1 |
| 虚拟电眼使能信号 | gen\_en\_sensor | 输入 | 1 |
| 电眼信号初始值 | default\_out | 输入 | 1 |
| 虚拟电眼周期（坐标差值） | sensor\_cycle(63 ： 0) | 输入 | 1 |
| 虚拟电眼有效电平持续时间（时钟数） | sensor\_valid\_time(31 ： 0) | 输入 | 1 |
| 实时坐标 | SPR\_XRawCoor(63 ：0) | 输入 | 1 |
| 虚拟电眼信号 | gen\_dy | 输出 | 1 |

### 虚拟电眼模块功能描述

虚拟电眼模块根据sensor\_cycle（虚拟电眼周期），使用实时坐标计算坐标差值周期性的产生电眼信号；电眼有效电平时间以sensor\_valid\_time为依据，用clk计数产生。

## 编码处理模块

### 编码处理模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRESET | 输入 | 1 |
| 时钟信号（100M） | clk\_sys | 输入 | 1 |
| 编码输入A相 | Encoder\_A | 输入 | 1 |
| 编码输入B相 | Encoder\_B | 输入 | 1 |
| 虚拟编码使能 | gen\_en\_encoder | 输入 | 1 |
| 编码滤波使能 | filter\_delay\_encoder\_en | 输入 | 1 |
| 编码滤波时间（时钟数） | filter\_delay\_time\_encoder | 输入 | 1 |
| 编码倍频倍数 | multiplication | 输入 | 1 |
| 编码输出A相 | X\_Raw\_A\_Filted\_port | 输出 | 1 |
| 编码输出B相 | X\_Raw\_B\_Filted\_port | 输出 | 1 |

### 编码处理模块功能描述

编码处理模块将输入的编码信号“滤波”或者“滤波加平滑倍频”处理后输出，具体做那种处理依据输入信号gen\_en\_encoder和multiplication，虚拟编码使能或者倍频数为（0,1）时做“滤波”处理，否则做“滤波加平滑倍频”处理。

滤波和平滑倍频的详细实现流程见编码滤波模块和平滑倍频模块：

1. **编码滤波模块**

① 编码滤波模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRESET | 输入 | 1 |
| 时钟信号（100M） | clk\_sys | 输入 | 1 |
| 编码输入A相 | Encoder\_A | 输入 | 1 |
| 编码输入B相 | Encoder\_B | 输入 | 1 |
| 编码滤波使能 | filter\_delay\_encoder\_en | 输入 | 1 |
| 编码滤波时间（时钟数） | filter\_delay\_time | 输入 | 1 |
| 编码输出A相 | Encoder\_A\_Filted | 输出 | 1 |
| 编码输出B相 | Encoder\_B\_Filted | 输出 | 1 |
| 滤波有效标志信号（没啥用） | Locked | 输出 | 1 |

② 编码滤波模块功能描述

编码滤波模块在编码滤波使能的条件下，把编码输入信号滤波（只输出跳变时间大于filter\_delay\_time的编码信号）输出，滤波有效标志信号就是一个延时输出的高电平信号。

1. **平滑倍频模块（未完待续）**

① 平滑倍频模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nRESET | 输入 | 1 |
| 时钟信号（100M） | clk\_sys | 输入 | 1 |
| 使能信号 | enable | 输入 | 1 |
| 编码输入A相 | Encoder\_A | 输入 | 1 |
| 编码输入B相 | Encoder\_B | 输入 | 1 |
| 编码倍频倍数 | fire\_multiplication(15:0) | 输入 | 1 |
| （没用） | synchronization\_en | 输出 | 1 |
| 编码输出A相 | Encoder\_A\_Smooth\_720 | 输出 | 1 |
| 编码输出B相 | Encoder\_B\_Smooth\_720 | 输出 | 1 |

② 平滑倍频模块功能描述

平滑倍频模块在使能条件下，将编码信号平滑且倍频后输出。

平滑倍频实现的方式是，模块采集一定数量的编码器信号（比如采集8次）计为一个周期，通过计数器（以clk\_sys）记录这个采集周期的时钟数；接下来计数下一个采集周期的时钟数，并且同时以（上一个周期÷（采集数x倍频数））为周期输出编码信号（注：如果除不尽将前面输出的编码周期（余数个）加一个时钟周期）。也就是上一个采集周期的电眼在当前采集周期里平滑倍频输出，这会出现两种情况1.当前采集周期的用时小于上一采集周期的用时（即上一周期的电眼没有输出完，这一周期采集完了）；2.当前采集周期的用时大于上一采集周期的用时（即上一周期的电眼输出完了，这一周期还没有采集完）。详细逻辑见时序图（未完待续）：



## 坐标生成模块

### 坐标生成模块接口信息

|  |  |  |  |
| --- | --- | --- | --- |
| 信号描述 | 信号名称 | 方向 | 个数 |
| 复位信号 | nReset | 输入 | 1 |
| 时钟信号（100M） | clk\_sys | 输入 | 1 |
| 使能 | enable | 输入 | 1 |
| 编码输入A相 | Encoder\_A | 输入 | 1 |
| 编码输入B相 | Encoder\_B | 输入 | 1 |
| 方向 | pass\_dir | 输出 | 1 |
| 坐标 | Coor\_out（63:0） | 输出 | 1 |

### 坐标生成模块功能描述

坐标生成模块的复位初始坐标为X"8000000000000000"；在使能的条件下，如果方向为正向（A相超前B相90°）则每个clk\_sys周期坐标加1，如果方向为反向（B相超前A相90°）则每个clk\_sys周期坐标减1。模块实时输出坐标和方向。