1. vry\_AXI\_DMA\_1是未修改axi\_full\_slave源码 的工程

===》xilinx源码有问题，读取速度慢（是写入速度的1/2）

1. vry\_AXI\_DMA是修改源码后的工程

===》修改后读取速度和写入速度一致。

3.