

Návrh počítačových systémů 2011: Projekt č. 1

Název: Řízení maticového displeje BM(HD)-10EG88MD

(<http://www.gme.cz/cz/index.php?product=512-178>)

Odevzdání: 20.11.2011 23:59:59 do IS FIT

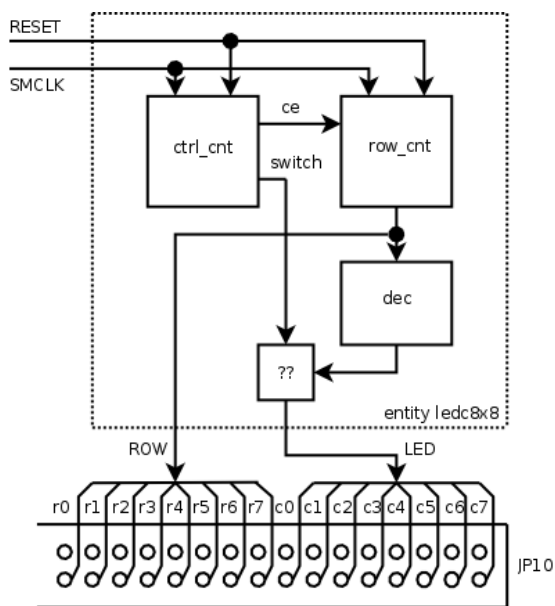
Bodové hodnocení: max. 12

Dotazy: bidlom@fit.vutbr.cz, osobně - M. Bidlo (L330)

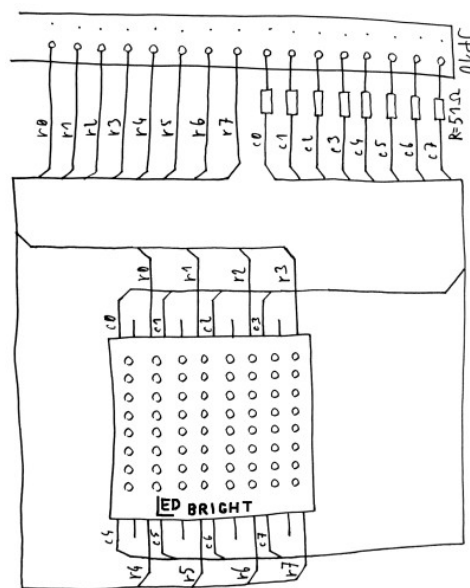
Zadání

Vytvořte behaviorální model obvodu, který periodicky bliká s iniciály Vašeho jména a příjmení současně zobrazenými na maticovém LED displeji externě připojeném k FPGA na FITkitu. Zvolte si zobrazení každého iniciálu tak, aby byly znaky jasně čitelné. V případě pocitu nedostatku místa na displeji můžete sdílet vybrané linie obou znaků. Schéma obvodu pro FPGA a připojení maticového displeje k FITkitu ukazují obrázky 1 a 2. **Dodržte pojmenování entity a jejího rozhraní**, neoznačené vnitřní signály obvodu si vhodně pojmenujte sami.

Odkoušení řešení je možné **prezenčně** v CVT. Na dozorně je k dispozici kompletní přípravek (FITkit s připojeným displejem) včetně USB kabelu, doneste si vlastní notebook s řešením projektu.



Obr. 1



Obr. 2

(pozn.: popis a zapojení rozhraní JP10 odpovídá jeho umístění na FITkitu)

Řešení musí být funkční na poskytnutém přípravku z CVT (ten bude využit pro opravování), jinak hrozí ztráta bodů při hodnocení projektu.

Odevzdává se: archiv xlogin00.tar nebo xlogin00.zip (nahradte Vaším loginem), jenž bude obsahovat adresář opět pojmenovaný Vaším loginem malými písmeny a v něm pouze to, co bylo součástí zadání s doplněným řešením v souborech ledc8x8.vhd a ledc8x8.ucf.

Následuje popis obvodu, další pokyny a požadavky k řešení.

Popis obvodu

(1) 22-bitový synchronní cyklický čítač `ctrl_cnt` generuje povolovací signál `ce` (clock enable) pro synchronizaci čítače řádků displeje (`row_cnt`) na kmitočet `SMCLK/256`. Smyslem snížení kmitočtu čítání `row_cnt` je zvýšení svítivosti LED displeje při jeho dynamickém řízení a napájení přímo z pinů sběrnice X na FPGA. Dynamickým řízením displeje rozumíme postupnou periodickou aktivaci jednotlivých jeho řádků v čase, kdy je pro každý aktuálně aktivní řádek specifikována sestava svítících LED diod. Signálem `switch`, odvozeným od bitu 21 (MSB) čítače `ctrl_cnt`, zajistíte realizaci efektu blikání zobrazení. Signál `RESET` provede asynchronní vynulování čítače `ctrl_cnt`. Clock enable nastavte do log. 1 při dosažení hodnoty `0xFF` ve spodních 8 bitech `ctr_cnt`, jinak bude `ce` v log. 0.

(2) Čítač aktivace řádků displeje (`row_cnt`) představuje synchronní osmibitový rotační registr, který cyklicky aktivuje **právě jeden řádek** displeje. **!!!!!! Aktivace řádku se provádí hodnotou log. 0** na příslušném bitu tohoto čítače, **zbývající bity (neaktivních řádků) musí být nastaveny do log. 1** !!!!! Signálem `RESET` asynchronně nastavte registr tak, aby byl aktivován první řádek displeje, ostatní řádky jsou neaktivní. Nezapomeňte, že k rotaci hodnoty čítače dochází pouze při `ce` v log. 1 (clock enable), jinak je tento čítač fundamentálně taktován hodinami `SMCLK`.

(3) Dekodér `dec` určuje sestavu rozsvícených LED v aktivním řádku displeje na základě aktuálního stavu čítače `row_cnt`. Dioda svítí, je-li na příslušné pozici signálu `LED log. 1`, v případě `log. 0` je odpovídající dioda zhasnutá. Jedná se o čistě kombinační obvod; v části „others“ zajistíte stav „LED zhasnuta“ pro všechny diody v řádku přiřazením signálu `LED` hodnoty „00000000“.

(4) Dle schématu doimplementujte příslušný obvodový prvek pro realizaci efektu blikání (v obr. 1 označen ??).

(5) Maticový displej LED 8x8 je standardní zobrazovací součástka připojená externě k FITkitu prostřednictvím vybraných pinů sběrnice X (viz obr. 2). Rezistory 51Ω jsou nezbytné z důvodu ochrany LED displeje před nadměrným proudem. Jelikož katody diod v každém řádku displeje sdílejí jediný vodič, je nutné provádět řízení displeje (aktivaci řádků) dynamicky v tzv. časovém multiplexu, což zajišťuje obvod z obr. 1, jehož VHDL popis je předmětem tohoto projektu. Podíváte-li se na displej ze strany, na které je uveden popis, odpovídá význam a zapojení jeho vývodů schématu na obr. 2 a řádky, resp. sloupce jsou číslovány od 0 do 7 shora dolů, resp. zleva doprava (na obr. 1 a 2 označeny symboly `r0-r7`, resp. `c0-c7`). **Realizace zapojení displeje není nezbytná, pokud pro otestování řešení využijete přípravku v CVT.**

Pokyny k řešení

(1) Doplněte kód dle uvedené specifikace obvodu do souboru `ledc8x8.vhd`.

(2) Doplněte mapování výstupních signálů `ROW` a `LED` do souboru `ledc8x8.ucf` tak, aby tyto signály byly přivedeny na příslušné bity sběrnice X, jak je uvedeno na obr. 1. Fyzicky budou na všech verzích FITkitu namapovány na spodní řadu 16-ti pinů zcela vpravo na rozhraní `JP10`. Inspirujte se tím, co je již v tomto souboru uvedeno a použijte schéma FITkitu k určení mapování zbývajících signálů (schémata naleznete na webu <http://merlin.fit.vutbr.cz/FITkit/hardware.html>). Ve schématu `FITKIT-INPUT/OUTPUT INTERFACE` je uvedena struktura rozhraní `JP10`, kde naleznete, které piny sběrnice X je třeba použít (viz též obr. 1 a 2) a podle toho pak ze schématu `FITKIT-FPGA INTERFACE` určíte čísla pinů FPGA, na které je třeba v souboru `ledc8x8.ucf` namapovat signály `ROW` a `LED` entity obvodu.

(3) Pro simulaci obvodu a zobrazení časového diagramu byl vytvořen skript `isim.tcl`, který se nachází v adresáři `fpga/sim`. Zadáním `make isim` z příkazového řádku v kořenovém adresáři projektu (nebo volbou *Spustit simulaci (ISIM)* z kontextového menu projektu v QdevKitu) se spustí simulátor ISIM a zobrazí se průběh sledovaných signálů po dobu $123\ \mu\text{s}$. Je-li model správně vytvořen, zachytí simulace tři periody postupné aktivace všech řádků displeje (náhled zachycující jen malou část počátku zobrazení iniciálů).

Upozornění

Pracujte samostatně, nikomu nedávejte práci k opsání. Plagiátorství se hodnotí 0 body a adekvátním postihem dle platného Disciplinárního řádu FIT VUT v Brně.