



SAPIENZA
UNIVERSITÀ DI ROMA

Orocol 2.0

Università di Roma La Sapienza

Corso: Elettronica

Docente: Giampiero De Cesare

Anno Accademico: 2024-2025

Autore: Francesco Paffetti

Indice

1 Parte Analogica	4
1.1 Circuiti Equivalenti e Amplificatori	4
1.1.1 Calcolo dei parametri caratteristici del circuito equivalente “rete due porte” di un invertente	4
1.1.2 Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali e definizione di “piccoli segnali”	6
1.1.3 Circuiti equivalenti per grandi segnali in continua per i tre casi	8
1.2 Amplificatori di Transresistenza e Operazionali	9
1.2.1 Parametri ideali “rete due porte” di un amplificatore di transresistenza $V_{\text{out}}/I_{\text{in}}$, confronto tra invertente e non invertente	9
1.2.2 Amplificatore operazionale non invertente (Solo scritto)	10
1.2.3 Parametri ideali di un amplificatore di tensione non invertente (Solo scritto)	11
1.3 Filtri e Operazioni in Corrente	12
1.3.1 Struttura e funzionamento di un integratore	12
1.3.2 Funzionamento derivatore	14
1.3.3 Sommatore pesato invertente	16
1.4 Specchi e Altri Circuiti Analogici	18
1.4.1 Specchio di corrente	18
1.4.2 Transistor MOS a svuotamento	20
1.5 Amplificatori Differenziali e per Strumentazione	22
1.5.1 Funzionamento di un amplificatore differenziale	22
1.5.2 Amplificatore differenziale per strumentazione	23
1.6 Multivibratori e Forme d’Onda	24
1.6.1 Struttura e funzionamento di un multivibratore astabile con A.O. per forme d’onda triangolari	24
1.6.2 Generatore d’onda quadra	25
1.6.3 Trigger di Schmitt Invertente	27
1.6.4 Trigger di Schmitt Non Invertente	29
2 Parte Digitale	30
2.1 Inverter CMOS e Margini di Rumore	30
2.1.1 Funzione di trasferimento di un inverter CMOS, definizione e metodologie di calcolo del margine di rumore (Solo scritto)	30
2.1.2 Disegno del circuito di un inverter logico CMOS e analisi della potenza statica e dinamica	32
2.1.3 Funzione di trasferimento ingresso-uscita di un inverter logico CMOS, punti significativi della transcaratteristica e condizioni di simmetria	34
2.2 Logica e Porte CMOS	36
2.3 Struttura e funzionamento della NAND e NOR CMOS	36
2.3.1 NAND CMOS	36
2.3.2 NOR CMOS	37
2.3.3 Porta NOR con tasso di occupazione d’area (Solo scritto)	37

2.4	Tempi di Ritardo	38
2.4.1	I tempi di ritardo alto-basso e basso-alto	38
2.5	Altri Amplificatori e Argomenti Digitali	39
2.5.1	Inverter NMOS	39

Premesse

Questo file racchiude le dimostrazioni che il professor De Cesare solitamente può chiedere allo scritto o all'orale. Parte delle dimostrazioni sono prese dalla Orocol v0.1, mentre l'altra dagli appunti di Edo. Le dimostrazioni elencate sono quelle chieste durante l'anno 2023-2024 scritte sul gruppo whatsapp di elettronica (aggiornate fino a febbraio 2025).

Capitolo 1

Parte Analogica

1.1 Circuiti Equivalenti e Amplificatori

1.1.1 Calcolo dei parametri caratteristici del circuito equivalente “rete due porte” di un invertente

Consideriamo l'operazionale illustrato in Figura 1.1.

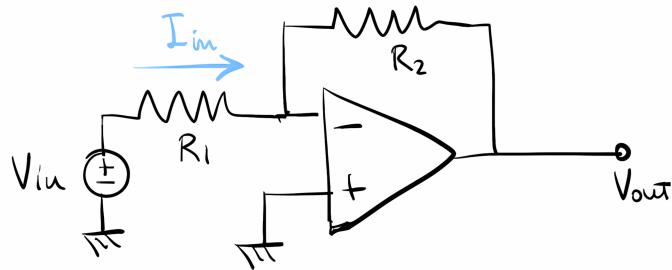


Figura 1.1: Amplificatore operazionale in configurazione invertente.

L'obiettivo è rappresentare il circuito con un modello equivalente a due porte, come quello studiato a lezione (vedi, ad esempio, Figura 1.2).

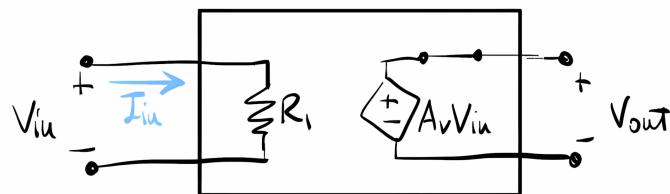


Figura 1.2: Circuito a due porte equivalente di una configurazione invertente.

Nel caso dell'amplificatore invertente, dalla nota relazione

$$V_{out} = -\frac{R_2}{R_1} V_{in},$$

si deduce immediatamente che:

$$g_{21} = -\frac{R_2}{R_1} \quad \text{e} \quad g_{22} = 0.$$

Inoltre, poiché la corrente d'ingresso è data unicamente dalla caduta su R_1 ,

$$I_{\text{in}} = \frac{V_{\text{in}}}{R_1},$$

abbiamo:

$$g_{11} = \frac{1}{R_1} \quad \text{e} \quad g_{12} = 0.$$

Verificando la correttezza di tale analisi (ad esempio, sostituendo V_{out} con un generatore V_x e annullando V_{in}), la corrente in uscita fluisce direttamente verso massa senza contribuire a I_{in} .

Il circuito equivalente risultante è mostrato nella medesima Figura 1.2.

1.1.2 Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali e definizione di “piccoli segnali”

Il circuito equivalente “rete due porte” per piccoli segnali è composto da un’impedenza infinita in ingresso (circuito aperto) e da un generatore di corrente $g_m V_{GS}$, dove V_{GS} è la differenza di potenziale tra gate e source.

Consideriamo un circuito amplificatore con transistor MOS, avente ingresso v_{in} polarizzato da un generatore V_P . La funzione di trasferimento, mostrata in Figura 1.4, presenta una zona centrale (punto di lavoro) in cui la curva risulta approssimabile a una funzione lineare, e quindi il parametro G_m diventa una costante g_m .

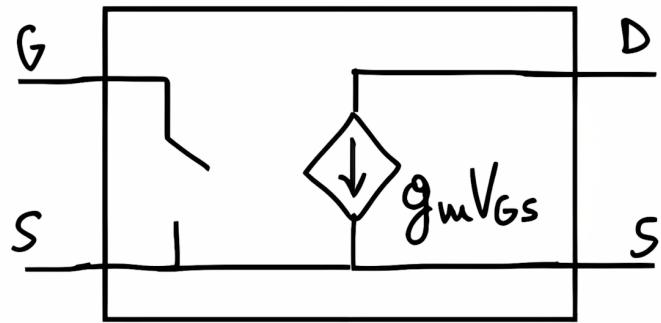


Figura 1.3: Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali.

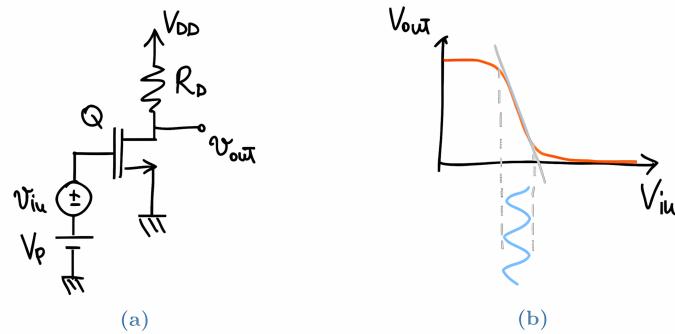


Figura 1.4: (a) Circuito amplificatore con MOS, con ingresso v_{in} polarizzato da V_P ; (b) Trascaratteristica: nel punto di lavoro la risposta è approssimabile a una funzione lineare.

Per analizzare quando tale approssimazione è valida, consideriamo il transistor Q in saturazione:

$$i_D = k(V_{GS} - V_t)^2 = k(v_{in} + (V_P - V_t))^2.$$

Espandendo:

$$i_D = k(v_{in}^2 + 2(V_P - V_t)v_{in} + (V_P - V_t)^2) = k v_{in}^2 + 2k(V_P - V_t)v_{in} + I_P,$$

dove $I_P = k(V_P - V_t)^2$ è la corrente di polarizzazione, dovuta esclusivamente a V_P . Affinché la relazione sia linearizzata, il termine v_{in}^2 deve essere trascurabile:

$$v_{in}^2 \ll 2(V_P - V_t)v_{in} \implies v_{in} \ll 2(V_P - V_t).$$

Pertanto, il segnale è definito “piccolo” quando v_{in} è almeno un ordine di grandezza inferiore a $2(V_P - V_t)$.

1.1.3 Circuiti equivalenti per grandi segnali in continua per i tre casi

Il segnale in ingresso è la differenza V_{GS} tra gate e source. In un MOSFET il circuito tra gate e source è in circuito aperto, mentre il comportamento in uscita varia in base ai valori di V_{GS} e V_{DS} .

Distinguiamo tre casi:

1. **Interdizione:** $V_{GS} < V_t$. Tra drain e source il MOSFET è in circuito aperto (vedi Figura 1.5a).
2. **Triodo:** $V_{GS} > V_t$ e $V_{DS} < V_{GS} - V_t$. Il dispositivo si comporta come una resistenza variabile (Figura 1.5b).
3. **Saturazione:** $V_{GS} > V_t$ e $V_{DS} > V_{GS} - V_t$. Il dispositivo si comporta come un generatore di corrente controllato, approssimabile con $g_m V_{GS}$ (Figura 1.5c).

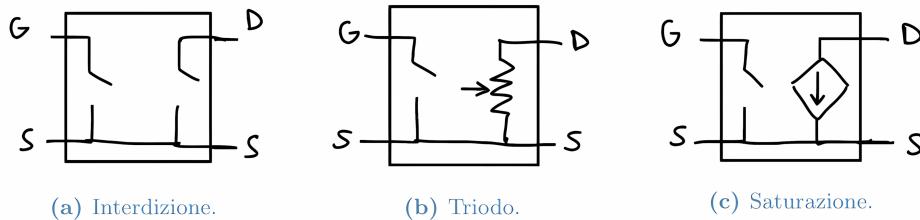


Figura 1.5: Circuiti equivalenti di un transistor MOSFET nei tre casi: (a) interdizione, (b) triodo, (c) saturazione.

1.2 Amplificatori di Transresistenza e Operazionali

1.2.1 Parametri ideali “rete due porte” di un amplificatore di transresistenza $V_{\text{out}}/I_{\text{in}}$, confronto tra invertente e non invertente

L’amplificatore di transresistenza presenta una corrente in ingresso I_{in} e una tensione in uscita

$$V_{\text{out}} = R_m I_{\text{in}},$$

dove

$$R_m = \frac{V_{\text{out}}}{I_{\text{in}}} \quad \text{con } I_{\text{out}} = 0.$$

Lo schema equivalente “rete due porte” è mostrato in Figura 1.6.

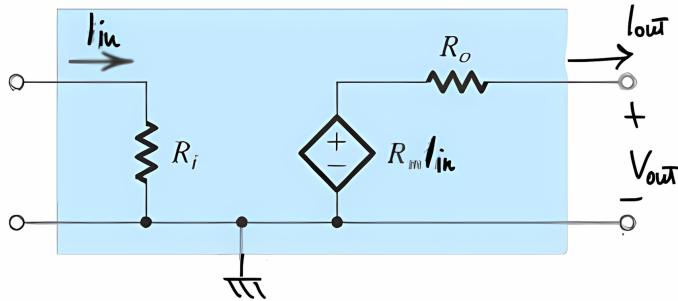


Figura 1.6: Schema equivalente “rete due porte” di un amplificatore di transresistenza.

Idealmente, per non alterare il segnale in ingresso e non creare partitori di tensione, si desidera:

$$R_i = 0, \quad R_o = 0.$$

La configurazione invertente dell’amplificatore operazionale è la più idonea, in quanto offre una resistenza d’ingresso pari a R_1 (vedi Figura 1.6a), mentre la configurazione non invertente presenta una resistenza d’ingresso infinita (Figura 1.6b). In entrambi i casi, la resistenza di uscita è nulla.

1.2.2 Amplificatore operazionale non invertente (Solo scritto)

Si consideri il circuito illustrato in Figura 1.7, dove il segnale in ingresso V_{in} è applicato direttamente al morsetto non invertente dell'operazionale, mentre il morsetto invertente è collegato all'uscita V_{out} tramite un resistore di retroazione e, contemporaneamente, connesso a massa attraverso un secondo resistore.

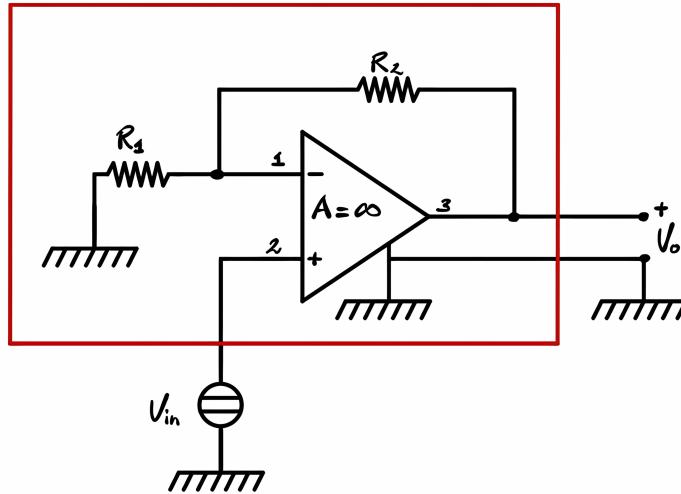


Figura 1.7: Amplificatore operazionale in configurazione non invertente.

In regime ideale, l'amplificatore operazionale si caratterizza per un guadagno a circuito aperto elevatissimo e per un'assenza di assorbimento di corrente ai morsetti di ingresso.

Nella configurazione non invertente, il morsetto invertente tende ad assumere la stessa tensione del morsetto non invertente (principio di cortocircuito virtuale), per cui esso si trova sostanzialmente a V_{in} . La corrente che circola nei resistori di retroazione risulta allora determinata unicamente dalle differenze di tensione fra l'uscita e l'ingresso, portando alla classica relazione che vincola V_{out} a V_{in} . Sostituendo i valori di corrente nei due resistori e imponendo che la tensione ai morsetti di ingresso dell'operazionale sia la stessa, si giunge all'espressione:

$$V_{out} = V_{in} \left(1 + \frac{R_2}{R_1} \right),$$

dove R_1 è il resistore tra morsetto invertente e massa, mentre R_2 è quello fra l'uscita e il morsetto invertente.

Tale formula mostra chiaramente che la configurazione non invertente non introduce inversione di fase ed esibisce un guadagno in ampiezza pari a $1 + \frac{R_2}{R_1}$. L'uscita risulta dunque proporzionale all'ingresso, con la costante di proporzionalità determinata dai due resistori in retroazione.

1.2.3 Parametri ideali di un amplificatore di tensione non invertente (Solo scritto)

Quando l'amplificatore operazionale non invertente è considerato ideale, si assumono alcune proprietà che semplificano ulteriormente l'analisi del circuito. In particolare, l'impedenza di ingresso tende a essere molto elevata poiché, in prima approssimazione, nessuna corrente fluisce nel morsetto non invertente. Questa caratteristica fa sì che il carico posto in ingresso "veda" sostanzialmente un circuito aperto, evitando quasi ogni distorsione o attenuazione dovuta alla sorgente.

Parallelamente, l'impedenza di uscita si assume idealmente nulla, poiché l'operazionale, grazie alla retroazione, si comporta come un generatore di tensione pressoché perfetto: la tensione in uscita viene regolata in modo che i morsetti di ingresso rimangano a potenziali estremamente vicini tra loro. Di conseguenza, la disponibilità di corrente all'uscita è limitata solo dalle specifiche reali del componente, ma idealmente si assume che la tensione erogata non subisca cadute interne.

Il guadagno a circuito aperto molto elevato ($A \rightarrow \infty$) completa il quadro dell'idealità, poiché basta una piccolissima differenza di tensione tra morsetto invertente e non invertente per modificare drasticamente l'uscita. In virtù di tale caratteristica, la retroazione negativa costringe i due morsetti a mantenere la stessa tensione, generando esattamente il guadagno desiderato, che nella configurazione non invertente è

$$G = 1 + \frac{R_2}{R_1}.$$

1.3 Filtri e Operazioni in Corrente

1.3.1 Struttura e funzionamento di un integratore

Prendiamo il circuito di Figura 1.8 composto da un amplificatore operazionale in configurazione invertente, dove è presente un condensatore C come impedenza di feedback.

Facendo l'ipotesi lineare, vale il cortocircuito virtuale, per cui i due morsetti dell'operazionale sono a 0 V. Ciò implica che ai capi di R_1 si stabilisce una caduta pari a V_{in} , generando una corrente:

$$I = \frac{V_{\text{in}}}{R_1}.$$

Questa corrente va interamente nel condensatore C , caricandolo. La tensione ai capi di C è data da:

$$V_C = \frac{Q}{C} = \frac{1}{C} \int I(t)dt = \frac{1}{R_1 C} \int V_{\text{in}}(t)dt.$$

Essendo definita $V_{\text{out}} = -V_C$, la tensione di uscita risulta l'integrale della tensione d'ingresso, a meno di una costante moltiplicativa.

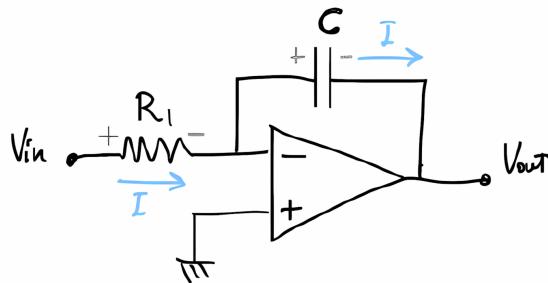


Figura 1.8: Struttura di un integratore ideale.

Facendo un'analisi asintotica in funzione della frequenza del segnale in ingresso, vediamo che il guadagno è:

$$A_v = \frac{Z_C}{R_1} = \frac{-1}{j\omega R_1 C}.$$

Pertanto, per segnali a frequenza nulla ($\omega = 0$) il guadagno è infinito, mentre per frequenze infinite il guadagno è nullo, ossia l'integratore si comporta come un passa basso.

Calcoliamo ora ω_h , definito come $\omega_h = 1/\tau = 1/(R_{\text{eq}}C)$, dove R_{eq} è la resistenza equivalente vista dal condensatore. Se si sostituisce il condensatore con un generatore V_x (Fig. 1.9) e si annulla V_{in} , si osserva che la corrente non scorre in R_1 (dato che entrambi i morsetti dell'A.O. sono a 0 V); di conseguenza,

$$R_{\text{eq}} = \infty \implies \omega_h = \frac{1}{\infty} = 0.$$

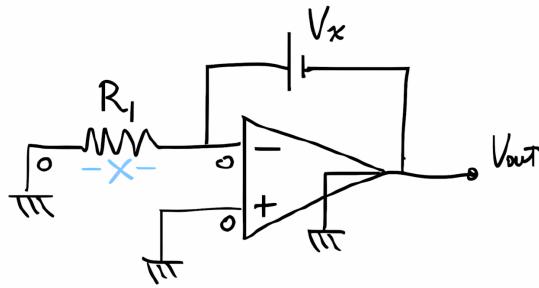


Figura 1.9: Struttura di un integratore ideale (con approccio a generatore V_x).

Questo significa che l'integratore ideale integra tutte le componenti, anche quelle di offset, portando a possibili saturazioni in presenza di rumore DC.

Per ovviare a questo problema, introduciamo l'integratore reale, che prevede una resistenza R_2 in parallelo al condensatore (vedi Figura 1.10).

In questo caso, la resistenza equivalente vista dal condensatore è R_2 , perciò:

$$\omega_h = \frac{1}{R_2 C},$$

un valore finito (diverso da zero, come evidenziato in Figura 1.10). In questo modo, tutte le componenti in frequenza inferiori a ω_h sono semplicemente amplificate con guadagno $A_v = -\frac{R_2}{R_1}$ e non integrate. Infatti, per $\omega = 0$, osserviamo che, una volta caricato il condensatore, tutta la corrente scorre su R_2 , da cui:

$$V_{\text{out}} = -V_{R_2} = -R_2 \frac{V_{\text{in}}}{R_1} \implies A_v = \frac{V_{\text{out}}}{V_{\text{in}}} = -\frac{R_2}{R_1}.$$

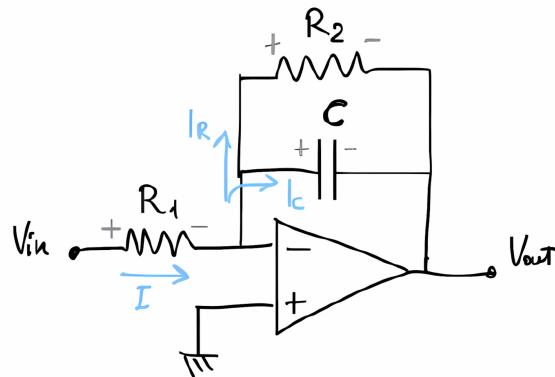


Figura 1.10: Struttura di un integratore reale (con resistenza R_2 in parallelo).

1.3.2 Funzionamento derivatore

Il circuito derivatore, illustrato in Figura 1.11, sfrutta un condensatore C come impedenza d'ingresso e una resistenza R_1 in retroazione. In questo modo, il condensatore realizza l'integrazione della corrente e, di conseguenza, la sua derivata viene trasferita all'uscita.

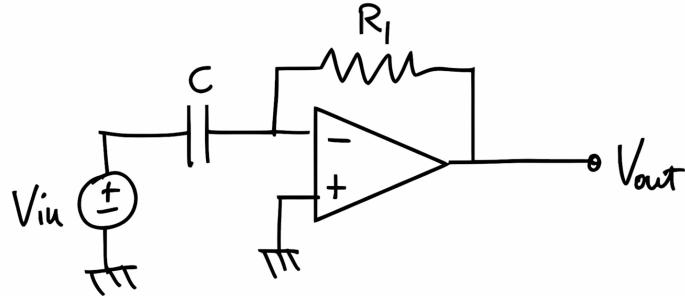


Figura 1.11: Circuito derivatore.

In particolare, la tensione ai capi del condensatore è data da

$$V_C = \frac{Q}{C} = \frac{1}{C} \int I(t) dt,$$

da cui, differenziando, si ottiene

$$I(t) = C \frac{dV_C(t)}{dt}.$$

Assumendo che, per il cortocircuito virtuale dell'operazionale, V_C coincida con il segnale d'ingresso V_{in} , l'intera corrente $I(t)$ scorre attraverso la resistenza R_1 . Pertanto, la caduta su R_1 è

$$V_{R_1} = R_1 I(t) = R_1 C \frac{dV_{\text{in}}(t)}{dt}.$$

Essendo il circuito configurato in maniera invertente, l'uscita risulta:

$$V_{\text{out}} = -V_{R_1} = -R_1 C \frac{dV_{\text{in}}(t)}{dt}.$$

Così, l'uscita rappresenta, a meno di una costante, la derivata del segnale d'ingresso.

Il circuito si comporta come un passa-alto: il guadagno in frequenza è dato da

$$A_v = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{R_1}{Z_C} = j\omega R_1 C,$$

quindi per $\omega = 0$ il guadagno è nullo, mentre per $\omega \rightarrow \infty$ tende all'infinito. Nel grafico della risposta in frequenza (Figura 1.12, parte a) il derivatore ideale mostra un guadagno che cresce linearmente con ω . In tale condizione, la frequenza di taglio si definisce come

$$\omega_h = \frac{1}{\tau} = \frac{1}{R_{\text{eq}} C}.$$

Nel derivatore ideale, tuttavia, la corrente non scorre in R_1 (per il cortocircuito virtuale), ottenendo $R_{\text{eq}} = \infty$ e quindi $\omega_h = 0$. Questo significa che tutte le componenti, incluse quelle indesiderate (come il rumore DC), vengono derivate, rischiando di saturare l'amplificatore.

Per ovviare a tale problema, è possibile limitare il guadagno alle alte frequenze introducendo una resistenza R_2 in serie (o in parallelo, a seconda della configurazione) al condensatore C . In questo modo, la resistenza equivalente vista dal condensatore diventa R_2 e la frequenza di taglio risulta:

$$\omega_h = \frac{1}{R_2 C},$$

un valore finito (come illustrato in Figura 1.13). Con questa modifica, le componenti di frequenza inferiori a ω_h vengono amplificate (o derivate) con un guadagno limitato, evitando problemi di saturazione.

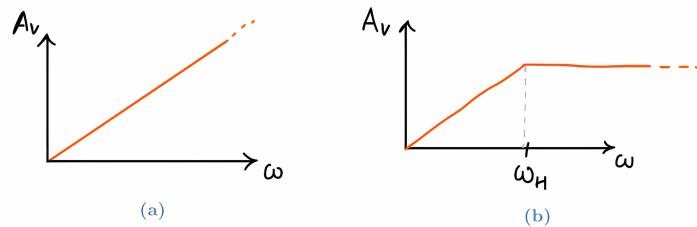


Figura 1.12: Diagrammi di Bode in frequenza del derivatore ideale (a) e reale (b).

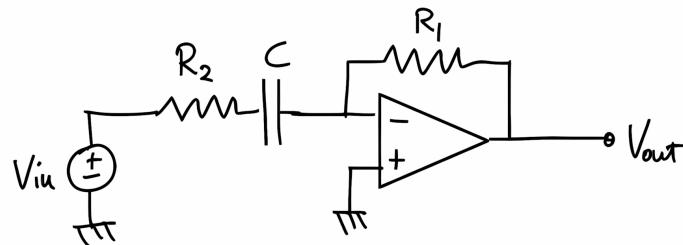


Figura 1.13: Circuito derivatore reale.

1.3.3 Sommatore pesato invertente

Un sommatore pesato (1.14) invertente utilizza un amplificatore operazionale in configurazione invertente per ottenere in uscita una tensione che è la somma pesata di n tensioni in ingresso. In questo circuito il terminale non invertente è collegato a massa (0 V) e, grazie al principio del cortocircuito virtuale, il morsetto invertente si trova anch'esso a 0 V. Tale condizione permette di considerare, per ciascun ingresso, la caduta ai capi del resistore d'ingresso come uguale alla tensione fornita dal generatore.

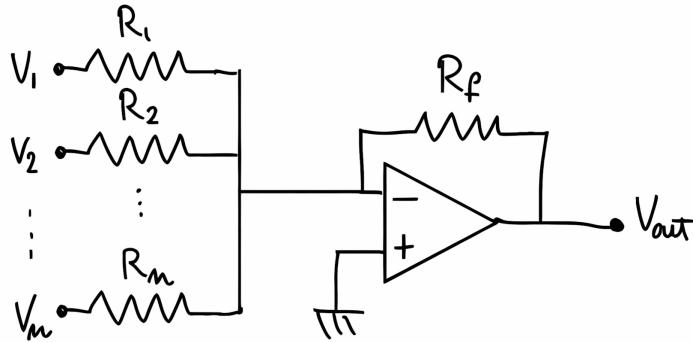


Figura 1.14: Circuito sommatore pesato.

Consideriamo il contributo di un generatore V_1 collegato tramite la resistenza R_1 al nodo invertente. Poiché il nodo si trova a 0 V, la differenza di potenziale ai capi di R_1 è semplicemente V_1 (cioè $V_1 - 0 = V_1$). Di conseguenza, la corrente I_1 che scorre da V_1 al nodo invertente è data da

$$I_1 = \frac{V_1}{R_1}.$$

Dato che l'amplificatore operazionale ha un'impedenza d'ingresso molto elevata e non assorbe corrente, la corrente I_1 non ha altre vie per fluire se non attraverso la resistenza di retroazione R_f . Quindi, la stessa corrente I_1 attraversa R_f , generando una caduta di tensione

$$V_{R_f} = I_1 R_f = \frac{R_f}{R_1} V_1.$$

Essendo il circuito configurato in maniera invertente, la tensione d'uscita dovuta al generatore V_1 risulta:

$$V_0(V_1 \neq 0) = -V_{R_f} = -\frac{R_f}{R_1} V_1.$$

Lo stesso ragionamento vale per ogni generatore di tensione collegato all'ingresso. Se, ad esempio, consideriamo un generatore V_2 con la relativa resistenza R_2 , si ottiene:

$$V_0(V_2 \neq 0) = -\frac{R_f}{R_2} V_2,$$

e in generale per l' i -esimo ingresso:

$$V_0(V_i \neq 0) = -\frac{R_f}{R_i} V_i.$$

Poiché il circuito è lineare, il principio di sovrapposizione degli effetti vale: si possono considerare i contributi di ciascun generatore separatamente, cortocircuitando gli altri

(ovvero, sostituendoli con un collegamento a massa). Sommando linearmente i contributi si ottiene l'espressione complessiva per l'uscita:

$$V_0 = -\frac{R_f}{R_1} V_1 - \frac{R_f}{R_2} V_2 - \cdots - \frac{R_f}{R_n} V_n = -\sum_{i=1}^n \frac{R_f}{R_i} V_i.$$

1.4 Specchi e Altri Circuiti Analogici

1.4.1 Specchio di corrente

Lo specchio di corrente permette di ottenere una corrente I a partire da una corrente di riferimento I_{ref} . Si realizza, ad esempio, utilizzando due NMOS Q_1 e Q_2 con il gate comune, dove il drain di Q_1 è collegato al gate. In questo modo Q_1 opera in saturazione (vedi nota a piè di pagina).

Assumendo $V_{G1} = V_{G2}$ (cioè $V_{GS1} = V_{GS2}$), se Q_2 è in saturazione si ha:

$$I = k_2(V_{GS} - V_t)^2,$$

mentre per Q_1 (in saturazione) è

$$I_{\text{ref}} = k_1(V_{GS} - V_t)^2.$$

Pertanto:

$$I = \frac{k_2}{k_1} I_{\text{ref}}.$$

Questo approccio è vantaggioso quando occorre generare diverse correnti I_1, \dots, I_n a partire da un'unica sorgente I_{ref} .

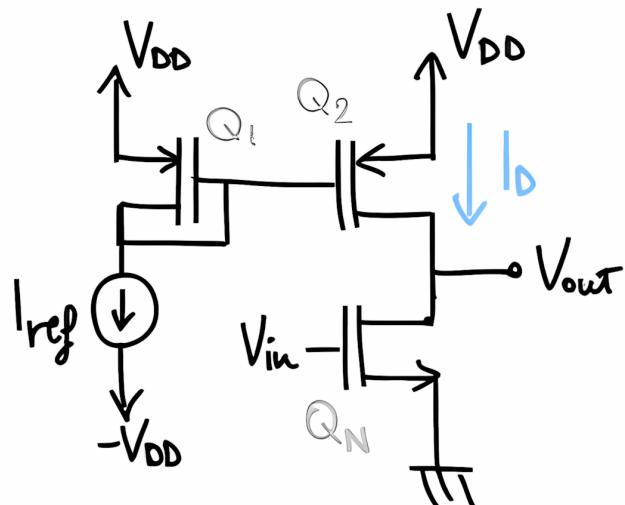


Figura 1.15: Struttura dello specchio di corrente con due NMOS.

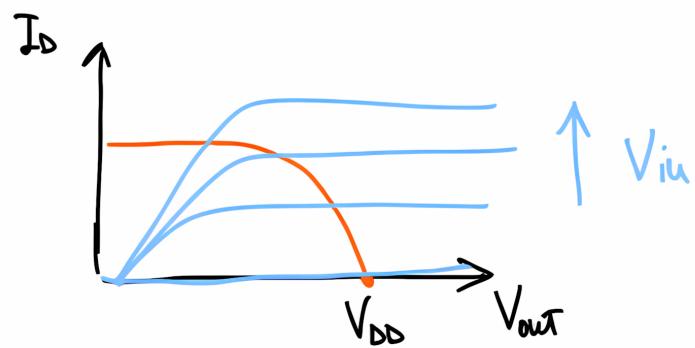


Figura 1.16: Transcaratteristica dello specchio di corrente.

1.4.2 Transistor MOS a svuotamento

Un transistor MOS a svuotamento ha una struttura simile a quella di un transistor MOS ad arricchimento, con la differenza che il canale che collega le isole di drain e source è presente anche in assenza di una tensione applicata al gate. In altre parole, il canale viene creato al momento della costruzione del dispositivo, formando una zona di tipo *n* (oppure di tipo *p*, a seconda del modello) tra le due isole; per questo motivo si dice che il transistor è *normalmente on*, poiché la corrente scorre sempre anche se non viene applicata alcuna tensione al gate.

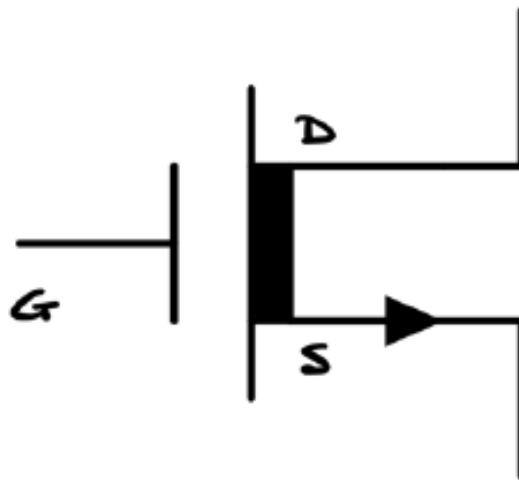


Figura 1.17: Simbolo circuitale di un transistor MOS a svuotamento.

Applicando una tensione sul gate si modificano le condizioni di scorrimento della corrente. Nel caso di un transistor NMOS, una tensione positiva sul gate aumenta il numero di cariche elettriche nel canale di tipo *n*, riducendo la resistenza e aumentando la corrente di drain. Al contrario, applicando una tensione negativa il campo elettrico allontana le cariche di tipo *n*, aumentando la resistenza e diminuendo la corrente di drain. Quando la tensione V_{GS} scende al di sotto di una certa soglia, si verifica un'inversione di tipo: il canale preesistente di tipo *n* diventa di tipo *p* a causa del campo elettrico che respinge le cariche negative e attira le lacune del substrato. Di conseguenza, la caratteristica I_D in funzione di V_{DS} non è nulla per $V_{GS} = 0$, ma diventa nulla se V_{GS} scende al di sotto della soglia; analogamente, la caratteristica I_D in funzione di V_{GS} assume la forma di una parabola (con un solo ramo) il cui vertice è spostato verso tensioni negative.

Il simbolo circuitale di un transistor MOS a svuotamento è mostrato in Figura 1.17 e evidenzia che il canale tra drain e source è preesistente.

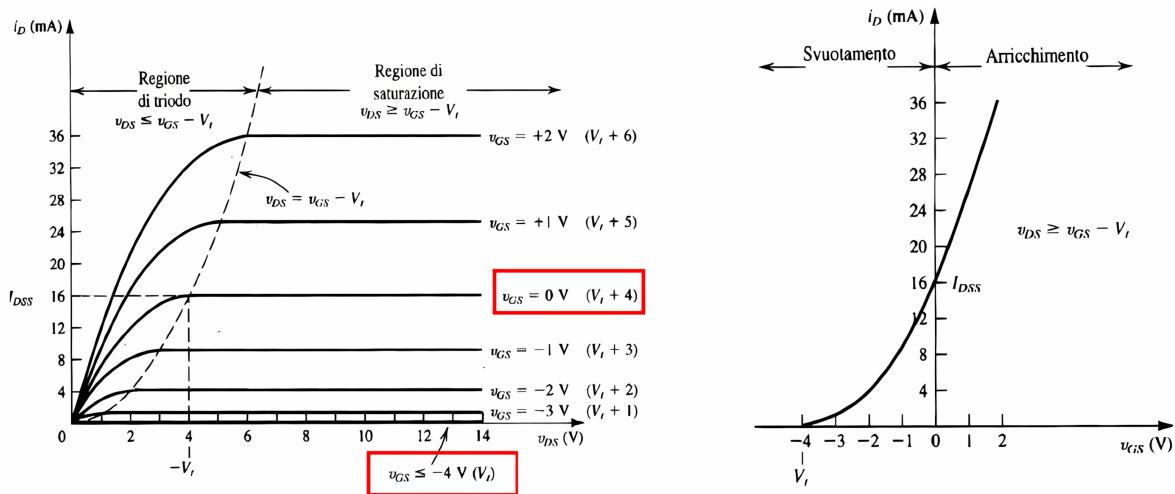


Figura 1.18: Transcaratteristica di un transistor MOS a svuotamento.

1.5 Amplificatori Differenziali e per Strumentazione

1.5.1 Funzionamento di un amplificatore differenziale

Un amplificatore differenziale amplifica la differenza tra due segnali V_1 e V_2 . In generale l'output può essere scritto come:

$$V_{\text{out}} = A_{\text{CM}} \left(\frac{V_1 + V_2}{2} \right) + A_D(V_2 - V_1),$$

mentre in un amplificatore idealmente differenziale $A_{\text{CM}} = 0$. La realizzazione del circuito è mostrata in Figura 1.19.

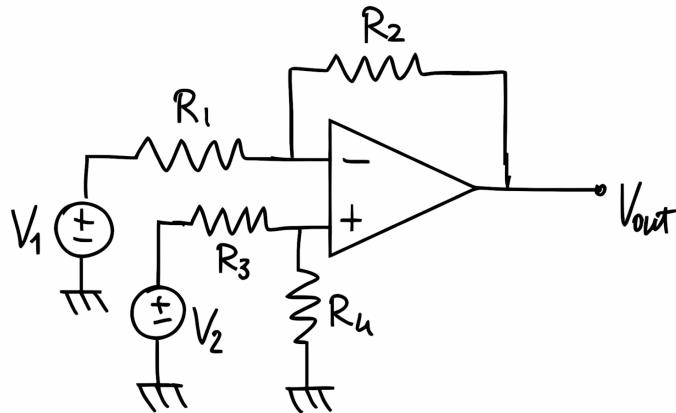


Figura 1.19: Circuito per la realizzazione di un amplificatore differenziale idealmente.

Applicando il principio di sovrapposizione, si ottiene:

$$V_{\text{out}} = -\frac{R_2}{R_1}V_1 + \left(1 + \frac{R_2}{R_1} \right) \frac{R_4}{R_3 + R_4} V_2.$$

L'idealità (cioè $V_1 = V_2 \implies V_{\text{out}} = 0$) richiede che il rapporto R_3/R_4 sia uguale a R_1/R_2 , e il guadagno risulta:

$$A_v = \frac{R_2}{R_1}(V_2 - V_1).$$

Per evitare problemi di impedenza agli ingressi, si possono disaccoppiare i generatori mediante buffer di tensione.

1.5.2 Amplificatore differenziale per strumentazione

Un amplificatore differenziale è impiegato per effettuare misurazioni precise in presenza di un forte segnale di modo comune, ad esempio quando si desidera misurare la differenza di luminosità tra il punto in cui è accesa una candela e un punto sullo sfondo. Poiché l'amplificatore differenziale annulla il segnale di modo comune (cioè, $A_{CM} \approx 0$), si ottiene una misura accurata della differenza dei due segnali.

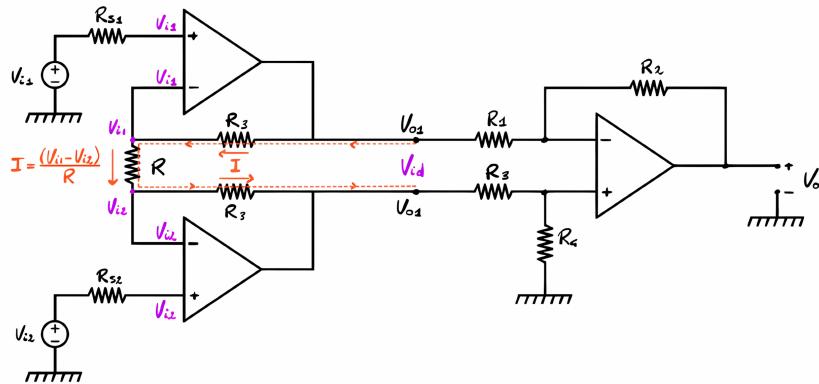


Figura 1.20: Schema del circuito per strumentazione: $R_1 = R_3$, $R_2 = R_4$ sono costanti, mentre la resistenza R regola il guadagno.

Per il principio del cortocircuito virtuale, il potenziale nei morsetti dei buffer assume i valori V_{1+} e V_{2+} rispettivamente. La differenza $V_{1+} - V_{2+}$ genera una corrente I che scorre attraverso la resistenza R :

$$I = \frac{V_{1+} - V_{2+}}{R}.$$

Poiché tale corrente non può entrare o uscire dai morsetti degli amplificatori operazionali, essa deve necessariamente percorrere anche le resistenze R_3 presenti nei rami di retroazione. Di conseguenza, la caduta complessiva sui rami è:

$$V_{ad} = IR_3 + IR = I(R + 2R_3),$$

ovvero, sostituendo I ,

$$V_{ad} = (V_{1+} - V_{2+}) \cdot \frac{R + 2R_3}{R}.$$

Infine, l'uscita dell'amplificatore differenziale, che opera in configurazione invertente, risulta:

$$V_o = -\frac{R_2}{R_1} \left(1 + \frac{2R_3}{R}\right) (V_{1+} - V_{2+}).$$

In questo modo, il guadagno del circuito dipende unicamente dal valore della resistenza R , che può essere regolata per ottenere il guadagno desiderato, mentre le coppie $R_1 = R_3$ e $R_2 = R_4$ rimangono fisse per preservare l'idealità del dispositivo.

1.6 Multivibratori e Forme d'Onda

1.6.1 Struttura e funzionamento di un multivibratore astabile con A.O. per forme d'onda triangolari

Consideriamo un multivibratore astabile realizzato con un amplificatore operazionale in configurazione a contoreazione positiva, il cui output iniziale è L^+ . Questo segnale alimenta un integratore (basato su A.O. con contoreazione negativa tramite condensatore, vedi Figura 1.21).

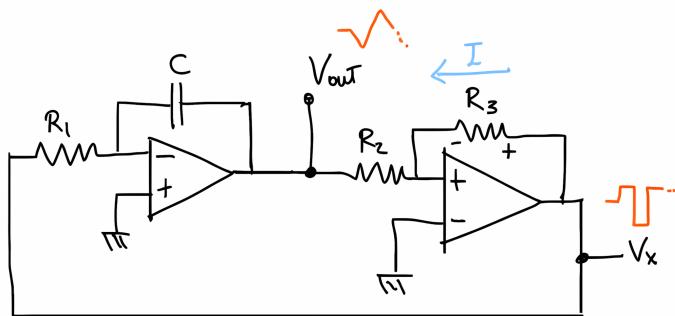


Figura 1.21: Generatore di onde triangolari: multivibratore astabile (a destra) e integratore (a sinistra).

Per l'integratore ideale, il cortocircuito virtuale determina una caduta L^+ su R_1 , che induce una corrente:

$$I = \frac{L^+}{R_1}.$$

Questa corrente carica il condensatore C , la cui tensione è:

$$V_C = \frac{1}{C} \int \frac{L^+}{R_1} dt = \frac{L^+}{R_1 C} t.$$

Pertanto, l'uscita dell'integratore è:

$$V_{\text{out}} = -V_C,$$

ossia decresce linearmente. Quando V_{out} raggiunge il valore di soglia V_{TL} (determinato dall'analisi del partitore di tensione nella rete astabile), l'output passa a L^- e il condensatore inizia a scaricarsi verso L^- , facendo variare V_{out} in senso opposto. L'alternanza tra L^+ e L^- genera onde quadre che, integrate, assumono forma triangolare.

1.6.2 Generatore d'onda quadra

Consideriamo il circuito in Figura 1.22, costituito da un multivibratore (A.O. con controreazione positiva) in cui il terminale negativo è collegato a massa tramite un condensatore C e a V_{out} tramite una resistenza R_3 .

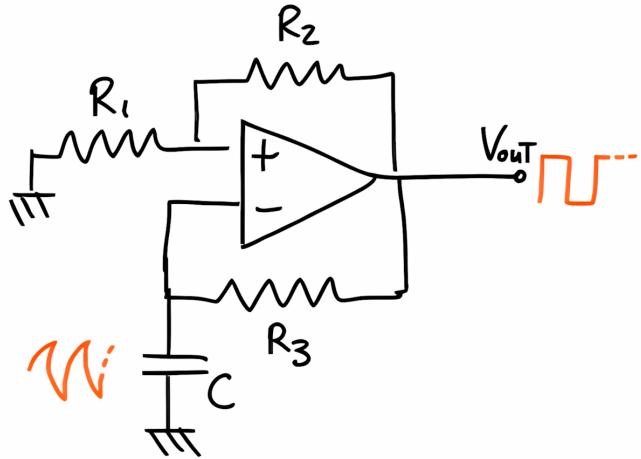


Figura 1.22: Circuito di un astabile generatore d'onda quadra.

Inizialmente, ponendo $V_{\text{out}} = L^+$, una corrente fluisce da V_{out} a massa passando per R_2 e R_1 , formando un partitore che definisce:

$$V^+ = \frac{R_1}{R_1 + R_2} V_{\text{out}} = \beta V_{\text{out}},$$

con $\beta = \frac{R_1}{R_1 + R_2}$. Il condensatore C si carica attraverso R_3 ; quando la tensione $V_C(t)$ raggiunge βL^+ (cioè quando $V^+ - V_C < 0$), l'A.O. cambia stato e l'output passa a L^- . Il ciclo si ripete, generando un'onda quadra di periodo T .

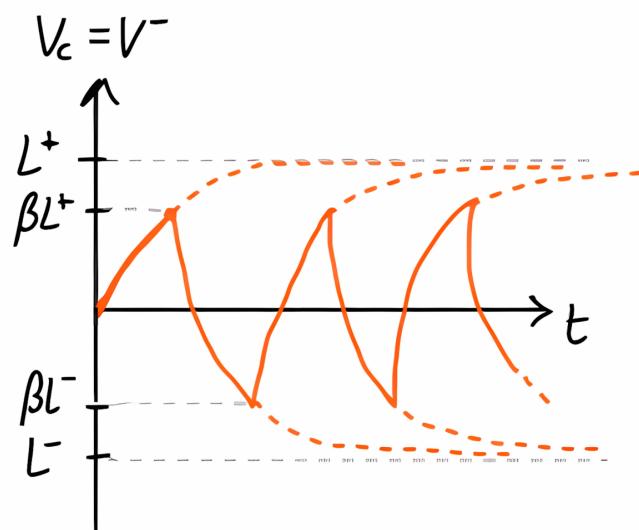


Figura 1.23: Andamento temporale della tensione ai capi del condensatore nel generatore d'onda quadra.

1.6.3 Trigger di Schmitt Invertente

Consideriamo lo schema in cui l'amplificatore operazionale è polarizzato mediante retroazione positiva, mentre il segnale d'ingresso viene applicato in configurazione invertente. La struttura circuitale essenziale è illustrata in Figura 1.24.

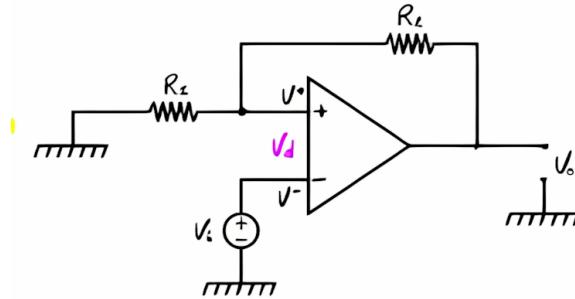


Figura 1.24: Schema di principio di un trigger di Schmitt invertente con op-amp.

Quando l'uscita dell'operazionale satura al livello positivo L^+ , il morsetto non invertente assume una tensione data da

$$V^+ = \beta L^+,$$

dove il coefficiente di divisione

$$\beta = \frac{R_1}{R_1 + R_2}$$

è determinato dal partitore formato dai resistori R_1 e R_2 . In questa condizione, il circuito rimane in saturazione positiva finché il segnale d'ingresso non scende sufficientemente da innescare la commutazione. Esiste dunque una soglia negativa V_{TH^-} che, una volta superata, fa passare l'uscita a L^- . Analogamente, quando l'uscita è in saturazione bassa (L^-), il morsetto non invertente assume:

$$V^+ = \beta L^-.$$

Il circuito rimane in tale stato fino a quando il segnale d'ingresso non raggiunge la soglia positiva V_{TH^+} , facendo commutare l'uscita a L^+ .

Si definiscono dunque le due soglie di commutazione come:

$$V_{TH^+} = \beta L^- \quad \text{e} \quad V_{TH^-} = \beta L^+.$$

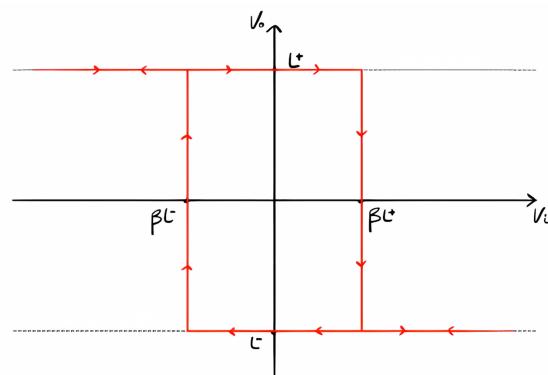


Figura 1.25: Funzione di trasferimento del trigger di Schmitt invertente (isteresi).

1.6.4 Trigger di Schmitt Non Invertente

Nel caso del trigger di Schmitt non invertente, il segnale d'ingresso viene applicato al morsetto non invertente dell'operazionale, mentre la retroazione positiva si ottiene collegando l'uscita al medesimo morsetto tramite un partitore di tensione. La configurazione circuitale essenziale è mostrata in Figura 1.26.

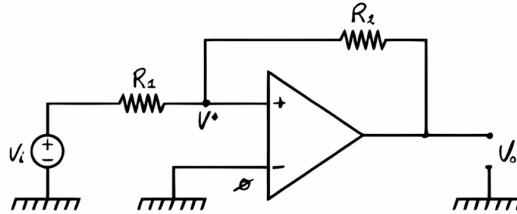


Figura 1.26: Schema di principio di un trigger di Schmitt non invertente con op-amp.

Il morsetto invertente viene generalmente mantenuto a un potenziale di riferimento (tipicamente 0 V). In questa configurazione, la tensione V^+ al morsetto non invertente, ottenuta per sovrapposizione della tensione d'ingresso V_{in} e della retroazione, è:

$$V^+ = \frac{R_1}{R_1 + R_2} V_{\text{out}} + \frac{R_2}{R_1 + R_2} V_{\text{in}}.$$

Quando $V^+ > 0$, l'uscita tende a saturare a L^+ ; viceversa, se $V^+ < 0$, l'uscita passa a L^- .

Soglie di commutazione

Utilizzando il partitore, si definiscono le soglie:

$$V_{\text{TH}^+} = \frac{R_1}{R_1 + R_2} L^+, \quad V_{\text{TH}^-} = \frac{R_1}{R_1 + R_2} L^-.$$

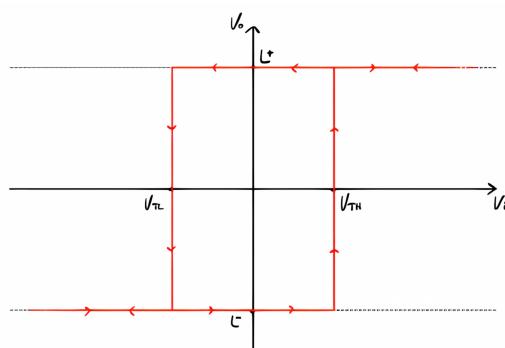


Figura 1.27: Funzione di trasferimento del trigger di Schmitt non invertente (isteresi).

Capitolo 2

Parte Digitale

2.1 Inverter CMOS e Margini di Rumore

2.1.1 Funzione di trasferimento di un inverter CMOS, definizione e metodologie di calcolo del margine di rumore (Solo scritto)

Consideriamo il circuito dell'inverter CMOS rappresentato in Figura 2.1.

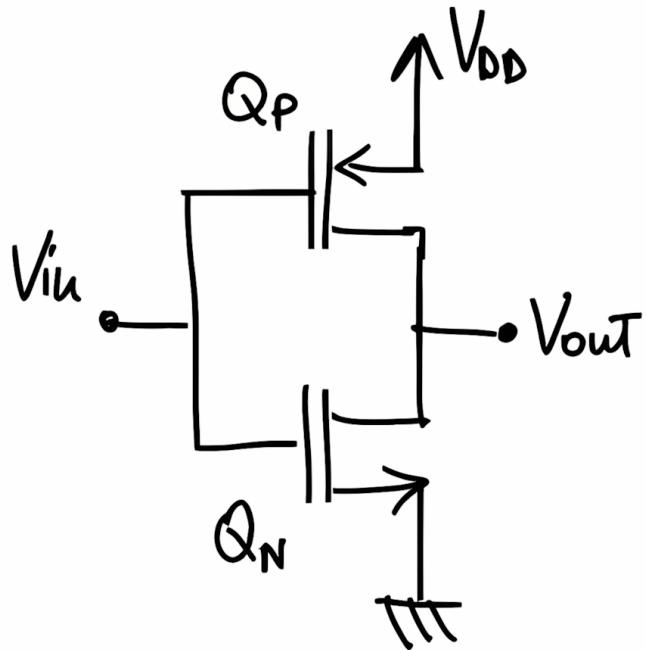


Figura 2.1: Inverter CMOS, composto da un transistor PMOS Q_P e un NMOS Q_N .

Ipotizzando una configurazione simmetrica rispetto a $V_{DD}/2$ (ovvero $k_P = k_N$), la funzione di trasferimento risulta come illustrata in Figura 2.2.

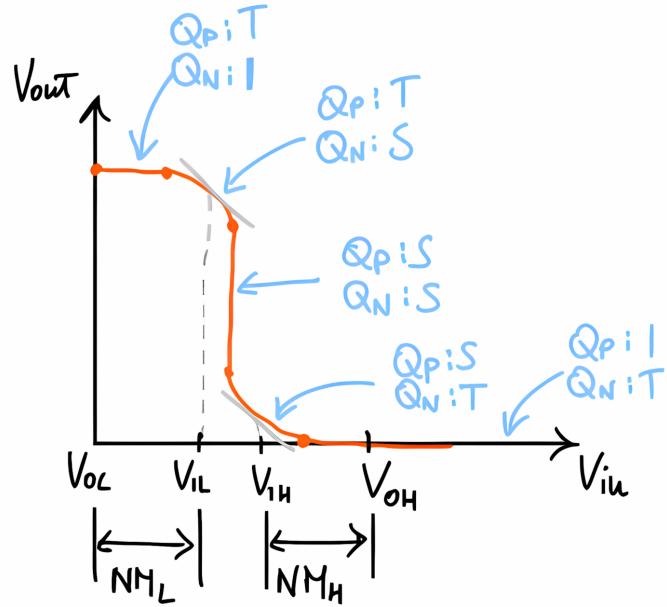


Figura 2.2: Funzione di trasferimento dell'inverter CMOS, simmetrica rispetto a $V_{DD}/2$. Le annotazioni indicano gli stati: ‘T’ = interdizione, ‘T’ = triodo, ‘S’ = saturazione.

Il **margine di rumore** è definito come la variazione massima ammissibile sul segnale d’ingresso, dovuta al rumore, senza che venga alterato l’output. Indichiamo con V_{OL} e V_{OH} le tensioni d’uscita per lo stato basso e alto, rispettivamente, e definiamo i valori di soglia V_{IL} e V_{IH} come i punti in cui:

$$\frac{dV_{out}}{dV_{in}} = -1.$$

I margini di rumore sono dunque:

$$NM_L = V_{IL} - V_{OL}, \quad NM_H = V_{OH} - V_{IH}.$$

2.1.2 Disegno del circuito di un inverter logico CMOS e analisi della potenza statica e dinamica

La potenza dissipata P si compone di potenza statica P_s e dinamica P_d :

$$P = P_s + P_d.$$

Nel regime statico, in uno stato logico (alto o basso) almeno un transistor è in interdizione, per cui non scorre corrente e $P_s = V_{DD} \cdot 0 = 0$.

Durante la commutazione, invece, le capacità parassite (modellate con un condensatore posto in uscita, vedi Figura 2.3) causano una dissipazione. Il lavoro svolto dal generatore nel passaggio da basso ad alto è:

$$W_{\text{gen}} = V_{DD} Q_c = C V_{DD}^2,$$

con $Q_c = CV_{DD}$. L'energia immagazzinata nel condensatore è:

$$E_c = \frac{1}{2} C V_{DD}^2.$$

Quindi, metà dell'energia è immagazzinata e metà dissipata (nel transistor Q_P). Durante il passaggio da alto a basso, l'energia immagazzinata viene completamente dissipata (nel transistor Q_N). In un ciclo completo (basso-alto-basso) l'energia totale usata è:

$$E_{\text{tot}} = C V_{DD}^2,$$

e, considerando una frequenza f , la potenza dinamica risulta:

$$P_d = f C V_{DD}^2.$$

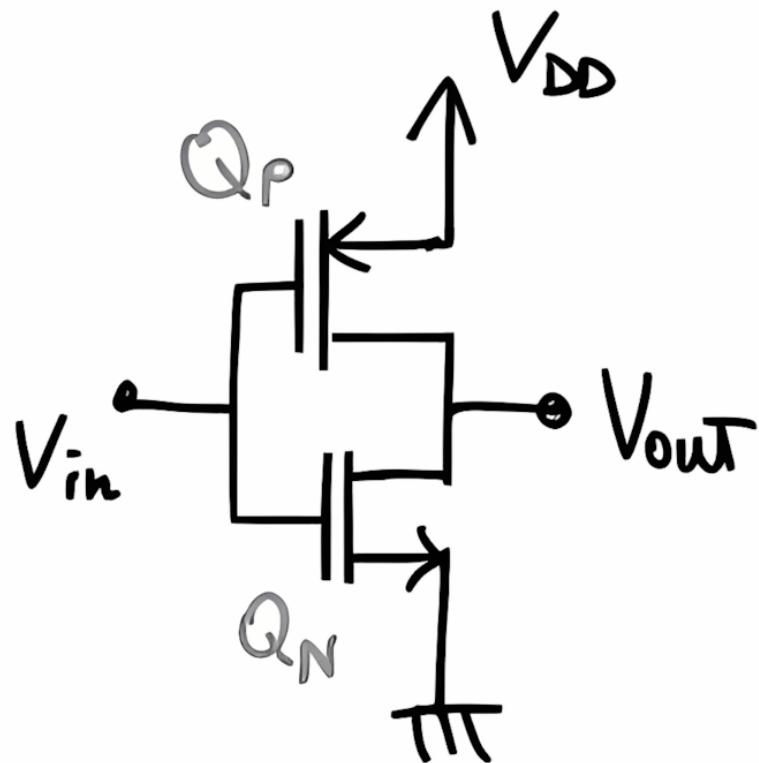


Figura 2.3: Struttura di un inverter CMOS.

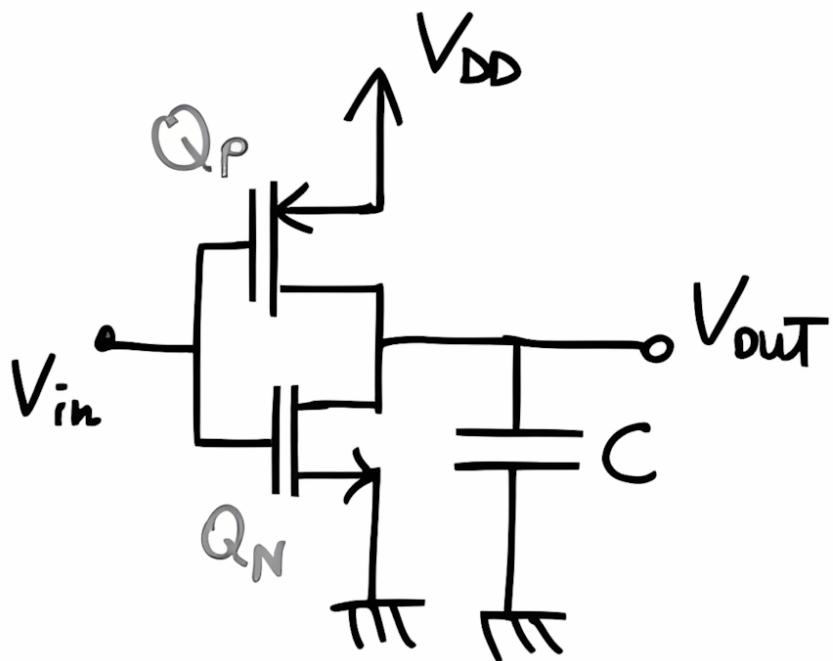


Figura 2.4: Struttura equivalente durante la commutazione.

2.1.3 Funzione di trasferimento ingresso-uscita di un inverter logico CMOS, punti significativi della transcaratteristica e condizioni di simmetria

La transcaratteristica dell'inverter CMOS è riportata in Figura 2.5.

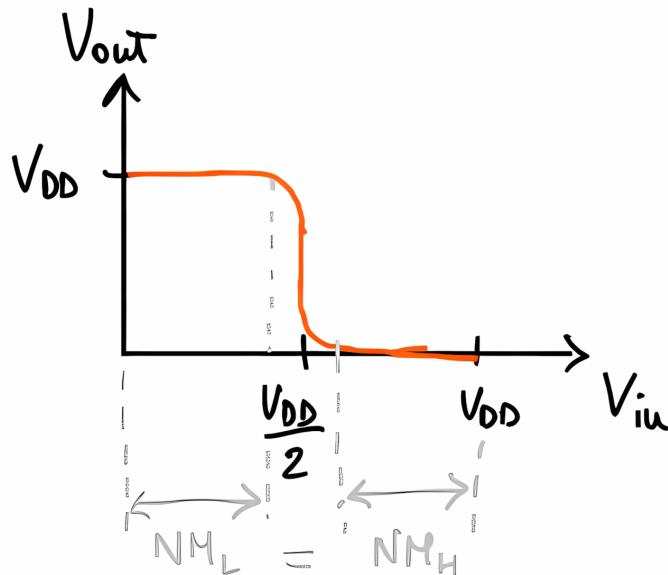


Figura 2.5: Transcaratteristica dell'inverter CMOS, simmetrica rispetto a $V_{DD}/2$.

I punti significativi corrispondono a:

- $V_{in} = 0$, in cui Q_N è in interdizione e Q_P in conduzione (vedi Figura 2.6a);
- $V_{in} = V_{DD}$, dove avviene l'opposto (Figura 2.6b);
- Il punto in cui entrambi i transistor sono in saturazione, per cui il guadagno (idealmente) è infinito. In condizioni di simmetria questo avviene per $V_{in} = V_{DD}/2$.

Affinché vi sia simmetria, entrambi i transistor devono essere in saturazione a $V_{in} = V_{DD}/2$. Nel CMOS:

$$V_{GS_N} = V_{in}, \quad V_{SG_P} = V_{DD} - V_{in}.$$

Considerando che in saturazione $I_N = k_N(V_{GS_N} - V_t)^2$ e $I_P = k_P(V_{SG_P} - V_t)^2$, e uguagliando le correnti (dato che $I_P = I_N$), si ottiene:

$$k_N(V_{in} - V_t)^2 = k_P(V_{DD} - V_{in} - V_t)^2.$$

Imponendo $V_{in} = V_{DD}/2$, si ha:

$$k_N \left(\frac{V_{DD}}{2} - V_t \right)^2 = k_P \left(\frac{V_{DD}}{2} - V_t \right)^2 \implies k_N = k_P.$$

Pertanto, per avere simmetria è necessario che:

$$\frac{1}{2} C_{ox} \mu_N \frac{W_N}{L_N} = \frac{1}{2} C_{ox} \mu_P \frac{W_P}{L_P} \implies \mu_N \frac{W_N}{L_N} = \mu_P \frac{W_P}{L_P}.$$

Sapendo che la mobilità degli elettroni μ_N è circa tre volte quella delle lacune μ_P , si ottiene:

$$\frac{W_P}{L_P} \approx 3 \frac{W_N}{L_N}.$$

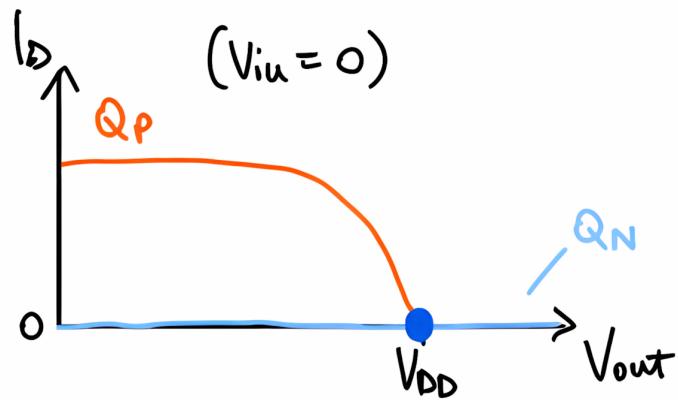
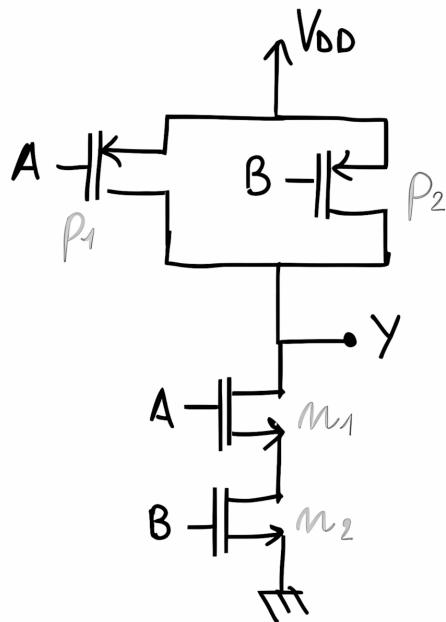


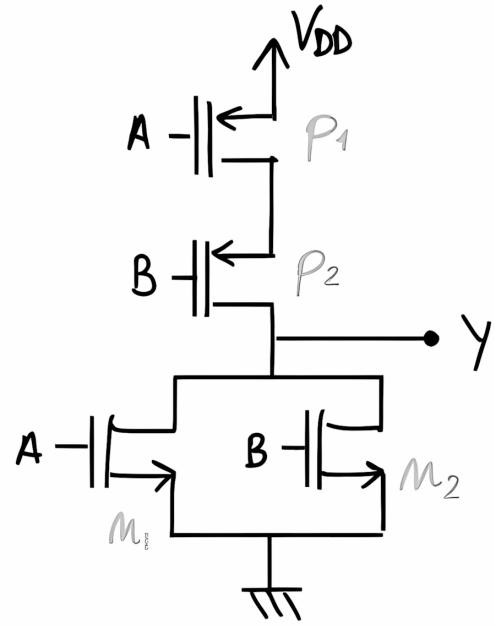
Figura 2.6: Curve V_{DSN} (azzurro) e $V_{DD} - V_{SDP}$ (arancione) in due condizioni: i punti di intersezione sull'asse orizzontale indicano V_{out} .

2.2 Logica e Porte CMOS

2.3 Struttura e funzionamento della NAND e NOR CMOS



(a) NAND CMOS



(b) NOR CMOS

Figura 2.7: Figura 30: (a) Schema del circuito NAND CMOS; (b) Schema del circuito NOR CMOS.

2.3.1 NAND CMOS

La rete logica NAND implementata con tecnologia CMOS è composta da due sezioni principali:

1. **Rete di pull-up:** Include due PMOS connessi in parallelo.
2. **Rete di pull-down:** Composta da due NMOS in serie.

Un vantaggio fondamentale dell'architettura CMOS è che, indipendentemente dalla combinazione logica degli ingressi A e B , non si verifica mai un collegamento diretto tra V_{DD} e massa. In questo modo si elimina la dissipazione di potenza statica, perché non c'è un percorso continuo per la corrente in condizioni statiche.

Funzionamento:

- Se almeno uno degli ingressi è basso, almeno uno dei PMOS risulta in conduzione, dato che in tali condizioni la tensione al loro terminale source-gate è $V_{SG} = V_{DD}$ (che supera la soglia V_t). Nel contempo, nella rete di pull-down, almeno uno degli NMOS è interdetto. Di conseguenza l'uscita viene portata a un livello alto, cioè $V_Y = V_{DD}$.

- Quando entrambi gli ingressi sono alti, entrambi i PMOS sono interdetti mentre i NMOS, collegati in serie, conducono. In questo caso, l'uscita viene collegata a massa, cioè $V_Y = 0$.

2.3.2 NOR CMOS

La struttura del NOR CMOS è sostanzialmente opposta a quella del NAND:

1. **Rete di pull-up:** Include due PMOS connessi in serie.
2. **Rete di pull-down:** Composta da due NMOS connessi in parallelo.

Funzionamento:

- Se entrambi gli ingressi sono bassi, entrambi i PMOS sono in conduzione (poiché $V_{SG} = V_{DD} > V_t$) e gli NMOS sono interdetti. In questo caso l'uscita è portata a un livello alto, cioè $V_Y = V_{DD}$.
- Se almeno uno degli ingressi è alto, almeno uno dei PMOS è interdetto, mentre nella rete di pull-down almeno uno degli NMOS conduce. Di conseguenza, l'uscita viene collegata a massa, ovvero $V_Y = 0$.

Figura 30

(a) *Circuito NAND CMOS:* La rete di pull-up è formata dai PMOS P_1 e P_2 in parallelo, mentre la rete di pull-down include gli NMOS M_1 e M_2 connessi in serie.

(b) *Circuito NOR CMOS:* La rete di pull-up è composta da P_1 e P_2 in serie, mentre la rete di pull-down è costituita da M_1 e M_2 in parallelo.

2.3.3 Porta NOR con tasso di occupazione d'area (Solo scritto)

2.4 Tempi di Ritardo

2.4.1 I tempi di ritardo alto-basso e basso-alto

Considerando un inverter logico, il tempo di ritardo è definito come l'intervallo tra il momento in cui l'ingresso v_{in} raggiunge il 50% del valore finale e quello in cui l'uscita raggiunge il 50% del relativo valore finale. Se l'uscita passa da alto a basso, il tempo è denominato *tempo di ritardo alto-basso* t_{PHL} , mentre se passa da basso ad alto si parla di *tempo di ritardo basso-alto* t_{PLH} . La media di questi due tempi definisce il tempo di propagazione:

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}.$$

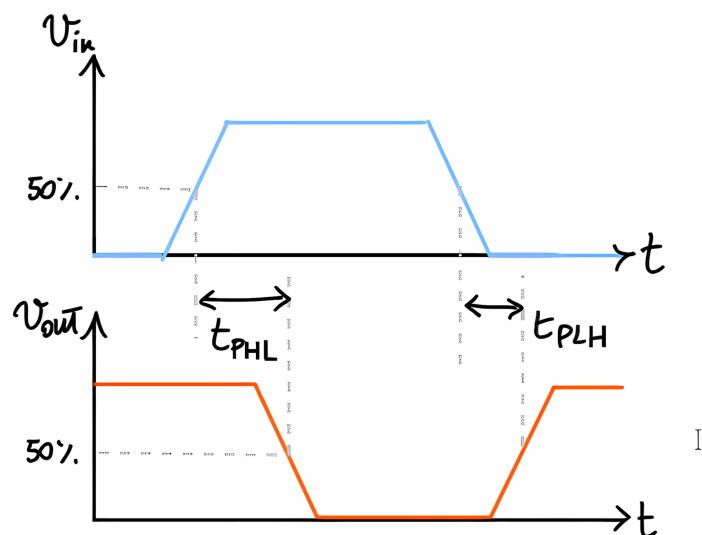


Figura 2.8: Diagramma dei tempi di ritardo: si considerano i tempi in uscita.

2.5 Altri Amplificatori e Argomenti Digitali

2.5.1 Inverter NMOS

Nella tecnologia NMOS il circuito è come mostrato in Figura 2.9. Per calcolare i margini di errore, occorre innanzitutto derivare analiticamente la funzione di trasferimento e poi calcolare la derivata, imponendola pari a -1 . Questa condizione identifica il punto centrale della zona di utilità del transistor come amplificatore, mentre le regioni a destra e a sinistra corrispondono ai margini di errore nei circuiti digitali.

Nel circuito, due transistor Q_1 e Q_2 sono collegati in serie, per cui, in analisi statica (dove il condensatore che modella le capacità parassite è considerato circuito aperto), si impone la condizione

$$I_{D1} = I_{D2}.$$

La corrente di drain di Q_1 , che opera in saturazione, è data da

$$I_{D1} = K_1 (V_{GS1} - V_{TN1})^2,$$

mentre la corrente di drain di Q_2 , operante in triodo, è espressa da

$$I_{D2} = K_2 \left[(V_{GS2} - V_{TN2}) V_{DS2} - V_{DS2}^2 \right].$$

Uguagliando le due correnti si ottiene l'equazione:

$$K_1 (V_{IN} - V_{TN1})^2 = K_2 \left[(0 - V_{IN})(V_{DD} - V_{OUT}) - (V_{DD} - V_{OUT})^2 \right].$$

Questa equazione rappresenta la funzione di trasferimento $V_{OUT} = f(V_{IN})$. Calcolando la derivata di $f(V_{IN})$ e imponendola pari a -1 ,

$$\frac{dV_{OUT}}{dV_{IN}} = -1,$$

si individuano i due punti che delimitano la zona in cui il transistor opera come amplificatore, ovvero la zona di non determinazione nei circuiti digitali, mentre ai lati di questa zona si trovano i margini di errore.

Un ulteriore problema della tecnologia NMOS riguarda la potenza dissipata. Quando l'ingresso è basso e l'uscita alta, Q_1 è interdetto e Q_2 opera in triodo, per cui la corrente I_D è nulla e la potenza statica è

$$P_s = V_{DD} \cdot I_D = 0.$$

Quando, invece, l'ingresso è alto e l'uscita bassa, Q_1 opera in triodo e Q_2 in saturazione, generando una corrente

$$I_D = K_2 (V_{GS2} - V_{TN2})^2 \approx K_2 V_{DD}^2.$$

In questo caso la potenza statica dissipata risulta:

$$P_s = V_{DD} K_2 V_{DD}^2 = K_2 V_{DD}^3.$$

Considerando che il circuito trascorre metà del tempo in uno stato e metà nell'altro, la potenza statica media è:

$$P_{\text{statica}} = \frac{1}{2} K_2 V_{DD}^3.$$

Infine, la potenza dinamica dovuta alla scarica del condensatore parassita è data da:

$$P_{\text{dinamica}} = f C V^2.$$

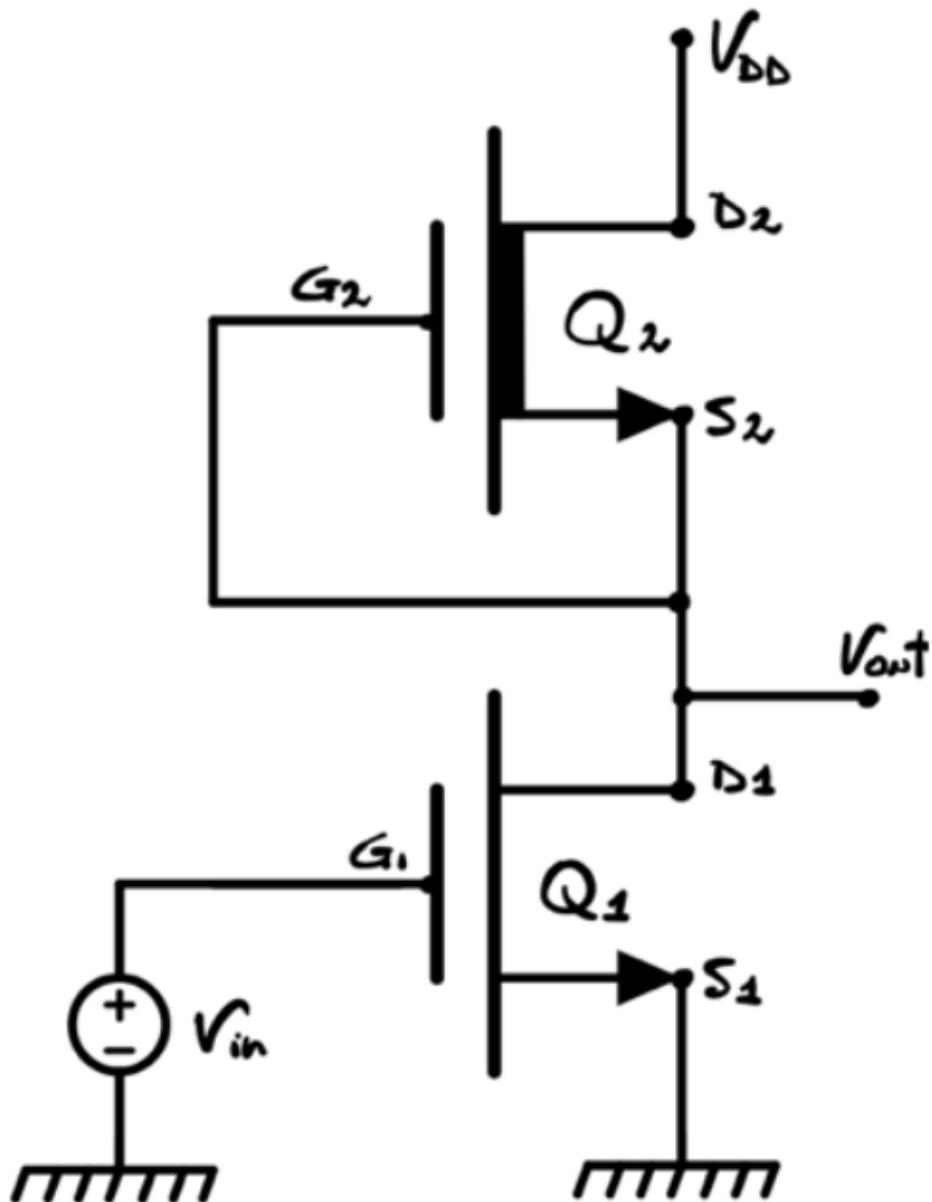


Figura 2.9: Inverter in tecnologia NMOS.