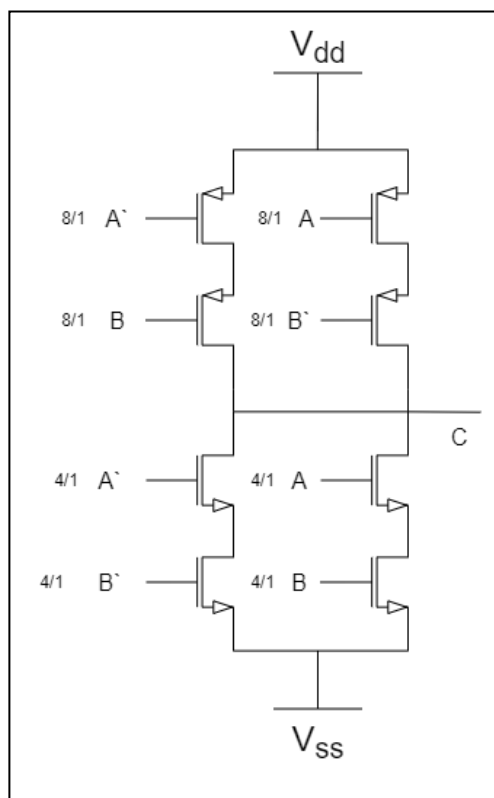


## گزارش پروژه مدار الکترونیکی

علی مهرورز

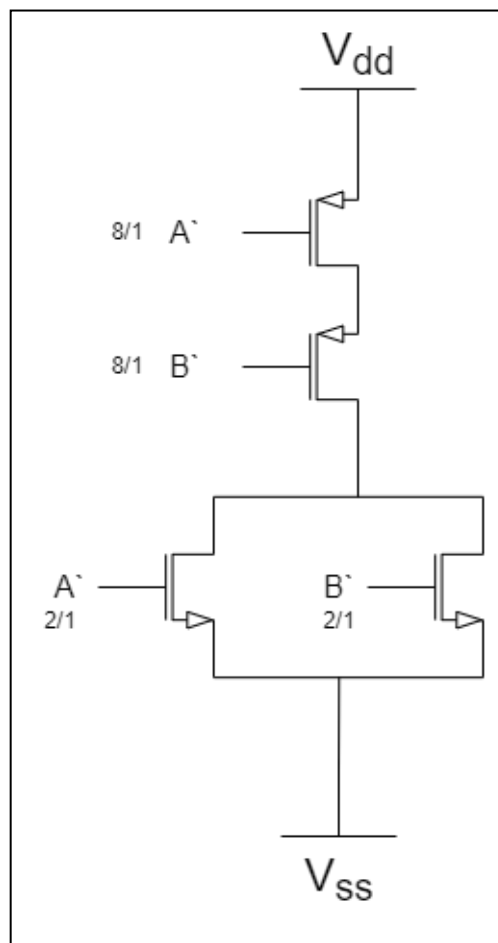
ابتدا، گیت های مورد نیاز در Full adder، یعنی And، Or، Xor را با منطق CMOS طراحی کرده و اندازه های ترانزیستور ها را تعیین می کنیم.

گیت Xor:



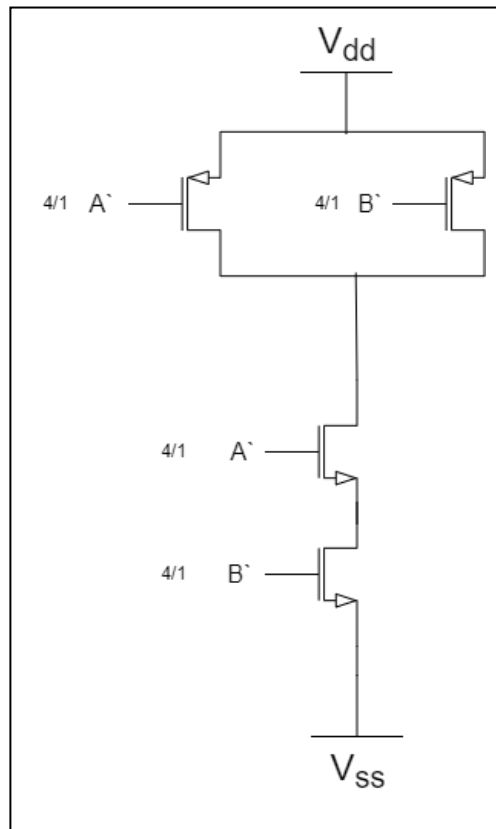
بنابراین، اندازه ترانزیستور های NMOS را  $\left(\frac{W}{L}\right) = \frac{0.72u}{0.18u}$  و اندازه ترانزیستور های PMOS را  $\left(\frac{W}{L}\right) = \frac{1.44u}{0.18u}$  در نظر می گیریم.

گیت And:



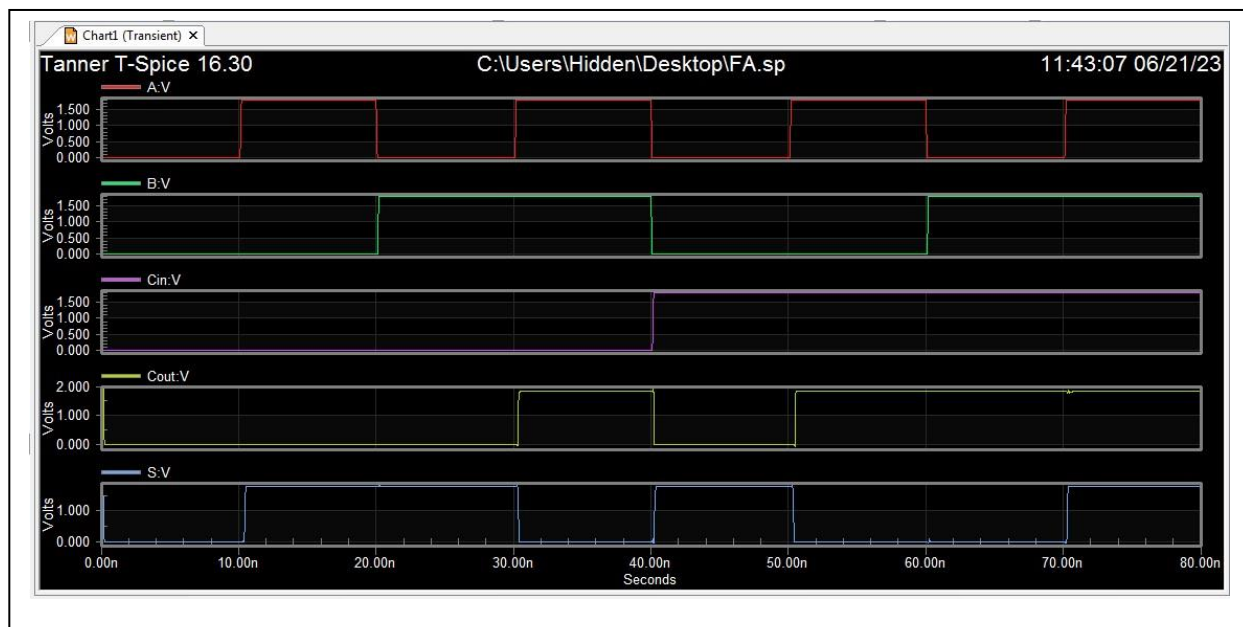
اندازه ترانزیستورهای NMOS را  $\left(\frac{W}{L}\right) = \frac{0.36u}{0.18u}$  و اندازه ترانزیستورهای PMOS را  $\left(\frac{W}{L}\right) = \frac{1.44u}{0.18u}$  در نظر می گیریم.

گیت Or:



اندازه ترانزیستورهای NMOS و PMOS را  $\left(\frac{W}{L}\right) = \frac{0.72u}{0.18u}$  در نظر می گیریم.

خروجی مدار با اعمال ورودی های تعیین شده در صورت پروژه:



کد مربوط به اندازه گیری تاخیر های خروجی S:

```
.MEAS TRAN rise_time TRIG V(S) VAL='0.1*1.8' RISE=1 TARG V(S) VAL='0.9*1.8' RISE=1
.PRINT TRAN rise_time

.MEAS TRAN fall_time TRIG V(S) VAL='0.9*1.8' FALL=1 TARG V(S) VAL='0.1*1.8' FALL=1
.PRINT TRAN fall_time

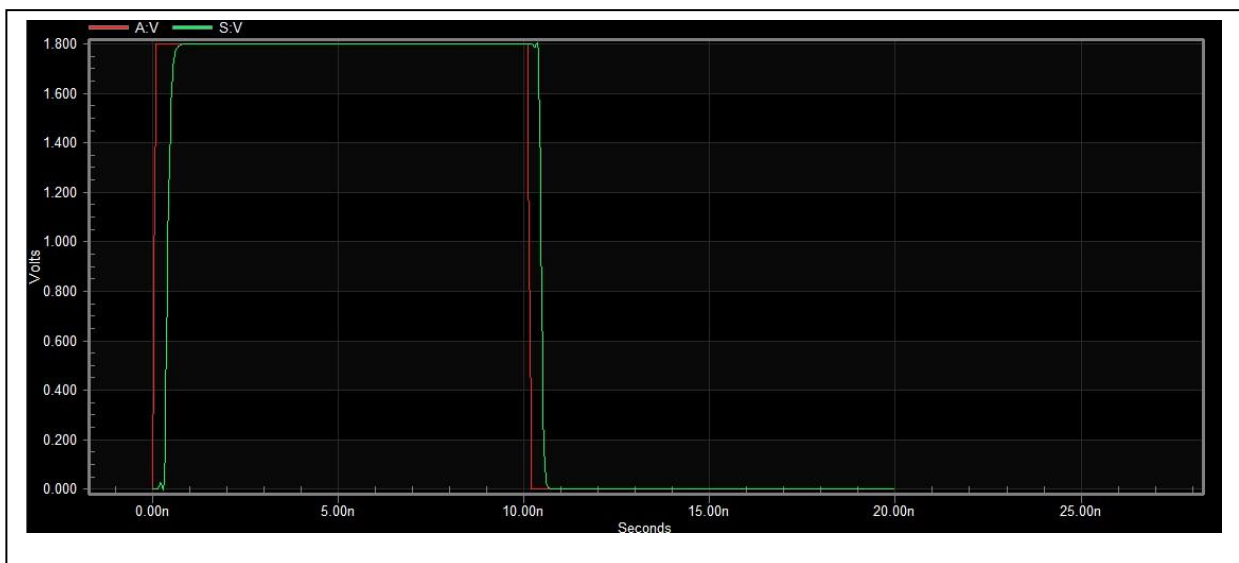
.MEAS TRAN plh TRIG V(A) VAL='0.5*1.8' RISE=1 TARG V(S) VAL='0.5*1.8' RISE=1
.PRINT TRAN plh

.MEAS TRAN phl TRIG V(A) VAL='0.5*1.8' FALL=1 TARG V(S) VAL='0.5*1.8' FALL=1
.PRINT TRAN phl
```

خروجی:

```
Measurement result summary
  rise_time      = 180.5065p
  fall_time      = 134.1557p
  plh            = 358.9417p
  phl            = 325.0847p
```

$$T_p = \frac{T_{plh} + T_{phl}}{2} = \frac{358.9417 + 325.0847}{2} = 342.0132ps$$



کد مربوط به اندازه گیری تاخیر های خروجی Cout:

```
.MEAS TRAN rise_time TRIG V(Cout) VAL='0.1*1.8' RISE=1 TARG V(Cout) VAL='0.9*1.8' RISE=1
.PRINT TRAN rise_time

.MEAS TRAN fall_time TRIG V(Cout) VAL='0.9*1.8' FALL=1 TARG V(Cout) VAL='0.1*1.8' FALL=1
.PRINT TRAN fall_time

.MEAS TRAN plh TRIG V(A) VAL='0.5*1.8' RISE=1 TARG V(Cout) VAL='0.5*1.8' RISE=1
.PRINT TRAN plh

.MEAS TRAN phl TRIG V(A) VAL='0.5*1.8' FALL=1 TARG V(Cout) VAL='0.5*1.8' FALL=1
.PRINT TRAN phl

.MEAS TRAN plh2 TRIG V(B) VAL='0.5*1.8' RISE=1 TARG V(Cout) VAL='0.5*1.8' RISE=1
.PRINT TRAN plh2

.MEAS TRAN phl2 TRIG V(B) VAL='0.5*1.8' FALL=1 TARG V(Cout) VAL='0.5*1.8' FALL=1
.PRINT TRAN phl2
```

خروجی:

```
Measurement result summary
rise_time      = 146.4054p
fall_time      = 90.1510p
plh            = 241.2950p
phl            = 192.8444p
plh2           = 241.2950p
phl2           = 192.8444p
```

$$T_p = \frac{T_{plh} + T_{phl}}{2} = \frac{241.2950 + 192.8444}{2} = 217.0697$$



CMOS تنها زمانی نیرو یا انرژی مصرف می کند که مقادیر منطقی (یا ولتاژها) بین سطوح منطقی 1 و 0 تغییر کنند. این انرژی برای شارژ/دشارژ خازن های موجود در مدار استفاده می شود. مانند درس در اصل باید توان مصرفی صرفا با یک حدس و با استفاده از فرمول  $\alpha C_{load} V_{dd}^2$  محاسبه شود، چون اینکه تمام جمع کننده ما چقدر توان مصرفی داشته باشد، بستگی به ورودی دارد. حال ما برای محاسبه توان مصرفی با استفاده از دستور های measurement که در پروژه خواسته شده، یک دور تمام حالات ورودی را به مدار می دهیم و سپس با استفاده از دستور measure، شارژ ضریدر ولتاژ، یعنی انرژی مصرفی را ضریدر فرکانس می کنیم تا توان مصرفی به دست آید.

```

Opening simulation database

.MEAS TRAN charge INTEG I(Vdd) FROM=0ns TO=80ns
.MEAS TRAN power param='-charge * 1.8 * 12500000'
.PRINT TRAN power

Measure information will be writ

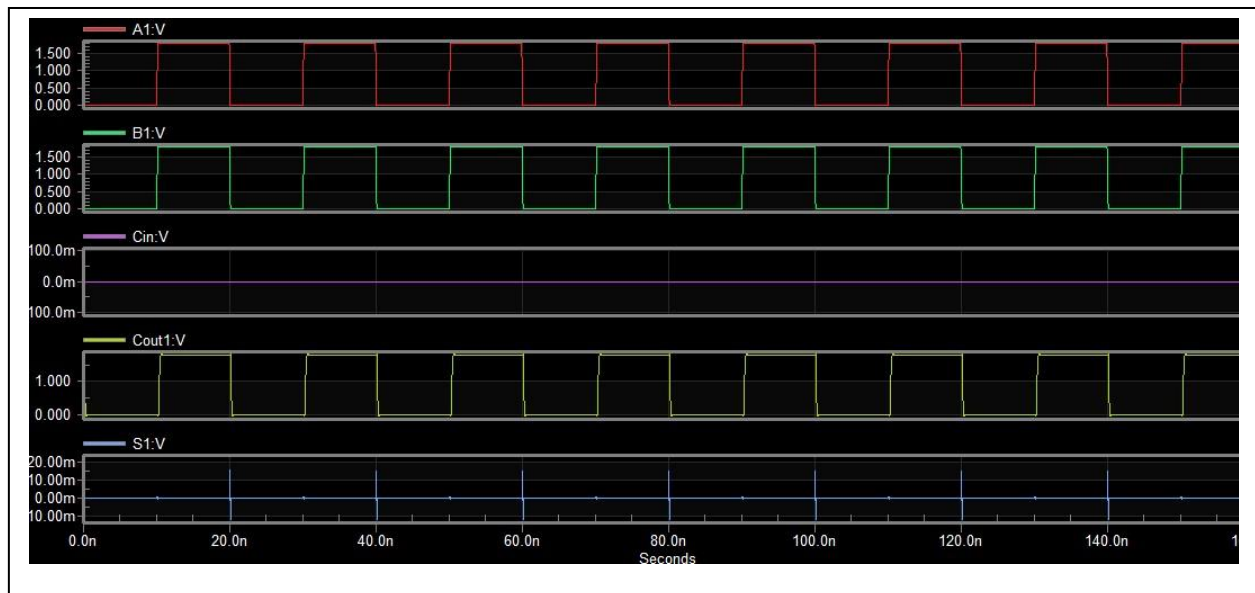
Measurement result summary
charge          = -604.7523f
power           = 13.6069u

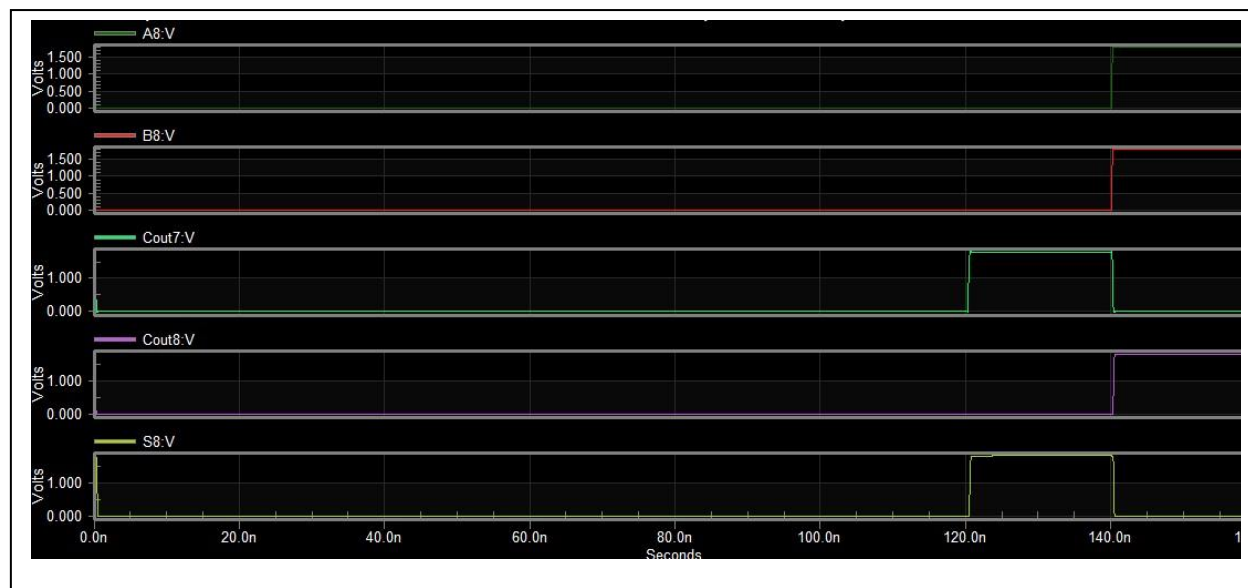
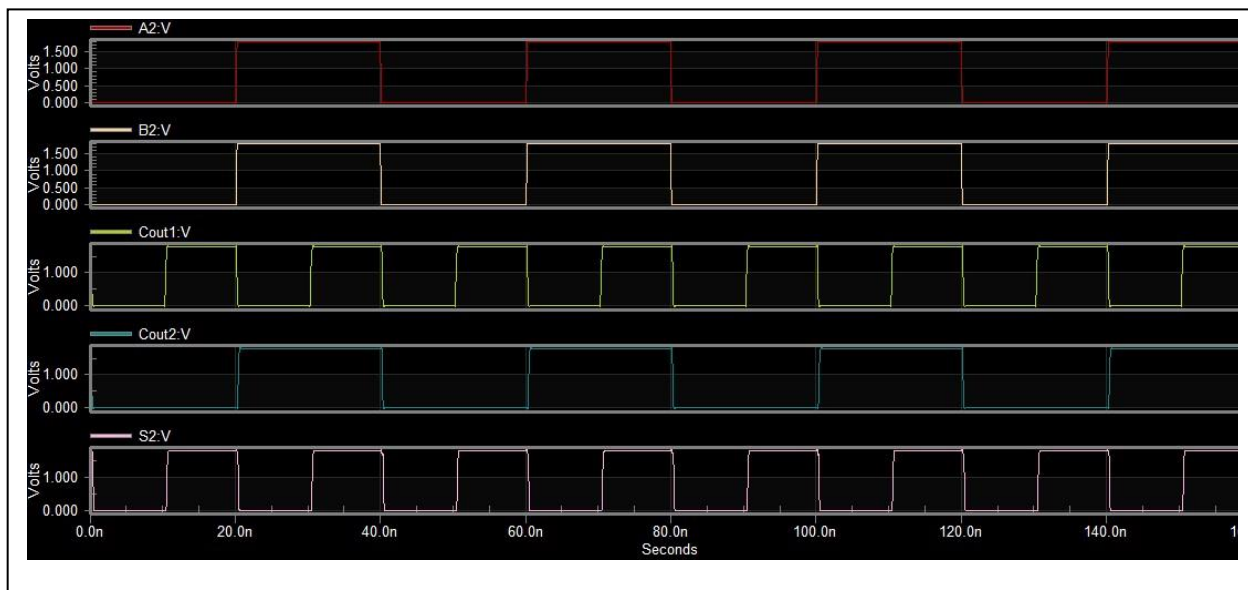
```

2. برای درست کردن تمام جمع کننده 8 بیتی، نیاز است هشت instance از fulladder درست کنیم:

```
.subckt FULLADDER A B Cin S Cout Vdd
...
X1 A1 B1 Cin S1 Cout1 Vdd FULLADDER
X2 A2 B2 Cout1 S2 Cout2 Vdd FULLADDER
X3 A3 B3 Cout2 S3 Cout3 Vdd FULLADDER
X4 A4 B4 Cout3 S4 Cout4 Vdd FULLADDER
X5 A5 B5 Cout4 S5 Cout5 Vdd FULLADDER
X6 A6 B6 Cout5 S6 Cout6 Vdd FULLADDER
X7 A7 B7 Cout6 S7 Cout7 Vdd FULLADDER
X8 A8 B8 Cout7 S8 Cout8 Vdd FULLADDER
```

الف) با بررسی ورودی و خروجی برای چند بیت، صحت عملکرد مدار را بررسی می کنیم:







مسیر بحرانی در این مدار، مسیر Carry ها از ابتدا تا انتهاست. البته برای آخرین Fulladder، باید بررسی کنیم که Cout بیشتر تاخیر دارد یا S ( که با توجه به تاخیر بیشتر S در قسمت 1، می توان حدس زد که مسیر بحرانی آن باشد. )

استفاده از مسیر Cout برای آخرین Fulladder:

```
Measurement result summary
rise_time      = 129.0784p
fall_time      = 90.6466p
plh            = 2.0994n
phl            = 397.6880p
```

$$T_p = \frac{T_{plh} + T_{phl}}{2} = \frac{2099.4 + 397.6880}{2} = 1248.544$$

استفاده از مسیر S برای آخرین Fulladder:

```
Measurement result summary
rise_time      = 183.7154p
fall_time      = 135.1937p
plh            = 2.0392n
phl            = 584.1148p
```

$$T_p = \frac{T_{plh} + T_{phl}}{2} = \frac{2039.2 + 584.1148}{2} = 1311.6574$$

همانطور که مشخص است، مسیر بحرانی دنباله Carry ها و در آخر S در Fulladder آخر است.