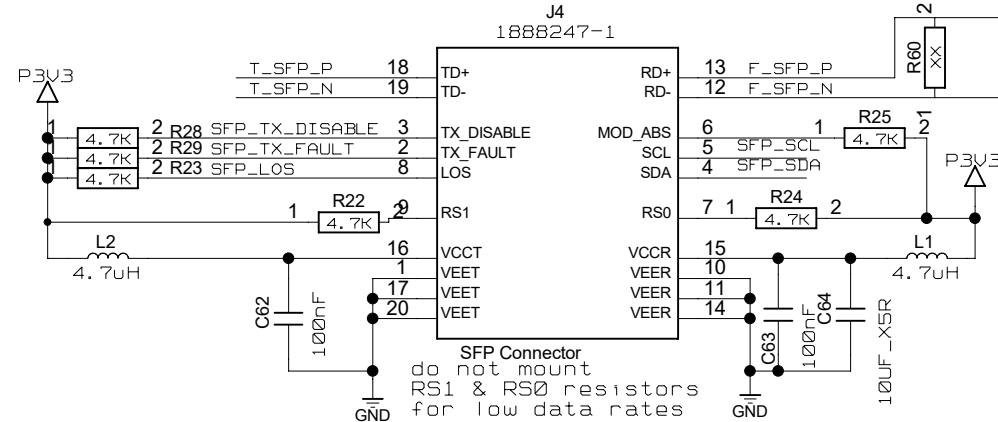
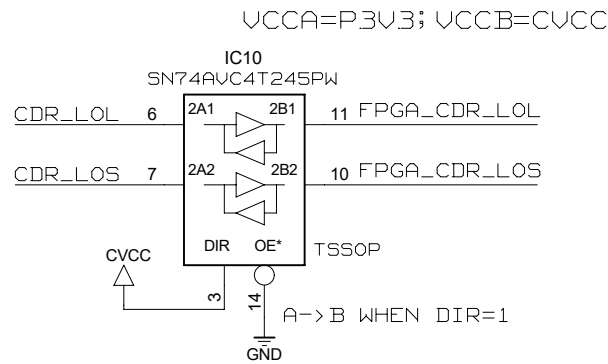


SFP I2C ADDRESSES:
1010000 AND
1010001

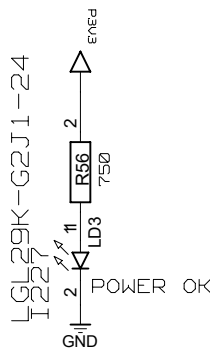
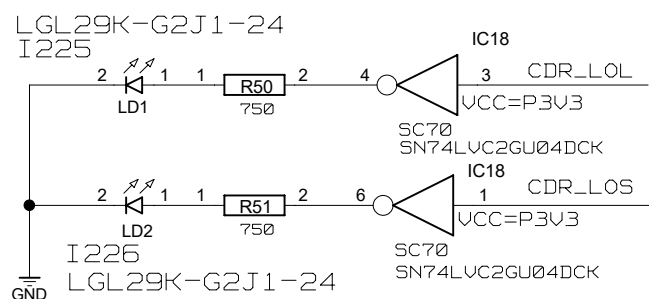
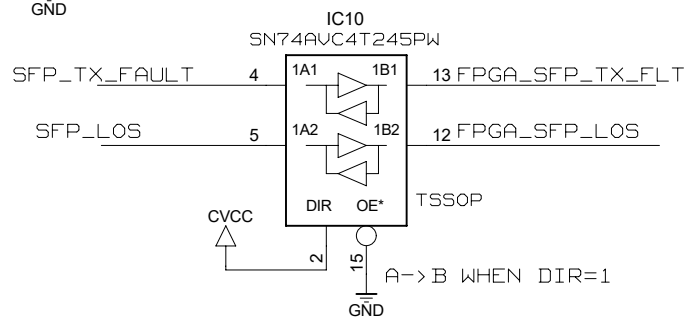


SFP Connector
do not mount
RS1 & RS0 resistors
for low data rates



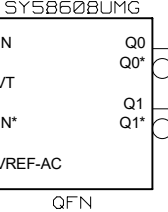
VCCA=P3V3; VCCB=CVCC

VCCA=P3V3; VCCB=CVCC



VCC=P3V3

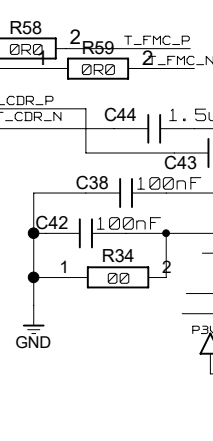
IC13 SY5860BUMG



CLOCK AND DATA RECOVERY (CDR)

CDR I2C ADDRESS:
1100000 (SADDRS=1)

SHOULD BE ABLE TO DC COUPLE
ADN2814 OUTPUTS.
ADD ZERO-OHM LINKS IN CASE NOT.....



IC12 ADN2814ACPZ

SLICEP SLICEN

DATAOUTP DATAOUTN

CLKOUTP CLKOUTN

SQUELCH

THRADJ LOS

LOL

CF1 CF2

REFCLKP REFCLKN

PAD

VEE=GND; VCC=P3V3

LFCSP

IN_P 5

IN 1

Q0 12

Q1 11

Q1* 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

Q1* 9

Q0 12

Q0* 11

Q1 10

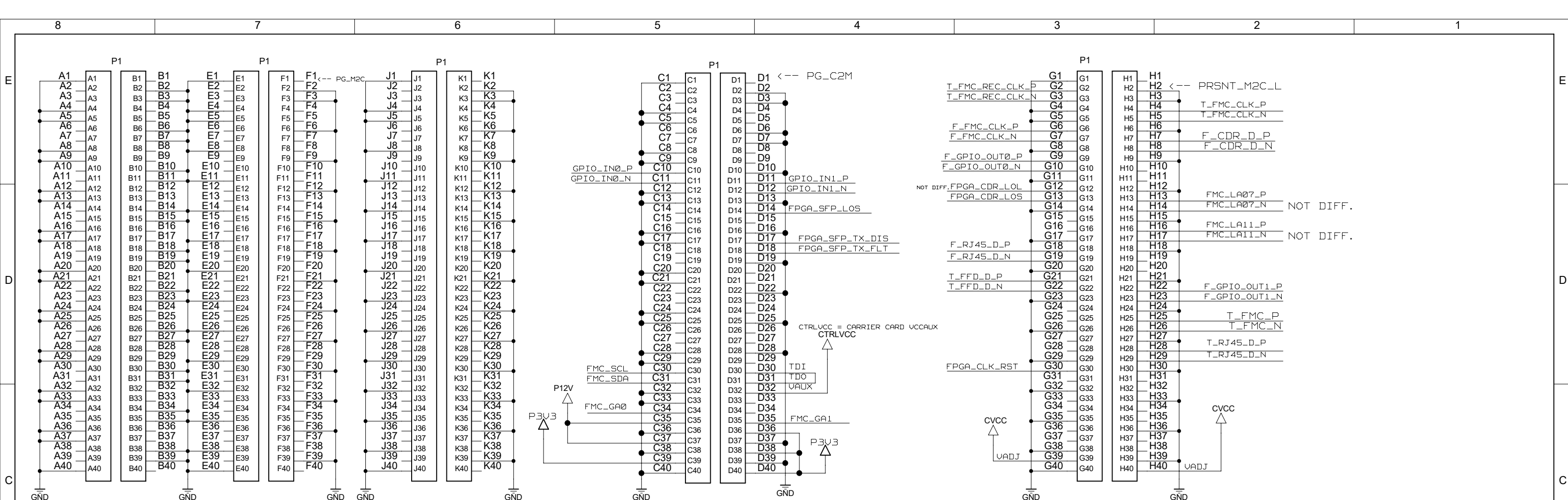
Q1* 9

Q0 12

Q0* 11

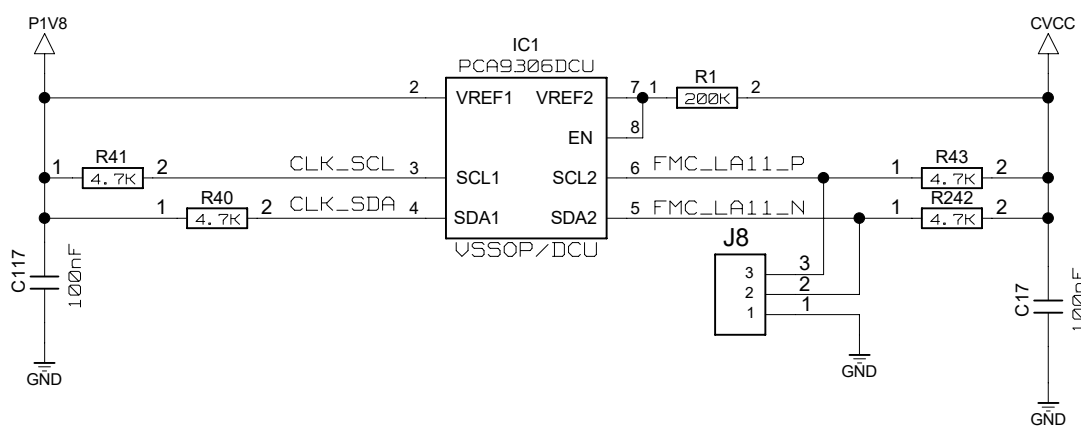
Q1 10

Q1* 9

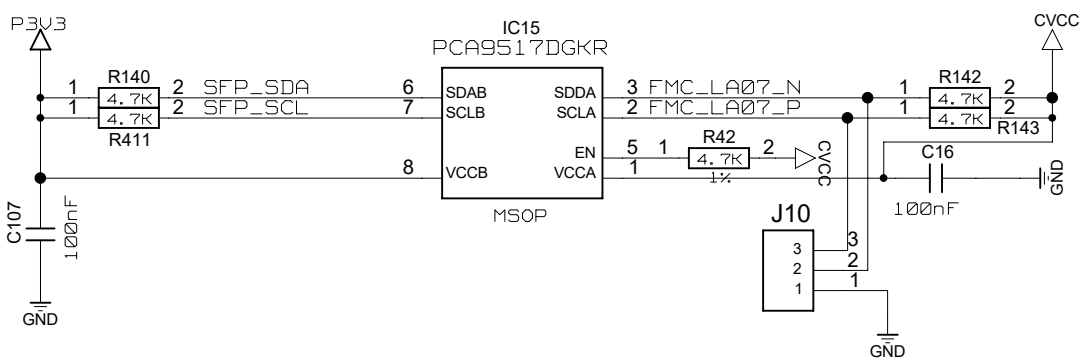


FOR P1 USE SAMTEC MC-LPC-10 OR MC-HPC-10

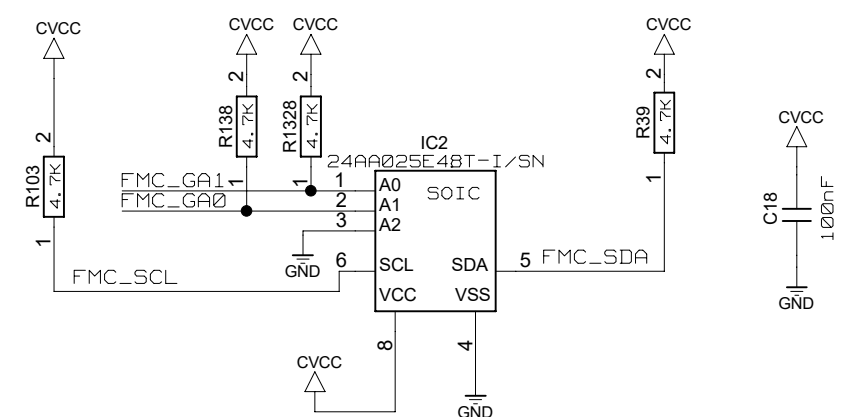
WHEN USING PCA9306, CVCC MUST BE AT LEAST $1.8V + 0.6V = 2.4V$



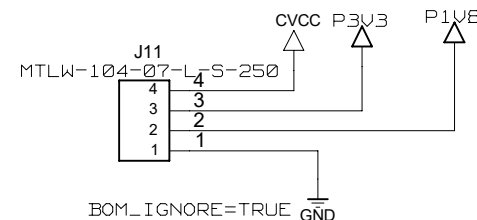
USE TCA9517DGK INSTEAD
EN PIN INTERNALLY PULLED-UP



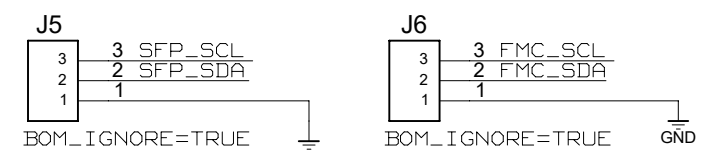
EEPROM WITH UNIQUE ID



TEST POINTS FOR
POWER RAILS



TEST POINTS FOR
I2C SIGNALS



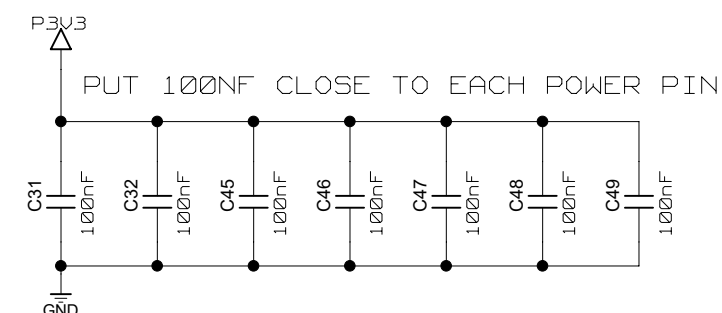
PROJECT:

pc053e_top level

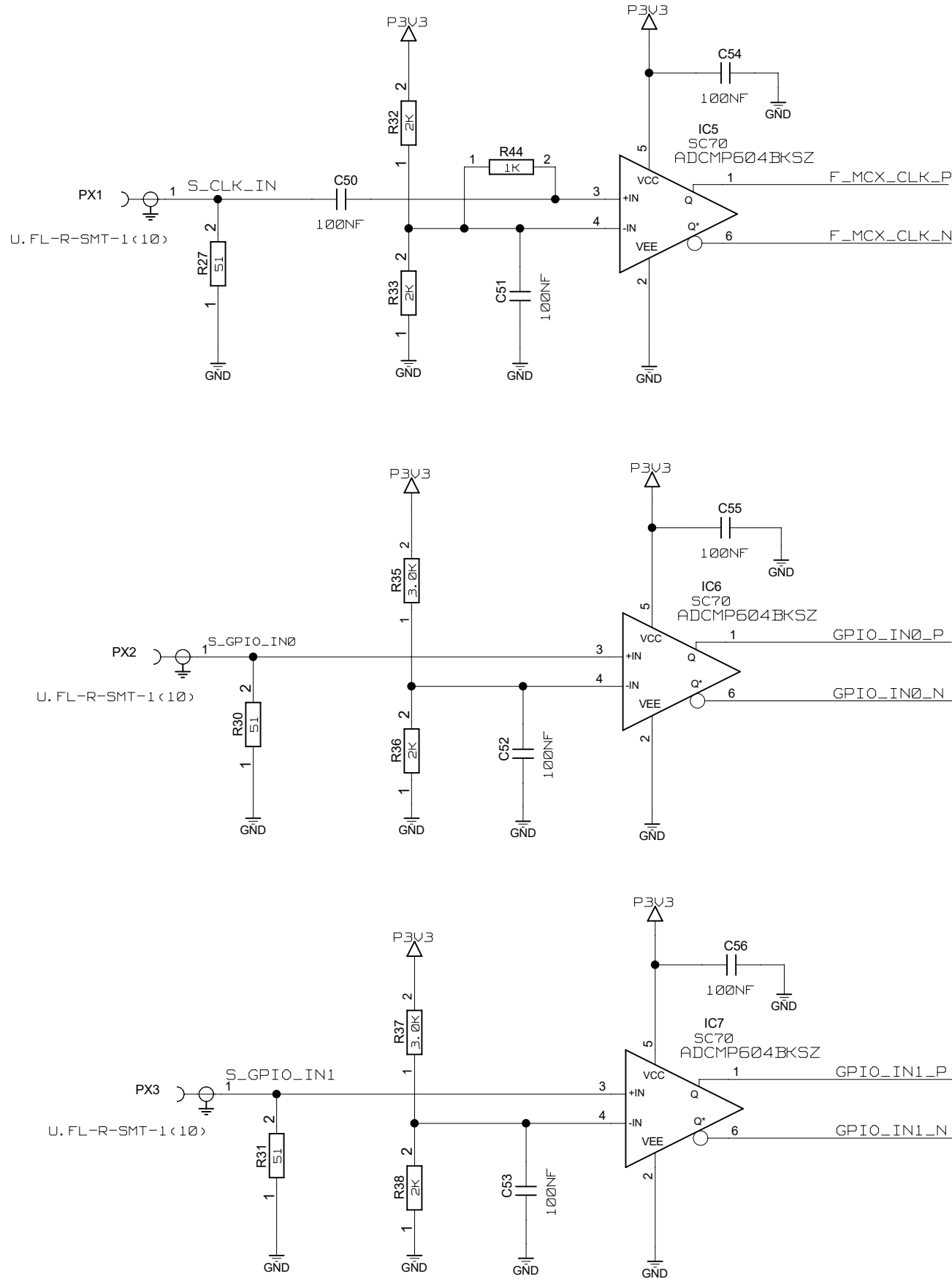
PARTICLE PHYSICS
UNIVERSITY OF BRISTOL
H. H. WILLS PHYSICS LABORATORY
TYNDALE AVENUE, BS8 1TL
BRISTOL, UK

REVISION: C
DESIGNED BY: Baesso, Cussans
DATE MODIFIED: 16/10/2019
SIZE: A3
PAGE: 2 / 5

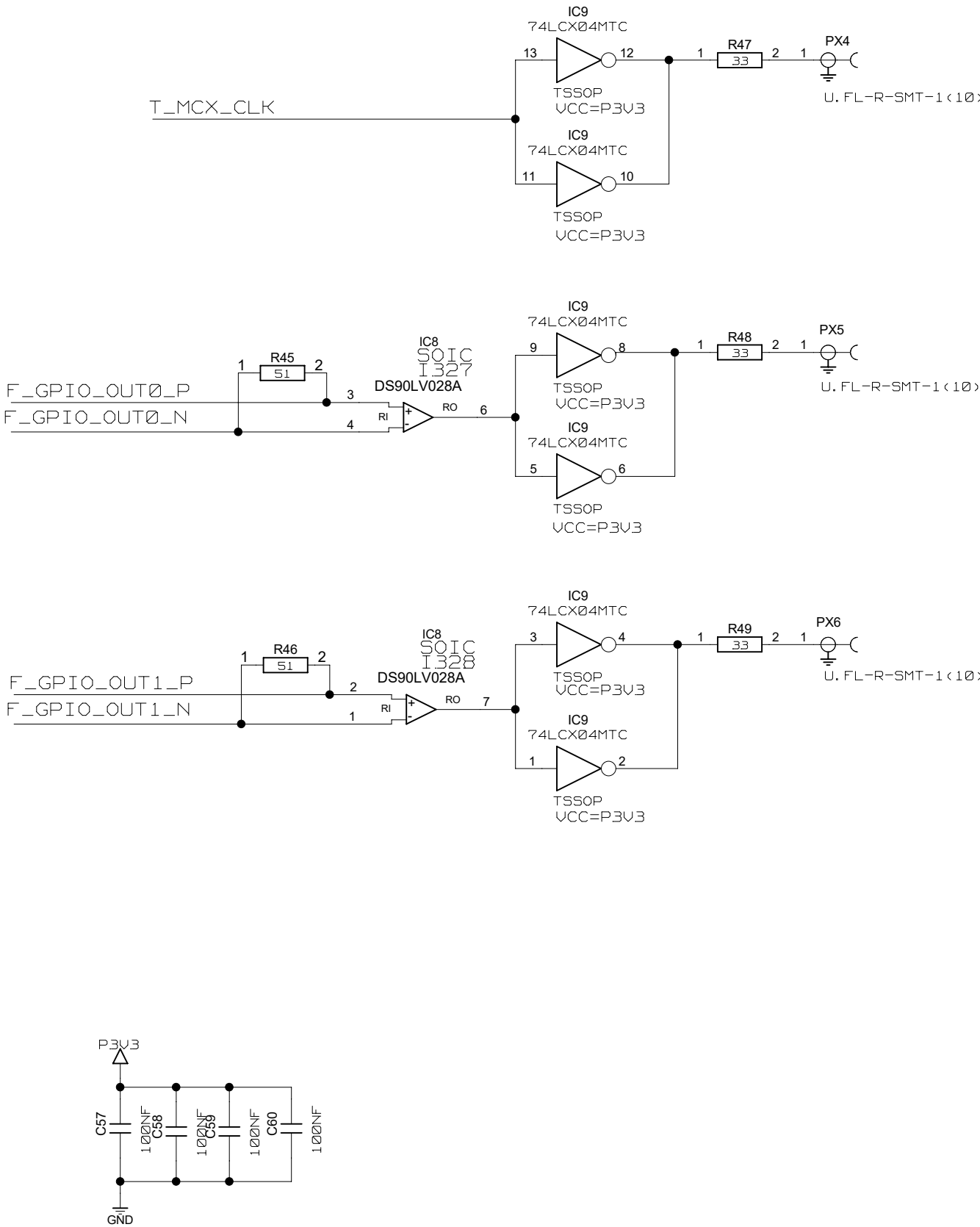
FMC CONNECTOR + EEPROM



PROJECT:		pc053e_toplevel			
PARTICLE PHYSICS UNIVERSITY OF BRISTOL H. H. WILLS PHYSICS LABORATORY TYNDALL AVENUE, BS8 1TL BRISTOL, UK	REVISION:	C	DATE MODIFIED: 16/10/2019		
	DESIGNED BY:	Baesso, Cussans	SIZE: A3	PAGE: 4 / 6	
	CLOCK GENERATOR				



THRESHOLD = 0.825V
E.G. SERIES TERMINATED 3.3V TTL
INTO 50 OHMS



PROJECT:		pc053e_top level		
PARTICLE PHYSICS UNIVERSITY OF BRISTOL H. H. WILLS PHYSICS LABORATORY TYNDALL AVENUE, BS8 1TL BRISTOL, UK		REVISION: C	DATE MODIFIED: 16/10/2019	
		DESIGNED BY: Baesso, Cussans	SIZE: A3	PAGE: 5 / 6
CLOCK I/O AND GPIO				

