

# 1.2 计算机体系结构与存储系统



# 本节主要考点

- 1、计算机体系结构分类
- 2、流水线技术
- 3、存储系统



# 计算机体系结构分类

(1) 按处理机的数量进行分类：

- 单处理系统
- 并行处理与多处理系统
- 分布式处理系统

(2) 微观上按并行程度分类：Flynn分类法、冯泽云分类法、Handler分类法等等

- CISC和RISC



# 流水线技术

流水线周期：各子任务中执行时间最长的（最慢的）子任务的执行时间。

流水线执行完 $n$ 条指令所需要的时间：

$$T_n = \text{执行一条指令所需时间} + (n-1) * \text{流水线周期}$$

吞吐率：是指单位时间里流水线处理机流出的结果数。对指令而言，就是单位时间里执行的指令数。

吞吐率：  $p = 1 / \max(\Delta t_1, \Delta t_2, \dots, \Delta t_m)$ ，即最长子过程所用时间的倒数。



# 存储系统

## 1、存储器的分类：

- 按存储器所处的位置：可分为内存和外存。
- 按构成存储器的材料：可分为磁存储器、半导体存储器和光存储器。
- 按存储器的工作方式：可分为读写存储器和只读存储器。
- 按访问方式：可分为按地址访问的存储器和按内容访问的存储器。
- 按寻址方式：可分为随机存储器、顺序存储器和直接存储器。

## 2、随机访问存储器：

- 静态随机访问存储器（SRAM）
- 动态随机访问存储器（DRAM）



# 存储系统

## 3、高速缓存

- Cache是介于CPU与主存之间的一级存储器，其容量较小，但速度较快，一般比主存快5~10倍。
- 它的主要作用是：调和CPU的速度与内存存取速度之间的差异，从而提升系统性能。
- 它使用的是程序的局部性原理，其内容是主存局部域的副本。
- 当CPU需要读取数据时，首先判断要访问的信息是否在Cache中，如果在即为命中，如果不在，就要按替换算法把主存中的一块信息调入Cache中。
- 替换算法有：随机替换算法、先进先出替换算法、近期最少使用替换算法、优化替换算法等。
- CPU工作时给出的是主存的地址，要从Cache存储器中读写信息，就需要将主存地址转换成Cache存储器的地址，这种地址的转换叫作地址映像。



# 存储系统

## • 地址映像

(1) 直接映像：主存的块与Cache块的对应关系是固定的，主存中的块只能存放在Cache存储器的相同块号中。

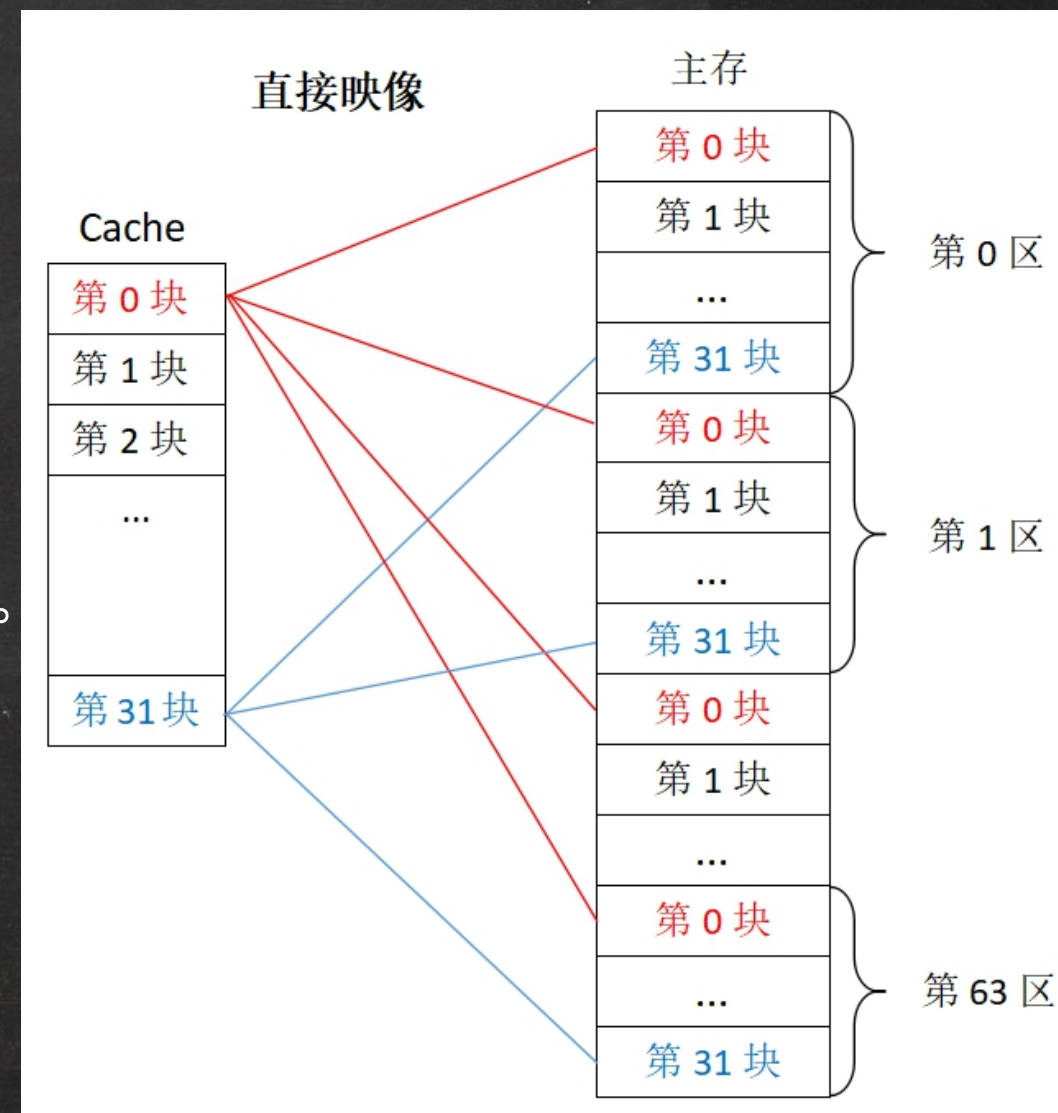
**优点：**地址变换简单、访问速度快。

**缺点：**块冲突率高、Cache空间得不到充分利用。

主存地址：

主存区号	区内块号	块内地址
------	------	------

例：主存容量为1MB, 高速缓存容量为16KB, 块的大小为512B。





# 存储系统

## • 地址映像

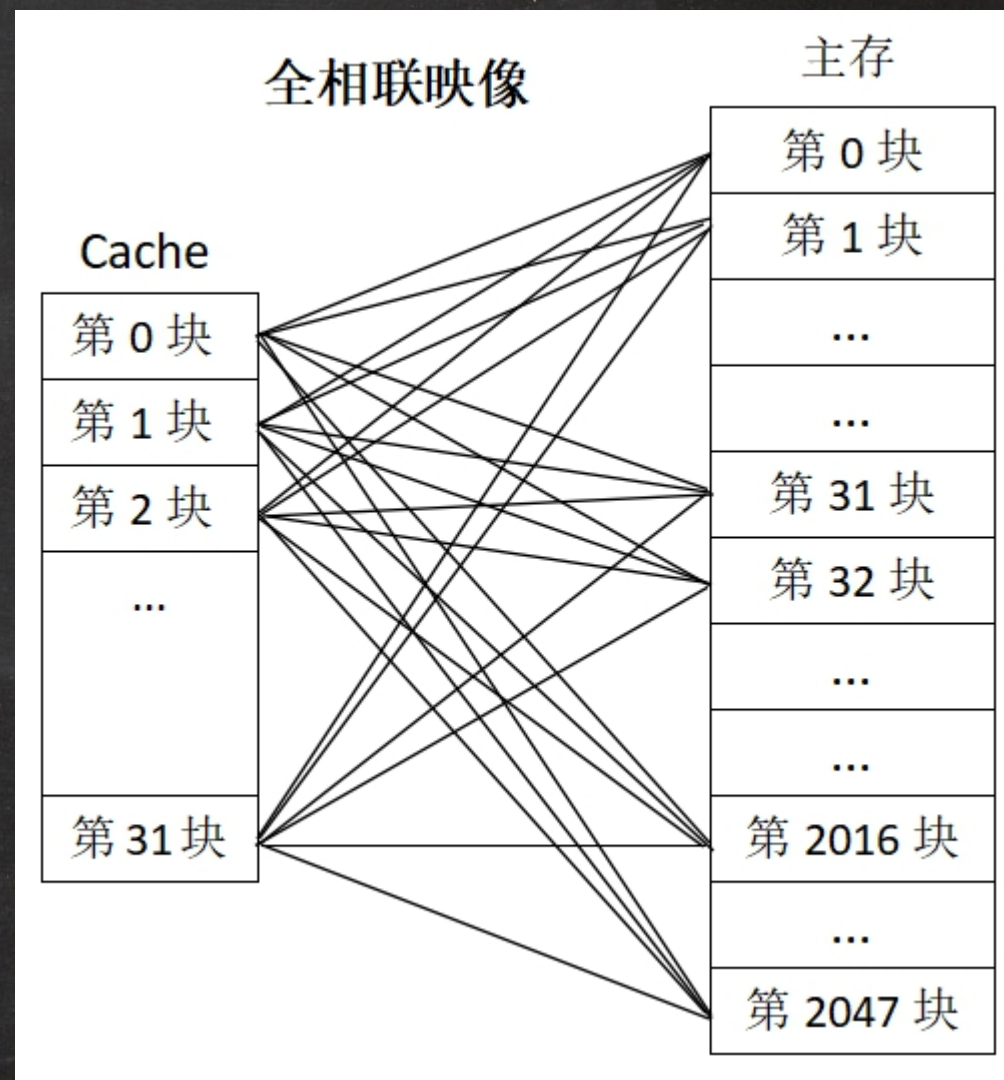
(2) 全相联映像：主存与Cache存储器均分成容量相同的块。允许主存的任一块可以调入Cache存储器的任何一个块的空间中。

**优点：**灵活，块冲突率低，只有在Cache中的块全部装满后才会出现冲突，Cache利用率高。

**缺点：**无法从主存块号中直接获得所对应Cache的块号，变换比较复杂，地址变换速度慢，成本高。

主存地址：

主存块号	块内地址
------	------





# 存储系统

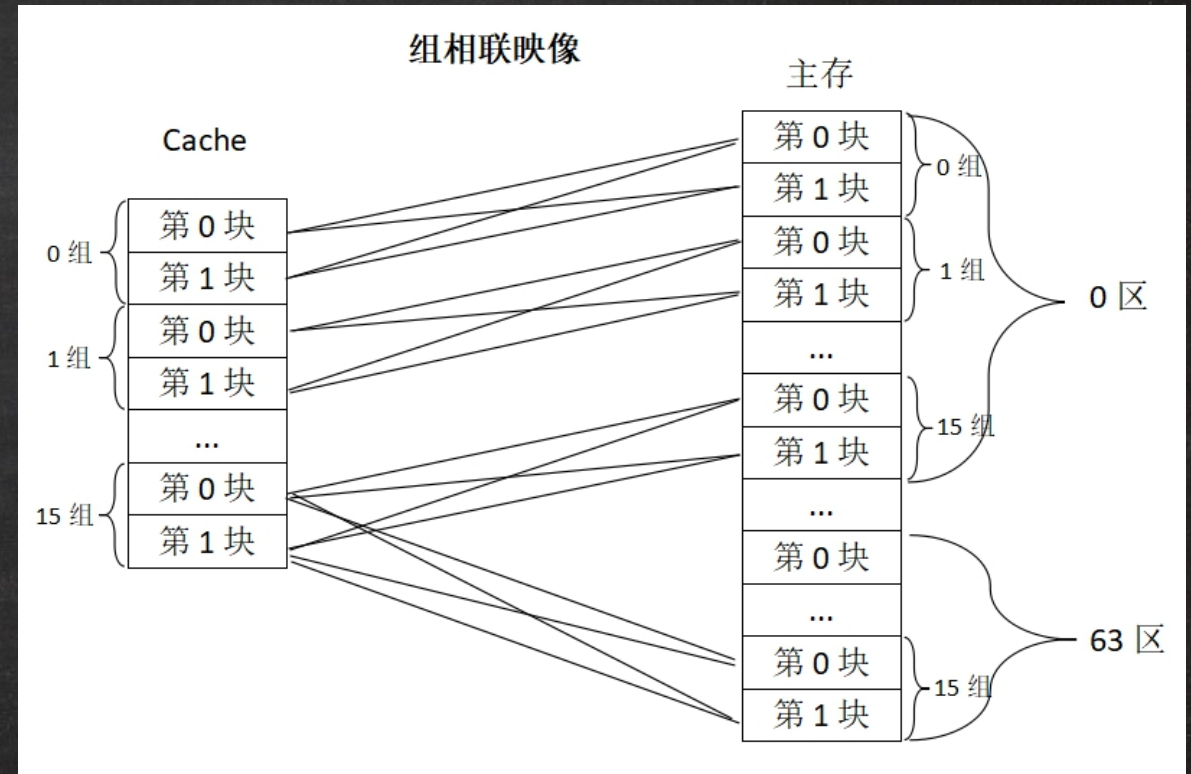
## • 地址映像

(3) 组相联映像：是前两种方式的折衷。  
将Cache中的块再分成组。组采用直接映像方式而块采用全相联映像方式。主存的任何区的0组只能存到Cache的0组中，1组只能存放到1组中，依此类推。而组内的块可以存入Cache中相同组的任一块中。

公式：

主存地址位数 = 区号 + 组号 + 主存块号 + 块内地址

Cache地址位数 = 组号 + 组内块号 + 块内地址





# 存储系统

## (1) Cache的性能分析：

设 $H_c$ 为Cache的命中率， $t_c$ 为Cache的存取时间， $t_m$ 为主存的访问时间，则Cache存储器的等效加权平均访问时间 $t_a$ 为：

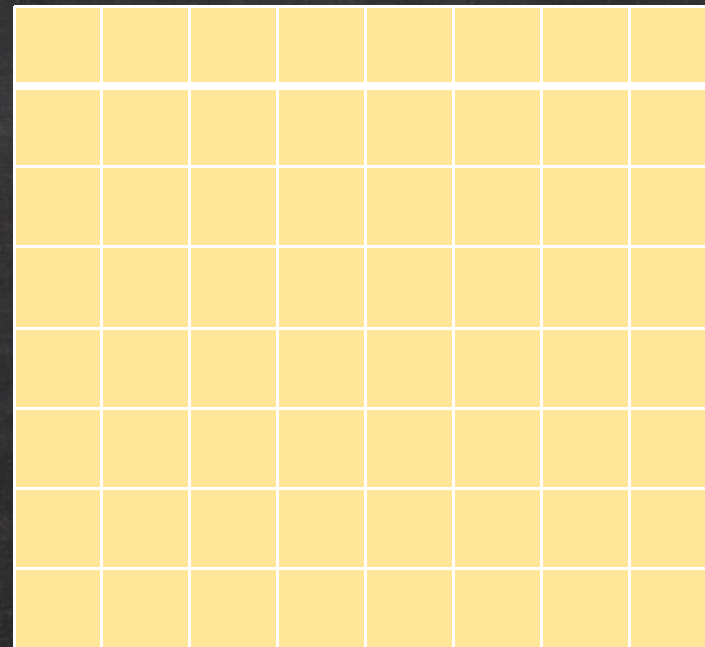
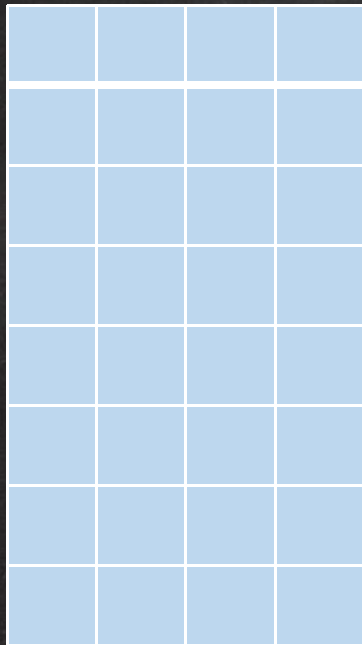
$$t_a = H_c t_c + (1 - H_c) t_m$$

- (2) 虚拟存储器实际上是一种逻辑存储器。
- (3) 相联存储器是一种按内容访问的存储器。



# 存储系统

- 编址的相关计算：





例（13年第5~6题）：地址编号从80000H到BFFFFH且按字节编址的内存容量为（ ）KB，若用16K X 4bit的存储器芯片构成该内存，共需（ ）片。

- |       |       |       |        |
|-------|-------|-------|--------|
| A.128 | B.256 | C.512 | D.1024 |
| A.8   | B.16  | C.32  | D.64   |



## 1.2 计算机体系结构与存储系统

【12年第1题】位于CPU与主存之间的高速缓冲存储器（Cache）用于存放部分主存数据的拷贝，主存地址与Cache地址之间的转换工作由（ ）完成。

- A. 硬件                  B. 软件                  C. 用户                  D. 程序员

【12年第2题】内存单元按字节编址，地址0000A000H~0000BFFFH共有（ ）个存储单元。

- A. 8192K                  B. 1024K                  C. 13K                  D. 8K

【12年第3题】相联存储器按（ ）访问。

- A. 地址                  B. 先入后出的方式                  C. 内容                  D. 先入先出的方式

【12年第5~6题】一条指令的执行过程可以分解为取指、分析和执行三步，在取指时间 $t_{\text{取指}}=3\Delta t$ ，分析时间 $t_{\text{分析}}=2\Delta t$ ，执行时间 $t_{\text{执行}}=4\Delta t$ 的情况下，若按串行方式执行，则10条指令全部执行完需要（ ） $\Delta t$ 。若按照流水方式执行，则执行完10条指令需要（ ） $\Delta t$ 。

(5) A. 40                  B. 70                  C. 90                  D. 100

(6) A. 20                  B. 30                  C. 40                  D. 45

【13年第1题】常用的虚拟存储器由（ ）两级存储器组成。

- A. 主存-辅存                  B. 主存-网盘                  C. Cache-主存                  D. Cache-硬盘



## 1.2 计算机体系结构与存储系统

【13年第5~6题】地址编号从80000H到BFFFFH且按字节编址的内存容量为（ ）KB，若用16KX4bit的存储器芯片构成该内存，共需（ ）片。

- (5) A.128                      B.256                      C.512                      D.1024
- (6) A.8                      B.16                      C.32                      D.64

【14年第4~5题】通常可以将计算机系统中执行一条指令的过程分为取指令，分析和执行指令3步。若取指令时间为 $4\Delta t$ ，分析时间为 $2\Delta t$ 。执行时间为 $3\Delta t$ ，按顺序方式从头到尾执行完600条指令所需时间为（ ） $\Delta t$ ；若按照执行第*i*条，分析第*i*+1条，读取第*i*+2条重叠的流水线方式执行指令，则从头到尾执行完600条指令所需时间为（ ） $\Delta t$ 。

- (4) A.2400                      B.3000                      C.3600                      D.5400
- (5) A.2400                      B.2405                      C.3000                      D.3009

【14年第6题】若用256K X 8bit 的存储器芯片，构成地址40000000H到40FFFFFFH且按字节编址的内存区域，则需（ ）片芯片。

- A.4                      B. 8                      C. 16                      D.32

【15年第2题】计算机中CPU对其访问速度最快的是（ ）。

- A. 内存      B. Cache      C. 通用寄存器      D. 硬盘

【15年第3题】

Cache的地址映像方式中，发生块冲突次数最小的是（ ）。

- A.全相联映像      B.组相联映像      C.直接映像      D.无法确定的



## 1.2 计算机体系结构与存储系统

【16年第1题】 VLIW是（ ）的简称。

- A. 复杂指令系统计算机      B. 超大规模集成电路      C. 单指令流多数据流      D. 超长指令字

【16年第2题】 主存与Cache的地址映射方式中，（ ）方式可以实现主存任意一块装入Cache中任意位置，只有装满才需要替换。

- A. 全相联      B. 直接映射      C. 组相联      D. 串并联

【16年第5题】 内存按字节编址，从A1000H到B13FFH的区域的存储容量为（ ）KB。

- A. 32      B. 34      C. 65      D. 67

【17年第6题】 以下关于Cache（高速缓冲存储器）的叙述中，不正确的是（ ）。

- A. Cache的设置扩大了主存的容量  
B. Cache的内容是主存部分内容的拷贝  
C. Cache 的命中率并不随其容量增大线性地提高  
D. Cache位于主存与CPU之间



## 1.2 计算机体系结构与存储系统

【18年第3题】流水线的吞吐率是指单位时间流水线处理的任务数，如果各段流水的操作时间不同，则流水线的吞吐率是（ ）的倒数。

- A. 最短流水段操作时间
- B. 各段流水的操作时间总和
- C. 最长流水段操作时间
- D. 流水段数乘以最长流水段操作时间

【19年第3题】在计算机的存储系统中，（ ）属于外存储器。

- A. 硬盘
- B. 寄存器
- C. 高速缓存
- D. 内存

【20年第2题】在CPU和主存之间设置高速缓存（Cache）的目的是为了解决（ ）的问题。

- A. 主存容量不足
- B. 主存与外存储器速度不匹配
- C. 主存与CPU速度不匹配
- D. 外设访问效率

【21年第2题】以下关于RISC和CISC计算机的叙述中，正确的是（ ）。

- A. RISC不用流水线技术，CISC采用流水线技术
- B. RISC使用复杂的指令，CISC使用简单的指令
- C. RISC采用很少的通用寄存器，CISC采用很多的通用寄存器
- D. RISC采用组合逻辑控制器，CISC普遍采用微程序控制器



## 1.2 计算机体系结构与存储系统

### 【22年第2题】

设指令由取指、分析、执行3个子部件完成，并且每个子部件的时间均为 $\Delta t$ ，若采用常规标量单流水线处理机，连续执行20条指令，共需（ ）。

- A.  $20\Delta t$       B.  $21\Delta t$       C.  $22\Delta t$       D.  $24\Delta t$