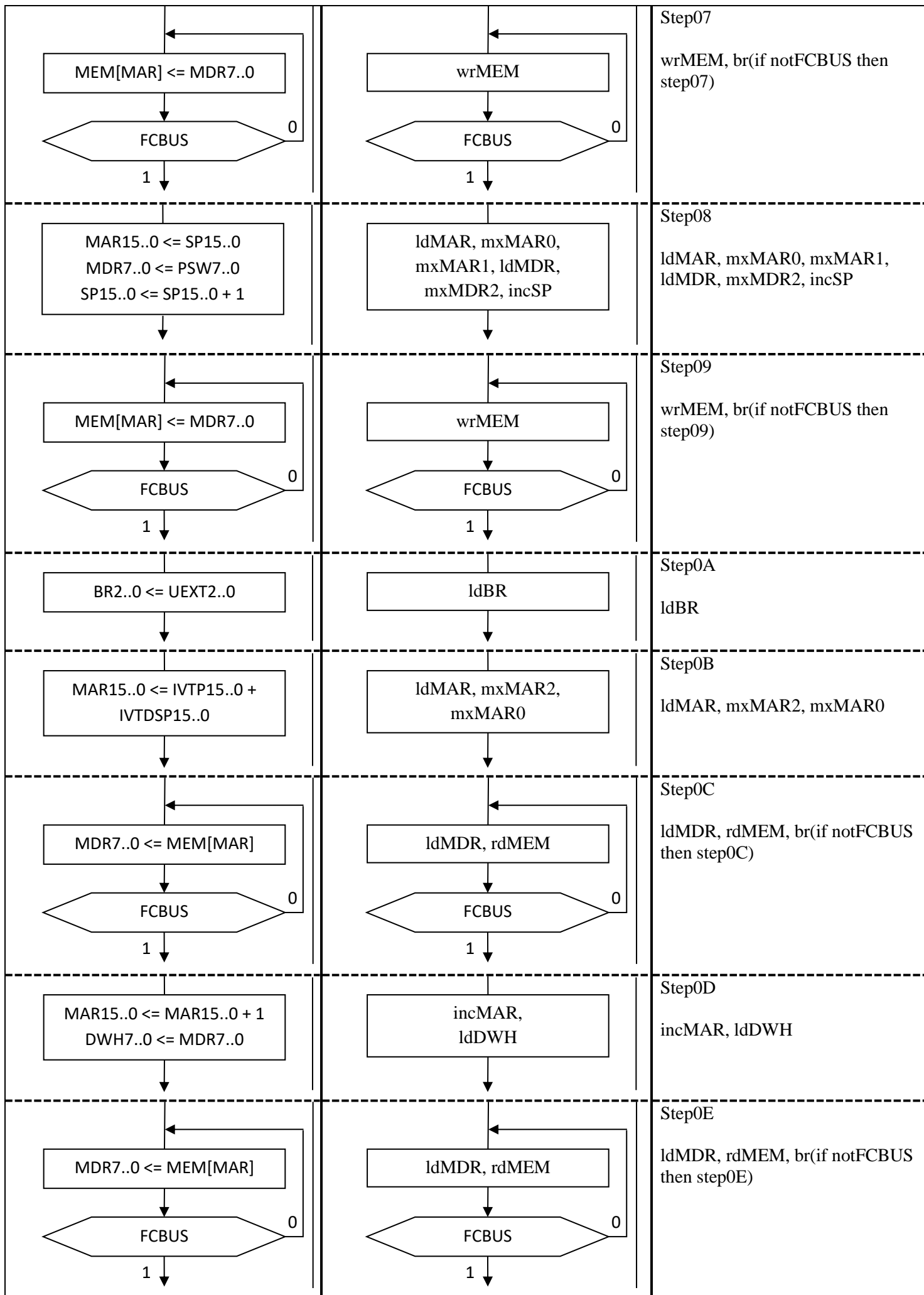
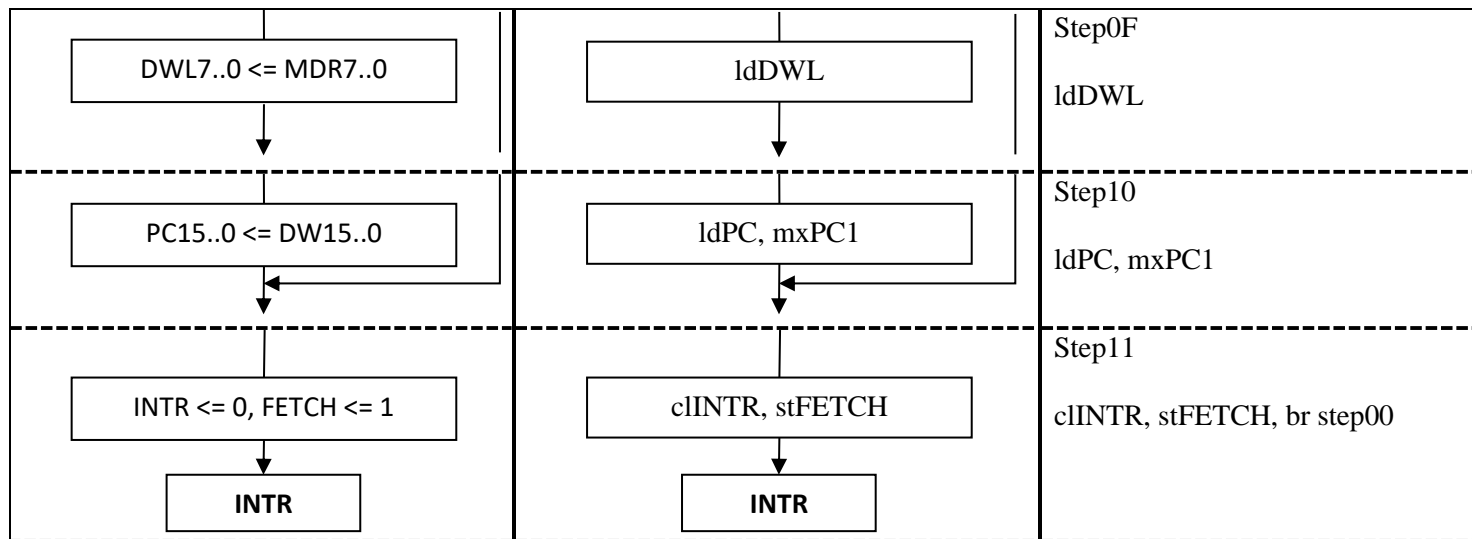


Дијаграм тока микрооперација	Дијаграм тока управљачких сигнала	Секвенца управљачких сигнала
<pre> graph TD INTR[INTR] --> Loop00[] Loop00 --> INTR0{INTR} INTR0 -- 0 --> Step01 INTR0 -- 1 --> Step01 style Loop00 fill:none,stroke:none </pre>	<pre> graph TD INTR[INTR] --> Loop00[] Loop00 --> INTR0{INTR} INTR0 -- 0 --> Step01 INTR0 -- 1 --> Step01 style Loop00 fill:none,stroke:none </pre>	<p>Step00</p> <p>br(if notINTR then step00)</p>
<pre> graph TD Loop01[] --> prekid0{prekid} prekid0 -- 0 --> Step02 prekid0 -- 1 --> Step02 style Loop01 fill:none,stroke:none </pre>	<pre> graph TD Loop01[] --> prekid0{prekid} prekid0 -- 0 --> Step02 prekid0 -- 1 --> Step02 style Loop01 fill:none,stroke:none </pre>	<p>Step01</p> <p>br(if notprekid then step11)</p>
<p>MAR15..0 ≤ SP15..0 MDR7..0 ≤ PC15..8 SP15..0 ≤ SP15..0 + 1</p>	<p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR1</p>	<p>Step02</p> <p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR1</p>
<pre> graph TD Loop03[] --> MEM03[MEM[MAR] ≤ MDR7..0] MEM03 --> FCBUS0{FCBUS} FCBUS0 -- 0 --> Step04 FCBUS0 -- 1 --> Step04 style Loop03 fill:none,stroke:none </pre>	<pre> graph TD Loop03[] --> wrMEM03[wrMEM] wrMEM03 --> FCBUS0{FCBUS} FCBUS0 -- 0 --> Step04 FCBUS0 -- 1 --> Step04 style Loop03 fill:none,stroke:none </pre>	<p>Step03</p> <p>wrMEM, br(if notFCBUS then step03)</p>
<p>MAR15..0 ≤ SP15..0 MDR7..0 ≤ PC7..0 SP15..0 ≤ SP15..0 + 1</p>	<p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR1, mxMDR0</p>	<p>Step04</p> <p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR1, mxMDR0</p>
<pre> graph TD Loop05[] --> MEM05[MEM[MAR] ≤ MDR7..0] MEM05 --> FCBUS05{FCBUS} FCBUS05 -- 0 --> Step06 FCBUS05 -- 1 --> Step06 style Loop05 fill:none,stroke:none </pre>	<pre> graph TD Loop05[] --> wrMEM05[wrMEM] wrMEM05 --> FCBUS05{FCBUS} FCBUS05 -- 0 --> Step06 FCBUS05 -- 1 --> Step06 style Loop05 fill:none,stroke:none </pre>	<p>Step05</p> <p>wrMEM, br(if notFCBUS then step05)</p>
<p>MAR15..0 ≤ SP15..0 MDR7..0 ≤ PSW15..8 SP15..0 ≤ SP15..0 + 1</p>	<p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR2, mxMDR1</p>	<p>Step06</p> <p>ldMAR, mxMAR1, mxMAR0, incSP, ldMDR, mxMDR2, mxMDR1</p>





Универзитет у Београду
Електротехнички факултет

Име и презиме	Индекс	Потпис	Пројекат	
Назив Основи рачунарске технике 2			Датум	Страна