

Potpuno digitalni RF predajnik implementiran u FPGA

Uroš Minoski, 2023/3133

Elektrotehnički fakultet, Univerzitet u Beogradu

oktobar 2025

1. Motivacija i cilj

Zašto potpuno digitalni pristup?

- ▶ Analogni I/Q lanci zahtevaju precizno uparivanje pojačanja i faze
→ degradacija IR/SFDR
- ▶ Jednobitni izlaz, jednostavni brzi komparatori umesto višebitnih DAC
→ jednostavan hardver
- ▶ RTL jezgro, lako prenosivo FPGA ↔ ASIC
- ▶ Brži razvoj, simulacije/verifikacija

Zašto potpuno digitalni pristup?

- ▶ Analogni I/Q lanci zahtevaju precizno uparivanje pojačanja i faze
→ degradacija IR/SFDR
- ▶ Jednobitni izlaz, jednostavni brzi komparatori umesto višebitnih DAC
→ jednostavan hardver
- ▶ RTL jezgro, lako prenosivo FPGA ↔ ASIC
- ▶ Brži razvoj, simulacije/verifikacija

Zašto potpuno digitalni pristup?

- ▶ Analogni I/Q lanci zahtevaju precizno uparivanje pojačanja i faze
→ degradacija IR/SFDR
- ▶ Jednobitni izlaz, jednostavni brzi komparatori umesto višebitnih DAC
→ jednostavan hardver
- ▶ RTL jezgro, lako prenosivo FPGA ↔ ASIC
- ▶ Brži razvoj, simulacije/verifikacija

Zašto potpuno digitalni pristup?

- ▶ Analogni I/Q lanci zahtevaju precizno uparivanje pojačanja i faze
→ degradacija IR/SFDR
- ▶ Jednobitni izlaz, jednostavni brzi komparatori umesto višebitnih DAC
→ jednostavan hardver
- ▶ RTL jezgro, lako prenosivo FPGA \leftrightarrow ASIC
- ▶ Brži razvoj, simulacije/verifikacija

Cilj rada

- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (*IR*, *SFDR*)

Cilj rada

- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (*IR*, *SFDR*)

Cilj rada

- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (*IR*, *SFDR*)

Cilj rada

- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (*IR*, *SFDR*)

Cilj rada

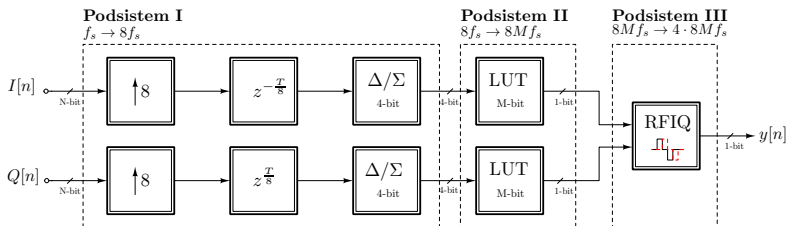
- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (*IR*, *SFDR*)

Cilj rada

- ▶ Projektovati potpuno digitalni predajni RF lanac u FPGA
- ▶ Ključne etape:
 - ▶ interpolacija i Δ/Σ modulacija
 - ▶ paralelno serijski konvertor u otvorenoj sprezi
 - ▶ rekonstrukcija i kompenzacija faznog pomeraja
- ▶ Validacija kroz ModelSim (IR , $SFDR$)

2. Pregled arhitekture

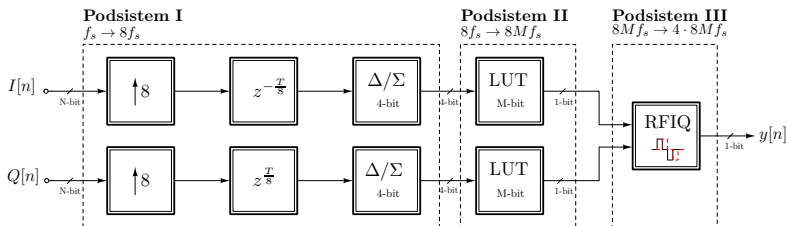
Tok signala



Slika: Od ulaza (f_{s1}) do RF izlaza (f_{s4}).

► Kompenzacija faznog pomeraja \rightarrow nakon interpolacije

Tok signala

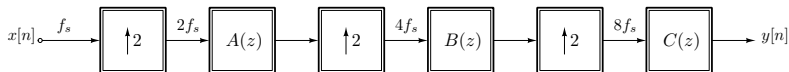


Slika: Od ulaza (f_{s1}) do RF izlaza (f_{s4}).

- Kompenzacija faznog pomeraja \rightarrow nakon interpolacije

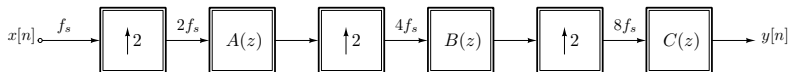
3. Podsystem I: interpolacija, necelobrojno kašnjenje i Δ/Σ modulacija

Interpolacija



- ▶ Podeljena na 3 polifazna stepena
 - ▶ manja efektivna dužina FIR (83, 19, 11)
 - ▶ korišćenje HB filtara

Interpolacija



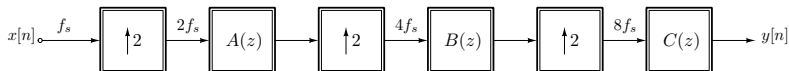
- ▶ Podeljena na 3 polifazna stepena
 - ▶ manja efektivna dužina FIR (83, 19, 11)
 - ▶ korišćenje HB filtara

Interpolacija



- ▶ Podeljena na 3 polifazna stepena
 - ▶ manja efektivna dužina FIR (83, 19, 11)
 - ▶ korišćenje HB filtara

Interpolacija



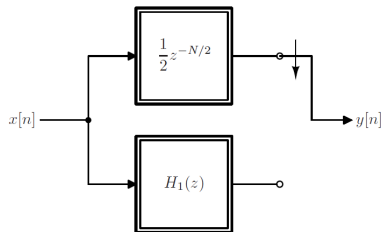
- ▶ Podeljena na 3 polifazna stepena
 - ▶ manja efektivna dužina FIR (83, 19, 11)
 - ▶ korišćenje HB filtera

Interpolacija

- ▶ $A_s = 100 \text{ dB}$, $\delta_s = \delta_p$
- ▶ Poluopsežni FIR (HB)
- ▶ Svaki parni odbirak je 0 sem centralnog
- ▶ Smanjenje hardverskih resursa
→ operacije prepolovljene

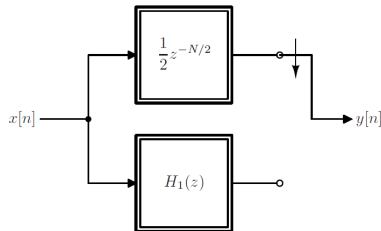
Interpolacija

- ▶ $A_s = 100$ dB, $\delta_s = \delta_p$
- ▶ Poluopsežni FIR (HB)
- ▶ Svaki parni odbirak je 0 sem centralnog
- ▶ Smanjenje hardverskih resursa
→ operacije prepolovljene



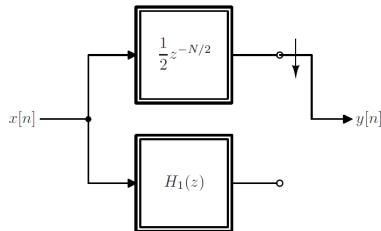
Interpolacija

- ▶ $A_s = 100$ dB, $\delta_s = \delta_p$
- ▶ Poluopsežni FIR (HB)
- ▶ Svaki parni odabirak je 0 sem centralnog
- ▶ Smanjenje hardverskih resursa
→ operacije prepolovljene

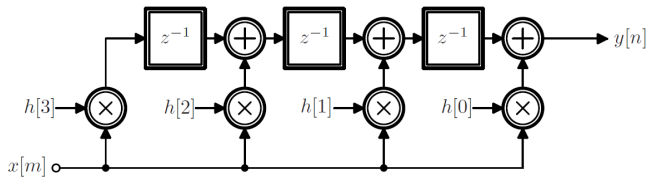


Interpolacija

- ▶ $A_s = 100$ dB, $\delta_s = \delta_p$
- ▶ Poluopsežni FIR (HB)
- ▶ Svaki parni odabirak je 0 sem centralnog
- ▶ Smanjenje hardverskih resursa
→ operacije prepolovljene



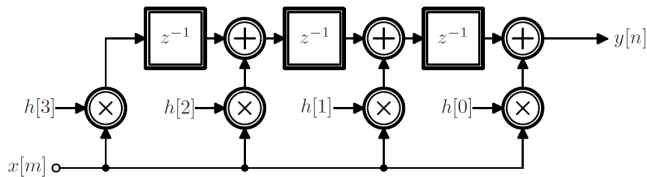
Interpolacija



► Transponovana FIR forma

- pipeline
- konstantni koeficijenti → RAG algoritam, smanjenje hardverskih resursa, nema množača
- Snaga kvantizacionog šuma

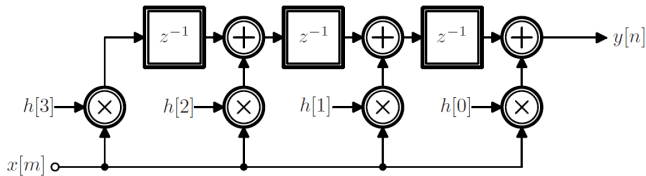
Interpolacija



► Transponovana FIR forma

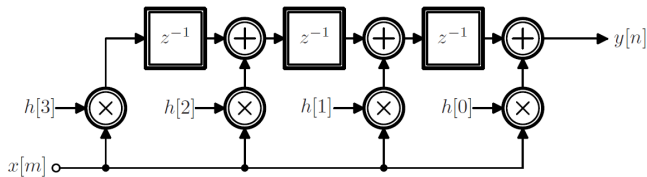
- pipeline
- konstantni koeficijenti → RAG algoritam, smanjenje hardverskih resursa, nema množača
- Snaga kvantizacionog šuma

Interpolacija



- ▶ Transponovana FIR forma
 - ▶ pipeline
 - ▶ konstantni koeficijenti → RAG algoritam, smanjenje hardverskih resursa, nema množača
 - ▶ Snaga kvantizacionog šuma

Interpolacija



- ▶ Transponovana FIR forma
 - ▶ pipeline
 - ▶ konstantni koeficijenti → RAG algoritam, smanjenje hardverskih resursa, nema množača
 - ▶ Snaga kvantizacionog šuma

Necelobrojno kašnjenje

- ▶ Potrebno zbog kompenzacije faznog pomaka kompleksne rekonstrukcije signala RFIQ
- ▶ Potrebno je uraniti Q granu za $T/4$ u odnosu na I granu
- ▶ Isti efekat daje pomeraj za $T/8$ unapred Q grane i unazad I grane
→ daje isto pojačanje I/Q grane (jako bitno!)
- ▶ Tejlorova aproksimacija prvog reda:

$$Y(nT + \delta T) \approx Y(nT) + \frac{dY}{dt} \delta T$$

- ▶ Aproksimacija izvoda centralnom razlikom:

$$\left. \frac{dy}{dt} \right|_{t=nT} = \frac{y((n+1)T) - y((n-1)T))}{2T}$$

Necelobrojno kašnjenje

- ▶ Potrebno zbog kompenzacije faznog pomaka kompleksne rekonstrukcije signala RFIQ
- ▶ Potrebno je uraniti Q granu za $T/4$ u odnosu na I granu
- ▶ Isti efekat daje pomeraj za $T/8$ unapred Q grane i unazad I grane
→ daje isto pojačanje I/Q grane (jako bitno!)
- ▶ Tejlorova aproksimacija prvog reda:

$$Y(nT + \delta T) \approx Y(nT) + \frac{dY}{dt} \delta T$$

- ▶ Aproksimacija izvoda centralnom razlikom:

$$\left. \frac{dy}{dt} \right|_{t=nT} = \frac{y((n+1)T) - y((n-1)T)}{2T}$$

Necelobrojno kašnjenje

- ▶ Potrebno zbog kompenzacije faznog pomaka kompleksne rekonstrukcije signala RFIQ
- ▶ Potrebno je uraniti Q granu za $T/4$ u odnosu na I granu
- ▶ Isti efekat daje pomeraj za $T/8$ unapred Q grane i unazad I grane
→ daje isto pojačanje I/Q grane (jako bitno!)
- ▶ Tejlorova aproksimacija prvog reda:

$$Y(nT + \delta T) \approx Y(nT) + \frac{dY}{dt} \delta T$$

- ▶ Aproksimacija izvoda centralnom razlikom:

$$\left. \frac{dy}{dt} \right|_{t=nT} = \frac{y((n+1)T) - y((n-1)T))}{2T}$$

Necelobrojno kašnjenje

- ▶ Potrebno zbog kompenzacije faznog pomaka kompleksne rekonstrukcije signala RFIQ
- ▶ Potrebno je uraniti Q granu za $T/4$ u odnosu na I granu
- ▶ Isti efekat daje pomeraj za $T/8$ unapred Q grane i unazad I grane
→ daje isto pojačanje I/Q grane (jako bitno!)
- ▶ Tejlorova aproksimacija prvog reda:

$$Y(nT + \delta T) \approx Y(nT) + \frac{dY}{dt} \delta T$$

- ▶ Aproksimacija izvoda centralnom razlikom:

$$\left. \frac{dy}{dt} \right|_{t=nT} = \frac{y((n+1)T) - y((n-1)T))}{2T}$$

Necelobrojno kašnjenje

- ▶ Potrebno zbog kompenzacije faznog pomaka kompleksne rekonstrukcije signala RFIQ
- ▶ Potrebno je uraniti Q granu za $T/4$ u odnosu na I granu
- ▶ Isti efekat daje pomeraj za $T/8$ unapred Q grane i unazad I grane
→ daje isto pojačanje I/Q grane (jako bitno!)
- ▶ Tejlorova aproksimacija prvog reda:

$$Y(nT + \delta T) \approx Y(nT) + \frac{dY}{dt} \delta T$$

- ▶ Aproksimacija izvoda centralnom razlikom:

$$\left. \frac{dy}{dt} \right|_{t=nT} = \frac{y((n+1)T) - y((n-1)T))}{2T}$$

Necelobrojno kašnjenje

- ▶ Prenosna funkcija:

$$H(z) = 1 + \frac{\delta}{2} (z^1 - z^{-1})$$

- ▶ Nije kauzalna \rightarrow kašnjenje z^{-1}
- ▶ Amplitudska i fazna karakteristika:

$$|H(e^{j2\pi F})| = \sqrt{1 + \delta^2 \sin^2(2\pi f/f_s)}$$

$$\angle H(e^{j2\pi F}) = \arctan(\delta \sin(2\pi f/f_s))$$

- ▶ Gde je $0 < \delta = T/8 < 1$ faktor necelobrojnog kašnjenja (T je period odabiranja)

Necelobrojno kašnjenje

- ▶ Prenosna funkcija:

$$H(z) = 1 + \frac{\delta}{2} (z^1 - z^{-1})$$

- ▶ Nije kauzalna \rightarrow kašnjenje z^{-1}
- ▶ Amplitudska i fazna karakteristika:

$$|H(e^{j2\pi F})| = \sqrt{1 + \delta^2 \sin^2(2\pi f/f_s)}$$

$$\angle H(e^{j2\pi F}) = \arctan(\delta \sin(2\pi f/f_s))$$

- ▶ Gde je $0 < \delta = T/8 < 1$ faktor necelobrojnog kašnjenja (T je period odabiranja)

Necelobrojno kašnjenje

- ▶ Prenosna funkcija:

$$H(z) = 1 + \frac{\delta}{2} (z^1 - z^{-1})$$

- ▶ Nije kauzalna \rightarrow kašnjenje z^{-1}
- ▶ Amplitudska i fazna karakteristika:

$$|H(e^{j2\pi F})| = \sqrt{1 + \delta^2 \sin^2(2\pi f / f_s)}$$

$$\angle H(e^{j2\pi F}) = \arctan(\delta \sin(2\pi f / f_s))$$

- ▶ Gde je $0 < \delta = T/8 < 1$ faktor necelobrojnog kašnjenja (T je period odabiranja)

Necelobrojno kašnjenje

- ▶ Prenosna funkcija:

$$H(z) = 1 + \frac{\delta}{2} (z^1 - z^{-1})$$

- ▶ Nije kauzalna \rightarrow kašnjenje z^{-1}
- ▶ Amplitudska i fazna karakteristika:

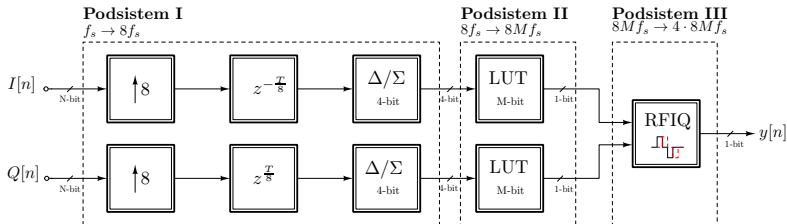
$$|H(e^{j2\pi F})| = \sqrt{1 + \delta^2 \sin^2(2\pi f / f_s)}$$

$$\angle H(e^{j2\pi F}) = \arctan(\delta \sin(2\pi f / f_s))$$

- ▶ Gde je $0 < \delta = T/8 < 1$ faktor necelobrojnog kašnjenja (T je period odabiranja)

Necelobrojno kašnjenje

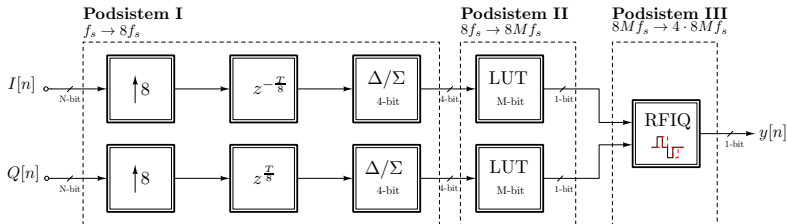
- U radu je razmatrano $\delta = 1/(32 \cdot 8)$ i $\delta = 1/(19 \cdot 8)$
- Konkretno δ zavisi od odabira LUT



Slika: Od ulaza (f_{s1}) do RF izlaza (f_{s4}).

Necelobrojno kašnjenje

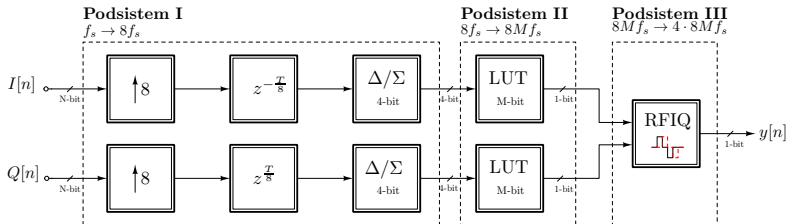
- U radu je razmatrano $\delta = 1/(32 \cdot 8)$ i $\delta = 1/(19 \cdot 8)$
- Konkretno δ zavisi od odabira LUT



Slika: Od ulaza (f_{s1}) do RF izlaza (f_{s4}).

Necelobrojno kašnjenje

- U radu je razmatrano $\delta = 1/(32 \cdot 8)$ i $\delta = 1/(19 \cdot 8)$
- Konkretno δ zavisi od odabira LUT



Slika: Od ulaza (f_{s1}) do RF izlaza (f_{s4}).

Necelobrojno kašnjenje

- ▶ Prenosna funkcija

$$H(z) z^{-1} = \frac{\delta}{2} z^0 + z^{-1} - \frac{\delta}{2} z^{-1}$$

- ▶ FIR sa koeficijentima

$$h = \left[\frac{\delta}{2}, 1, -\frac{\delta}{2} \right]$$

- ▶ Transponovani FIR i RAG algoritam
- ▶ $5 \rightarrow 6$, za $\delta = 1/(32 \cdot 8)$, 16-bit

Necelobrojno kašnjenje

- ▶ Prenosna funkcija

$$H(z) z^{-1} = \frac{\delta}{2} z^0 + z^{-1} - \frac{\delta}{2} z^{-1}$$

- ▶ FIR sa koeficijentima

$$h = \left[\frac{\delta}{2}, 1, -\frac{\delta}{2} \right]$$

- ▶ Transponovani FIR i RAG algoritam
- ▶ $5 \rightarrow 6$, za $\delta = 1/(32 \cdot 8)$, 16-bit

Necelobrojno kašnjenje

- Prenosna funkcija

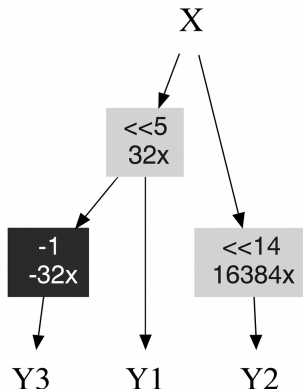
$$H(z) z^{-1} = \frac{\delta}{2} z^0 + z^{-1} - \frac{\delta}{2} z^{-1}$$

- FIR sa koeficijentima

$$h = \left[\frac{\delta}{2}, 1, -\frac{\delta}{2} \right]$$

- Transponovani FIR i RAG algoritam

- 5 → 6, za $\delta = 1/(32 \cdot 8)$, 16-bit



Necelobrojno kašnjenje

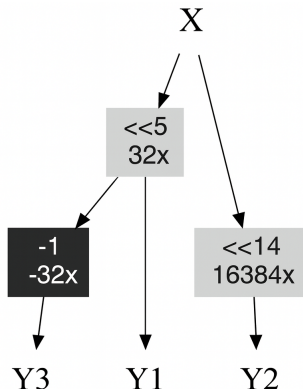
- Prenosna funkcija

$$H(z) z^{-1} = \frac{\delta}{2} z^0 + z^{-1} - \frac{\delta}{2} z^{-1}$$

- FIR sa koeficijentima

$$h = \left[\frac{\delta}{2}, 1, -\frac{\delta}{2} \right]$$

- Transponovani FIR i RAG algoritam
- $5 \rightarrow 6$, za $\delta = 1/(32 \cdot 8)$, 16-bit



Δ/Σ modulator

- ▶ moj diplomski rad...
- ▶ Cilj: smanjenje širine digitalne reči uz oblikovanje kvantizacionog šuma i održanje dinamičkog opsega signala
- ▶ Dve prenosne funkcije:

$$Y(z) = \text{STF}(z) X(z) + \text{NTF}(z) E(z)$$

STF - Signal Transfer Function

NTF - Noise Transfer Function

X - Signal

E - Error (Quantization Noise)

- ▶ interpolacija

Δ/Σ modulator

- ▶ moj diplomski rad...
- ▶ Cilj: smanjenje širine digitalne reči uz oblikovanje kvantizacionog šuma i održanje dinamičkog opsega signala
- ▶ Dve prenosne funkcije:

$$Y(z) = STF(z)X(z) + NTF(z)E(z)$$

STF - Signal Transfer Function

NTF - Noise Transfer Function

X - Signal

E - Error (Quantization Noise)

- ▶ interpolacija

Δ/Σ modulator

- ▶ moj diplomski rad...
- ▶ Cilj: smanjenje širine digitalne reči uz oblikovanje kvantizacionog šuma i održanje dinamičkog opsega signala
- ▶ Dve prenosne funkcije:

$$Y(z) = \text{STF}(z) X(z) + \text{NTF}(z) E(z)$$

STF - Signal Transfer Function

NTF - Noise Transfer Function

X - Signal

E - Error (Quantization Noise)

- ▶ interpolacija

Δ/Σ modulator

- ▶ moj diplomski rad...
- ▶ Cilj: smanjenje širine digitalne reči uz oblikovanje kvantizacionog šuma i održanje dinamičkog opsega signala
- ▶ Dve prenosne funkcije:

$$Y(z) = STF(z) X(z) + NTF(z) E(z)$$

STF - Signal Transfer Function

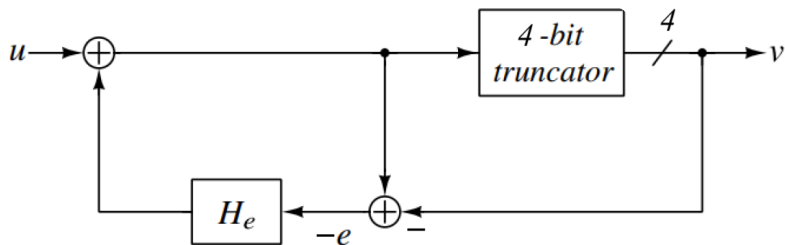
NTF - Noise Transfer Function

X - Signal

E - Error (Quantization Noise)

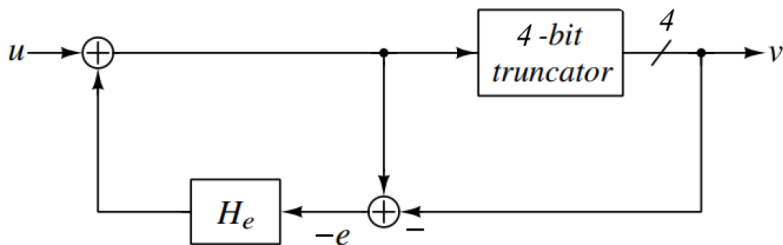
- ▶ interpolacija

Δ/Σ modulator



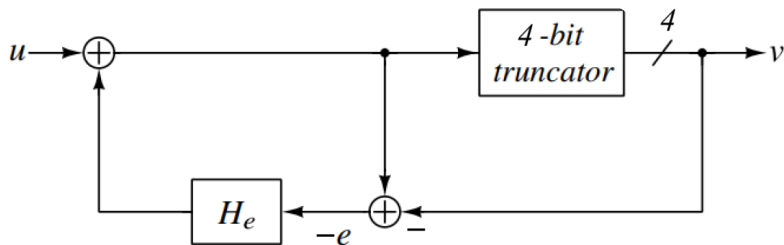
- ▶ Ulaz je 12/16-bit
- ▶ Izlaz je 4-bit
- ▶ H_e je IIR filter

Δ/Σ modulator



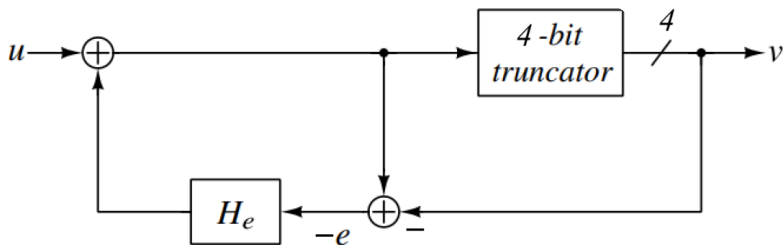
- ▶ Ulaz je 12/16-bit
- ▶ Izlaz je 4-bit
- ▶ H_e je IIR filter

Δ/Σ modulator



- ▶ Ulaz je 12/16-bit
- ▶ Izlaz je 4-bit
- ▶ H_e je IIR filter

Δ/Σ modulator



- ▶ Ulaz je 12/16-bit
- ▶ Izlaz je 4-bit
- ▶ H_e je IIR filter

Δ/Σ modulator

- ▶ IIR filter je projektovan u mom diplomskom radu
- ▶ Podeljen je na 3 paralelne sekcije (manja kritična dužina):

$$H_1(z) = \frac{7.3765809}{1 - 0.3466036 z^{-1}}$$

$$H_2(z) = \frac{0.424071040 - 2.782608716 z^{-1}}{1 - 0.66591402 z^{-1} + 0.16260264 z^{-2}}$$

$$H_3(z) = \frac{-4.606822182 + 0.023331537 z^{-1}}{1 - 0.62380242 z^{-1} + 0.4509869 z^{-2}}$$

Δ/Σ modulator

- ▶ IIR filter je projektovan u mom diplomskom radu
- ▶ Podeljen je na 3 paralelne sekcije (manja kritična dužina):

$$H_1(z) = \frac{7.3765809}{1 - 0.3466036 z^{-1}}$$

$$H_2(z) = \frac{0.424071040 - 2.782608716 z^{-1}}{1 - 0.66591402 z^{-1} + 0.16260264 z^{-2}}$$

$$H_3(z) = \frac{-4.606822182 + 0.023331537 z^{-1}}{1 - 0.62380242 z^{-1} + 0.4509869 z^{-2}}$$

4. Podsystem II: paralelno serijski konvertor u otvorenoj sprezi

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

- ▶ Cilj: smanjenje širine digitalne reči do 1-bit
- ▶ Relaksira zahteve Δ/Σ modulatora
- ▶ Otvorena sprega nema problem (ne)stabilnosti
- ▶ Koristi predefinisane nizove bitova LUT
- ▶ Minimalna distorzija u propusnom opsegu:
 1. Srednja vrednost niza jednaka ulaznom odbirku
(4 \rightarrow 101111)
 2. Amplitudska karakteristika svake sekvence treba biti jednaka
 3. Fazna karakteristika svake sekvence treba biti jednaka
(11100111)

Serijalizator

a)		b)	
Level	Output of look-up table	Level	Output of look-up table
8	11111111111111111111111111111111	7.5	1111011111111111011111
7	11111101111111111111111111011111	6.5	11011111110111111011
6	11101111111101111111011111110111	5.5	11100111111111001111
5	11101111001111111111110011110111	4.5	11010111101111101011
4	101111100111111011011111001111101	3.5	101101111010111101101
3	11110000111011111111011100001111	2.5	10110011101110011101
2	10101101101101100110110110110101	1.5	1010101011101010101
1	11100001010011111111001010000111	0.5	0101111000001111010
0	01101001100101100110100110010110	0.5	1010000111110000101
-1	00011110101100000000110101111000	-1.5	0101010100010101010
-2	01010010010010011001001001001010	-2.5	0100110001000110010
-3	00001111000100000000100011110000	-3.5	0100100010100010010
-4	01000001100000100100000110000010	-4.5	0010100001000010100
-5	00010000110000000000001100001000	-5.5	0001100000000011000
-6	00010000000010000001000000001000	-6.5	0010000001000000100
-7	0000001000000000000000001000000	-7.5	0000100000000010000
-8	00000000000000000000000000000000		

- M je dužina niza, 32 LUT a) i 19 LUT b)
- LUT a) → mid-tread
LUT b) → mid-rise
- Implementacija: hardver na $M \cdot f_s$ frekvenciji izbacuje bite

Serijalizator

a)		b)	
Level	Output of look-up table	Level	Output of look-up table
8	11111111111111111111111111111111	7.5	1111011111111111011111
7	11111101111111111111111111011111	6.5	1101111111011111110111
6	11101111111101111111011111110111	5.5	11100111111111001111
5	11101111001111111111110011110111	4.5	1101011111011111010111
4	10111110011111011011111001111101	3.5	1011011110101111011011
3	11110000111011111111011100001111	2.5	1011001111011100110111
2	10101101101101100110110110110101	1.5	1010101011110101010101
1	11100001010011111111001010000111	0.5	010111100000111101010
0	01101001100101100110100110010110	0.5	1010000111110000101
-1	00011110101100000000110101111000	-1.5	010101010001010101010
-2	01010010010010011001001001001010	-2.5	010011000100011001010
-3	00001111000100000000100011110000	-3.5	010010001010001001010
-4	01000001100000100100000110000010	-4.5	001010000100001010010
-5	00010000110000000000001100001000	-5.5	00011000000000110001000
-6	00010000000010000001000000001000	-6.5	001000000100000010010
-7	0000001000000000000000001000000	-7.5	00001000000000100001000
-8	00000000000000000000000000000000		

- M je dužina niza, 32 LUT a) i 19 LUT b)
- LUT a) → mid-tread
LUT b) → mid-rise
- Implementacija: hardver na $M \cdot f_s$ frekvenciji izbacuje bite

Serijalizator

a)		b)	
Level	Output of look-up table	Level	Output of look-up table
8	11111111111111111111111111111111	7.5	1111011111111111011111
7	11111101111111111111111111011111	6.5	1101111111011111110111
6	11101111111101111111011111110111	5.5	11100111111111001111
5	11101111001111111111110011110111	4.5	1101011111011111010111
4	10111110011111011011111001111101	3.5	1011011110101111011011
3	11110000111011111111011100001111	2.5	10110011101110011101
2	10101101101101100110110110110101	1.5	10101010111101010101
1	11100001010011111111001010000111	0.5	01011110000011110101
0	01101001100101100110100110010110	0.5	1010000111110000101
-1	00011110101100000000110101111000	-1.5	01010101000101010101
-2	01010010010010011001001001001010	-2.5	01001100010001100101
-3	00001111000100000000100011110000	-3.5	01001000101000100101
-4	01000001100000100100000110000010	-4.5	00101000010000101001
-5	00010000110000000000001100001000	-5.5	00011000000000110001
-6	00010000000010000001000000001000	-6.5	00100000010000001001
-7	00000010000000000000000010000001	-7.5	00001000000000100001
-8	00000000000000000000000000000000		

- M je dužina niza, 32 LUT a) i 19 LUT b)
- LUT a) → mid-tread
LUT b) → mid-rise
- Implementacija: hardver na $M \cdot f_s$ frekvenciji izbacuje bite

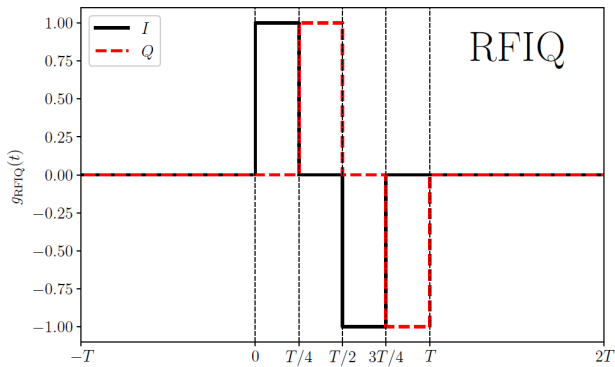
Serijalizator

a)		b)	
Level	Output of look-up table	Level	Output of look-up table
8	11111111111111111111111111111111	7.5	1111011111111111011111
7	11111101111111111111111111111111	6.5	1101111111011111110111
6	11101111111101111111111111111111	5.5	1110011111111111001111
5	1110111100111111111111110011110111	4.5	1101011111011111010111
4	1011111100111111011111110011111101	3.5	1011011111010111101101
3	1111000011101111111111011100001111	2.5	101100111101110011101
2	10101101101101100110110110110101	1.5	10101010111101010101
1	1110000101001111111111001010000111	0.5	01011111000001111010
0	011010011001011001110100110010110	0.5	1010000111110000101
-1	00011110101100000000110101111000	-1.5	0101010100010101010
-2	01010010010010011001001001001010	-2.5	0100110001000110010
-3	00001111000100000000100011110000	-3.5	0100100010100010010
-4	01000001100000100100000110000010	-4.5	0010100001000010100
-5	00010000110000000000001100001000	-5.5	0001100000000011000
-6	00010000000010000001000000001000	-6.5	0010000001000000100
-7	0000001000000000000000001000000	-7.5	0000100000000010000
-8	0000000000000000000000000000000		

- ▶ M je dužina niza, 32 LUT a) i 19 LUT b)
- ▶ LUT a) → mid-tread
LUT b) → mid-rise
- ▶ Implementacija: hardver na $M \cdot f_s$ frekvenciji izbacuje bite

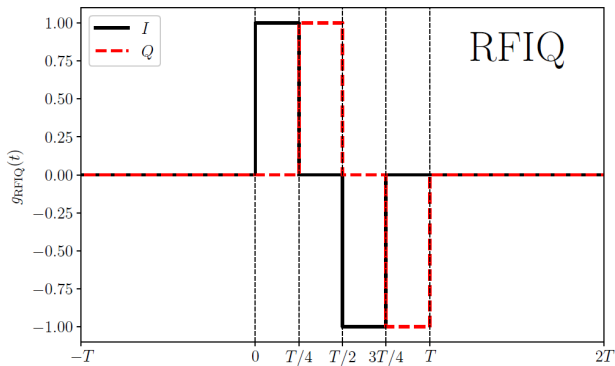
5. Podsystem III: rekonstrukcija kompleksnog signala RFIQ

RFIQ



- Q grana je pomeren za $T/4$ unazad

RFIQ



- Q grana je pomerena za $T/4$ unazad

- ▶ Fazni pomak je funkcija frekvencije!

$$\phi = \frac{\pi}{2} \frac{f}{f_s}$$

- ▶ Konačno potiskivanje simetričnog opsega

$$IR = 10 \log_{10} \tan^2 \left(\frac{\pi}{4} \frac{f + f_s}{f_s} \right)$$

- ▶ Pomeranjem Q grane unapred za $T/4$ fazni pomak postaje konstantan $\phi = \pi/2$

$$T_3/8 = T_2/(32 \cdot 8) \quad \text{ili} \quad T_3/8 = T_2/(19 \cdot 8)$$

- ▶ Fazni pomak je funkcija frekvencije!

$$\phi = \frac{\pi}{2} \frac{f}{f_s}$$

- ▶ Konačno potiskivanje simetričnog opsega

$$IR = 10 \log_{10} \tan^2 \left(\frac{\pi}{4} \frac{f + f_s}{f_s} \right)$$

- ▶ Pomeranjem Q grane unapred za $T/4$ fazni pomak postaje konstantan $\phi = \pi/2$

$$T_3/8 = T_2/(32 \cdot 8) \quad \text{ili} \quad T_3/8 = T_2/(19 \cdot 8)$$

- ▶ Fazni pomak je funkcija frekvencije!

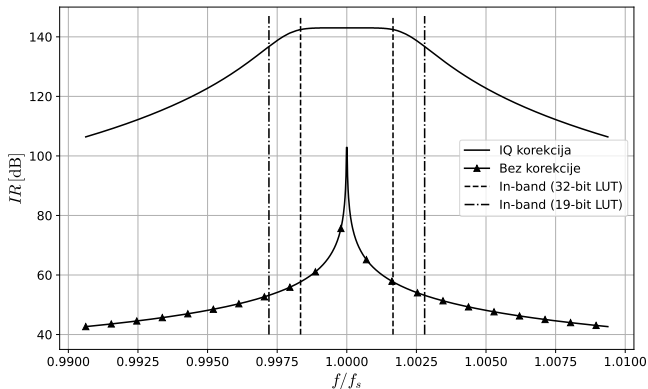
$$\phi = \frac{\pi}{2} \frac{f}{f_s}$$

- ▶ Konačno potiskivanje simetričnog opsega

$$IR = 10 \log_{10} \tan^2 \left(\frac{\pi}{4} \frac{f + f_s}{f_s} \right)$$

- ▶ Pomeranjem Q grane unapred za $T/4$ fazni pomak postaje konstantan $\phi = \pi/2$

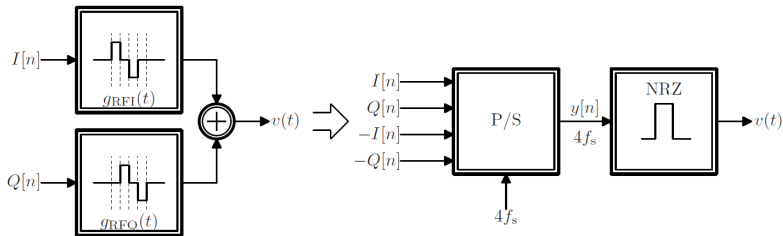
$$T_3/8 = T_2/(32 \cdot 8) \quad \text{ili} \quad T_3/8 = T_2/(19 \cdot 8)$$



- Odstupanje faznog pomaka od $\pi/2$ postaje:

$$\theta = \frac{\pi}{2} - \frac{\pi}{2} \frac{f}{f_s} \cdot \arctan \left(\frac{\sin(2\pi f/f_s)}{4} \right)$$

RFIQ

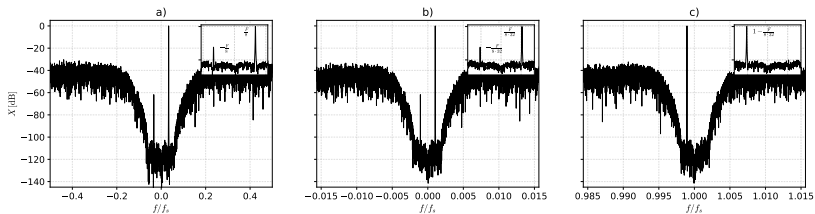


► Hardver na $4 \cdot f_s$ izbacuje niz:

$$[I \quad Q \quad \bar{I} \quad \bar{Q}]$$

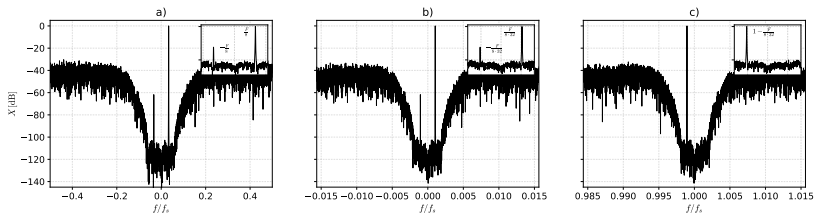
6. Rezultati VHDL simulacije

LUT širine 32-bit



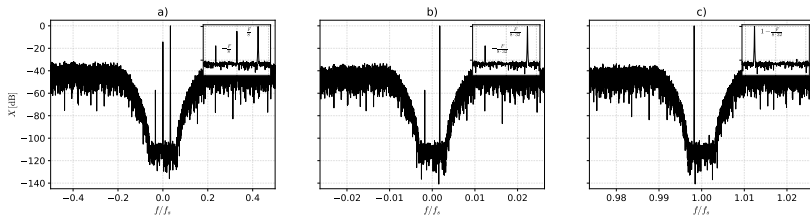
► Potpuno potiskivanje simetričnog opsegu u opsegu od interesa

LUT širine 32-bit



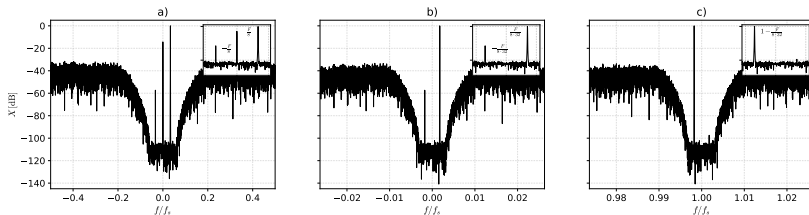
- Potpuno potiskivanje simetričnog opsega u opsegu od interesa

LUT širine 19-bit



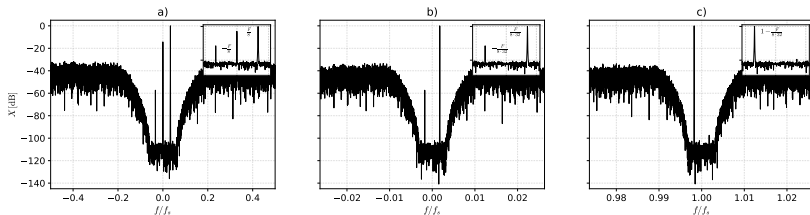
- ▶ Velika DC vrednost zbog mid-rise kvantizatora
- ▶ Mala razliku u odnosu na LUT širine 32-bit
- ▶ Potpuno potiskivanje simetričnog opsega u opsegu od interesa
- ▶ Prednost → manja frekvencija izalnog stepena (slika b)

LUT širine 19-bit



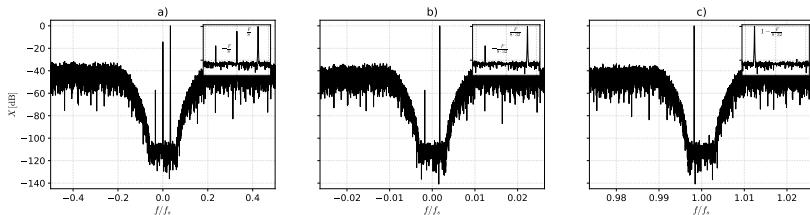
- ▶ Velika DC vrednost zbog mid-rise kvantizatora
- ▶ Mala razliku u odnosu na LUT širine 32-bit
- ▶ Potpuno potiskivanje simetričnog opsega u opsegu od interesa
- ▶ Prednost → manja frekvencija izalznog stepena (slika b)

LUT širine 19-bit



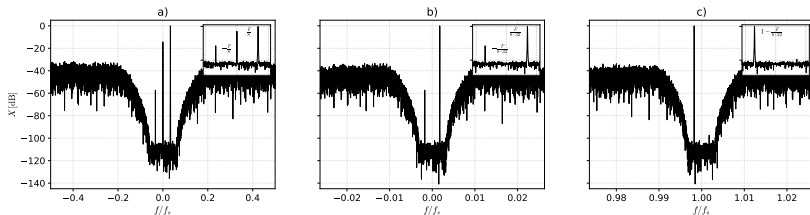
- ▶ Velika DC vrednost zbog mid-rise kvantizatora
- ▶ Mala razliku u odnosu na LUT širine 32-bit
- ▶ Potpuno potiskivanje simetričnog opsega u opsegu od interesa
- ▶ Prednost → manja frekvencija izalznog stepena (slika b)

LUT širine 19-bit



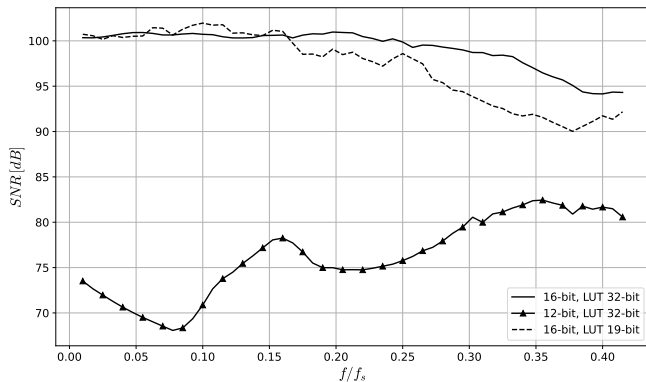
- ▶ Velika DC vrednost zbog mid-rise kvantizatora
- ▶ Mala razliku u odnosu na LUT širine 32-bit
- ▶ Potpuno potiskivanje simetričnog opsega u opsegu od interesa
- ▶ Prednost → manja frekvencija izalnog stepena (slika b)

LUT širine 19-bit



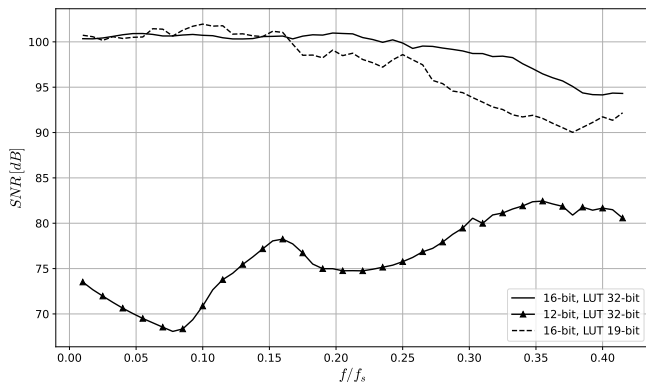
- ▶ Velika DC vrednost zbog mid-rise kvantizatora
- ▶ Mala razliku u odnosu na LUT širine 32-bit
- ▶ Potpuno potiskivanje simetričnog opsega u opsegu od interesa
- ▶ Prednost → manja frekvencija izalnog stepena (slika b)

SFDR



► $\text{SNR} \approx 6.02 N + 1.76\text{dB} \rightarrow 74\text{ dB } (N = 12) \rightarrow 98\text{ dB } (N = 16)$

SFDR



► $\text{SNR} \approx 6.02 N + 1.76\text{dB} \rightarrow 74\text{ dB } (N = 12) \rightarrow 98\text{ dB } (N = 16)$

7. Zaključak

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu

Zaključak

- ▶ Potuno digitalni predajni lanac
- ▶ Potpuno potiskivanje simetričnog opsega
→ SFDR reda 100dB
- ▶ Jednobitni izlaz
- ▶ RTL jezgro
- ▶ Dalji rad:
 - ▶ Optimizacija radne učestanosti
 - ▶ Merenje rezultata na FPGA čipu