

产品特性

- 内核与系统
 - 32 位 ARM® Cortex™-M4 处理器内核，支持 FPU 和 DSP 指令
 - 典型工作频率可达 160MHz
- 存储器
 - 高达 384K 字节的闪存程序存储器
 - 高达 64K 字节的 SRAM
- 时钟、复位和电源管理
 - 1.7V ~ 3.6V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 外部 4 ~ 32MHz 高速晶体振荡器
 - 内嵌经出厂调校的 8MHz 高速振荡器
 - PLL 支持 CPU 最高运行在 160MHz
 - 外部 32.768KHz 低速振荡器
- 低功耗
 - 睡眠、停机和待机模式
 - VBAT 为 RTC 和后备寄存器供电
- 3 个 12 位模数转换器，1 μ S 转换时间 (多达 18 个输入通道)
 - 转换范围：0 ~ VCCA
 - 支持采样时间和分辨率配置
 - 支持单次、连续、扫描和非连续多种转换模式
 - 片上温度传感器
 - 片上电压传感器
- 2 个 12 位数模转换器
 - 输出范围：0 ~ VREFP
 - 独立输出通道
 - 支持 Timer、EXTI 触发
- 12 通道 DMA 控制器
 - 支持的外设：Timer、ADC、DAC、UART、I2C、I2S、SPI、SDIO
- 多达 80 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断
 - 部分端口支持 5V Tolerant 输入
- 调试模式
 - 串行单线调试 (SWD) 或 JTAG 接口
- 多达 17 个定时器
 - 2 个 16 位高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 10 个 16 位通用定时器，有高达 4 个独立通道用于输入捕获/输出比较，通用定时器还支持使用正交解码器的两个输入的编码器接口
 - 2 个 16 位基本定时器，通常用于产生 DAC 触发
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 系统时间定时器：24 位自减型计数器
- 多达 13 个通信接口
 - 5 个 UART 接口
 - 2 个 I2C 接口
 - 3 个 SPI 接口
 - 1 个 ESMC 接口
 - 1 个 CAN 接口
 - 1 个 USB device 接口
 - 1 个 SDIO 接口
- 96 位的芯片唯一 ID (UID)
- 采用 LQFP100、LQFP64、LQFP48 和 QFN36 封装

目录

产品特性.....	1
1 简介	4
2 描述	5
2.1 系统架构	7
3 功能描述	8
3.1 Arm® Cortex®-M4处理器	8
3.2 内置存储器	8
3.3 存储器保护单元 (MPU)	8
3.4 总线矩阵 (Bus Matrix)	9
3.5 DMA控制器	9
3.6 嵌入式Flash	9
3.7 片内RAM	9
3.8 循环冗余校验计算单元 (CRC)	9
3.9 时钟, 复位和电源管理	9
3.10 自举模式	11
3.11 电压调压器	12
3.12 低功耗模式	12
3.13 模拟/数字转换器(ADC)	12
3.14 数字/模拟转换器 (DAC)	13
3.15 通用输入/输出接口 (GPIOs)	13
3.16 定时器和看门狗	13
3.17 实时时钟、备份寄存器 (RTC)	14
3.18 I ² C总线接口 (I ² C)	14
3.19 串行通信接口 (SPI)	15
3.20 通用同步异步收发器 (USART)	15
3.21 内部集成音频(I ² S)	15
3.22 安全数字输入/输出接口 (SDIO)	15
3.23 全速USB (USBD)	15
3.24 控制器区域网络 (FDCAN)	16
3.25 外部串行存储控制器 (ESMC)	16
3.26 SWD调试口	16
4 引脚定义	17
4.1 引脚定义	20
4.1.1 PY32F403xx引脚定义	20
5 存储器映射	27

6	电气特性	30
6.1	参考条件	30
6.1.1	最小值与最大值	30
6.1.2	典型值	30
6.1.3	典型曲线	30
6.1.4	负载电容	30
6.1.5	引脚输入电压	30
6.1.6	电源方案	31
6.1.7	电流消耗测量	32
6.2	绝对最大额定值	33
6.3	工作条件	34
6.3.1	通用工作条件	34
6.3.2	上电和下电时的工作条件	34
6.3.3	复位和电源控制模块特性	34
6.3.4	内部参考电压	35
6.3.5	供电电流特性	35
6.3.6	外部时钟特性	38
6.3.7	内部时钟源特性	40
6.3.8	PLL特性	41
6.3.9	存储器特性	42
6.3.10	ESMC特性	42
6.3.11	EMC特性	44
6.3.12	绝对最大值（电气敏感性）	45
6.3.13	I/O电流注入特性	45
6.3.14	I/O端口特性	45
6.3.15	NRST pin characteristics	48
6.3.16	TIM定时器特性	49
6.3.17	通信接口	49
6.3.18	SD/SDIO MMC卡主机接口特性	57
6.3.19	CAN接口特性	58
6.3.20	12-bit ADC特性	58
6.3.21	DAC特性	61
6.3.22	温度传感器特性	63
7	封装特性	64
7.1	QFN36封装	64
7.2	LQFP封装	65
8	型号命名	66
8.1	型号命名	66
8.2	有效的型号清单及丝印	67
9	版本历史	68

1 简介

本数据手册提供PY32F403XX系列MCU产品的器件编号和产品特性参数。

本数据手册应与PY32F403XX系列MCU用户手册一起使用。

Flash编程手册请参考。

关于Cortex™-M4核的信息请参考ARM公司网站上的Cortex™-M4 Technical Reference Manual。

2 描述

本产品是基于Arm® Cortex®-M4核的32位通用微控制器产品。内置的FPU和DSP功能支持浮点运算和全部DSP指令。通过平衡成本，性能，功耗来获得更好的用户体验。

典型工作频率可达160MHZ，内置高速存储器，丰富的增强型 I/O 端口和外设连接到外部总线。本产品包含3个12位的ADC、2个12位DAC、最多10个16位通用定时器、2个16位电机控制PWM定时器，具有死区时间生成和紧急停止功能、2个基本定时器、还包含标准的通信接口：2个I2C接口、3个SPI 接口、1个USB接口、1个CAN 接口、1个SDIO接口和5个UART接口。

本产品系列工作电压为1.7V ~ 3.6V，工作温度范围-40°C ~ +85°C。多种省电工作模式保证低功耗应用的要求。

本产品提供 LQFP100、LQFP64、LQFP48和QFN36 共4种封装形式；根据不同的封装形式，器件中的外设配置不尽相同。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC 游戏外设和 GPS 平台
- 工业应用：可编程控制器（PLC）、变频器、打印机和扫描仪
- 警报系统、视频对讲、和暖气通风空调系统等

表 2-1 PY32F403 系列产品规划及特征

Part Number		PY32F403xx																	
		T4	T6	T8	TB	C4	C6	C8	CB	R4	R6	R8	RB	RC	RD	V8	VB	VC	VD
Flash (KB)		16	32	64	128	16	32	64	128	16	32	64	128	256	384	64	128	256	384
SRAM (KB)		8	16	24	32	8	16	24	32	8	16	24	32	48	64	24	32	48	64
Timers	General timer	2 (2,3)	2 (2,3)	3 (2-4)	3 (2-4)	2 (2,3)	2 (2,3)	3 (2-4)	3 (2-4)	2 (2,3)	2 (2,3)	3 (2-4)	3 (2-4)	10 (2-5 9-14)	10 (2-5 9-14)	3 (2-4)	3 (2-4)	10 (2-5 9-14)	10 (2-5 9-14)
	Advanced timer	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	2 (1,8)	2 (1,8)	1 (1)	1 (1)	2 (1,8)	2 (1,8)
	SysTick	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Basic timer	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	2 (6,7)	2 (6,7)	- -	- -	2 (6,7)	2 (6,7)
	Watch dog	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	RTC	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Connectivity	USART	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	3 (1-3)	3 (1-3)	2 (1-2)	2 (1-2)	3 (1-3)	3 (1-3)	5 (1-5)	5 (1-5)	3 (1-3)	3 (1-3)	5 (1-5)	5 (1-5)
	I2C	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	2 (1-2)	2 (1-2)	1 (1)	1 (1)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)	2 (1-2)
	SPI	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	1 (1)	2 (1-2)	2 (1-2)	1 (1)	1 (1)	2 (1-2)	2 (1-2)	3 (1-3)	3 (1-3)	2 (1-2)	2 (1-2)	3 (1-3)	3 (1-3)
	I2S	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	- -	2 (1-2)	2 (1-2)	- -	- -	2 (1-2)	2 (1-2)

	CAN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	USBD	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	SDIO	-	-	-	-	-	-	-	-	-	-	-	-	1	1	-	-	1
GPIO		26	26	26	26	37	37	37	37	51	51	51	51	51	51	80	80	80
ESMC		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
EXTI		16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16
ADC	Units	2	2	2	2	2	2	2	2	2	2	2	2	3	3	2	2	3
	Channels	10	10	10	10	10	10	10	10	16	16	16	16	16	16	16	16	16
DAC		2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
Package		QFN36				LQFP48				LQFP64						LQFP100		

2.1 系统架构

系统采用32位多层AHB总线矩阵，可以保证多主机和多从机之间的并行通信：

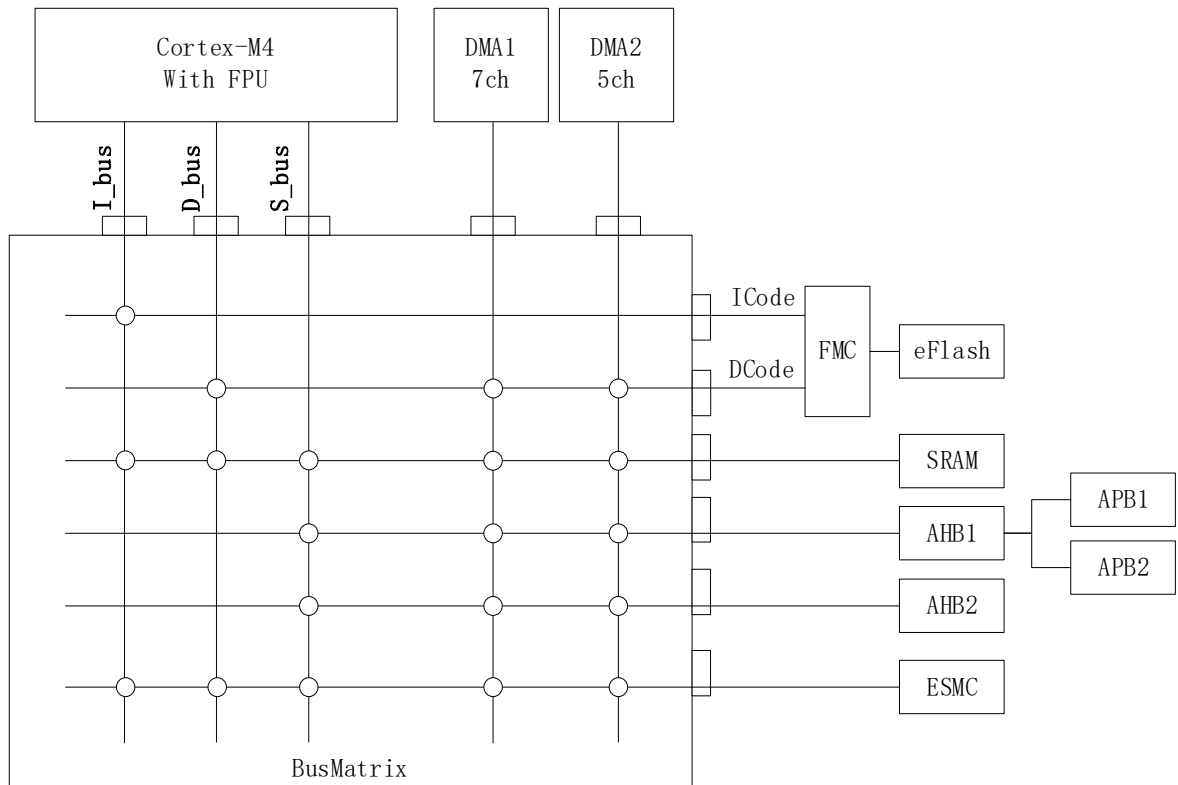
五条主控总线：

- Cortex™-M4F 内核 I 总线、D 总线和 S 总线
- DMA1 存储器总线
- DMA2 存储器总线

五条被控总线：

- 内部 Flash ICode 总线
- 内部 Flash DCode 总线
- 内部 SRAM总线 (96 KB , 64KB , 48KB , 20KB , 10KB , 6KB)
- AHB1外设总线 (包括AHB到APB的总线桥和APB外设)
- AHB2外设总线
- ESMC

图 2-1 总线架构



3 功能描述

3.1 Arm® Cortex®-M4处理器

ARM®的Cortex®-M4处理器是支持DSP指令和FPU浮点运算的高性能嵌入式32-bit RISC处理器，具有优异的代码效率，采用通常8位和16位器件的存储器空间即可发挥ARM内核的高性能。该处理器支持一组DSP指令，能够实现有效的信号处理和复杂的算法执行。它的单精度FPU（浮点单元）通过使用元语言开发工具，可加速开发，防止饱和。为MCU提供了低成本的平台，低引脚数、低功耗、同时提供卓越的计算性能和先进的中断系统响应。与所有ARM工具和软件兼容。

32位ARM®的Cortex®-M4处理器

- 支持160MHz工作频率
- 单周期乘法器和硬件除法器
- 集成DSP指令
- 嵌套的中断向量控制
- 24bit系统滴答定时器

ARM®的Cortex®-M4处理器是基于ARMv7-M架构，支持Thumb和Thumb-2指令集。

- Internal Bus Matrix connected with I-Code bus, D-Code bus, System bus, Private Peripheral Bus (PPB) and debug accesses (AHB-AP) .
- Nested Vectored Interrupt Controller (NVIC).
- Flash Patch and Breakpoint (FPB).
- Data Watchpoint and Trace (DWT).
- Instrumentation Trace Macrocell (ITM).
- Serial Wire JTAG Debug Port (SWJ-DP).
- Trace Port Interface Unit (TPIU).
- Floating Point Unit (FPU)
- Memory Protection Unit (MPU).

3.2 内置存储器

- 最大384K字节内置闪存
- 最大64K字节内置SRAM

Arm® Cortex®-M4处理器使用Harvard结构，指令和数据分开存取，提高执行速度，提高数据吞吐率。

表 5-1 存储器映射表定义了包括代码，SRAM，外设等区域的地址空间。

3.3 存储器保护单元（MPU）

存储器保护单元（MPU）用于管理CPU对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多8个保护区，还可依次再被分为最多8个子区。保护区大小可为 32 字节至可寻址存储器的整个4G字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则MPU 尤其有用。它通常由RTOS（实时操作系统）管理。若程序访问的存储器位置被MPU禁止，则RTOS可检测到并采取行动。在RTOS环境中，内核可基于执行的进程，动态更新MPU区的设置。MPU是可选

的，若应用不需要则可绕过。

3.4 总线矩阵 (Bus Matrix)

32位的multi-AHB总线矩阵将所有主设备 (CPU、 DMA) 和从设备 (Flash、 RAM、 FMC、 AHB、 APB 外设) 互连，确保了即使多个高速外设同时工作时，工作也能无缝、高效。

3.5 DMA控制器

该器件具有两个通用双端口 DMA (DMA1和DMA2)，分别有7个和5个通道。它们能够管理存储器到存储器、外设到存储器、存储器到外设的传输。它们具有用于APB/AHB外设的专用FIFO，支持突发传输，其设计可提供最大外设带宽 (AHB/APB)。

这两个DMA控制器支持循环缓冲区管理，当控制器到达缓冲区末尾时，无需专门代码。这两个DMA控制器还有双缓冲特性，可自动使用和切换两个存储器缓冲，而不需要特殊代码。

每个数据流都与专用的硬件DMA请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

3.6 嵌入式Flash

器件内置了高达512K字节的Flash，可用于存储程序和数据。

3.7 片内RAM

器件内置了高达64K字节的RAM。。

3.8 循环冗余校验计算单元 (CRC)

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器从一个32位的数据字中产生CRC 码。在众多的应用中，基于CRC的技术还常用来验证数据传输或存储的完整性。根据 EN/IEC60335-1 标准的规定，这些技术提供了验证Flash完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

3.9 时钟，复位和电源管理

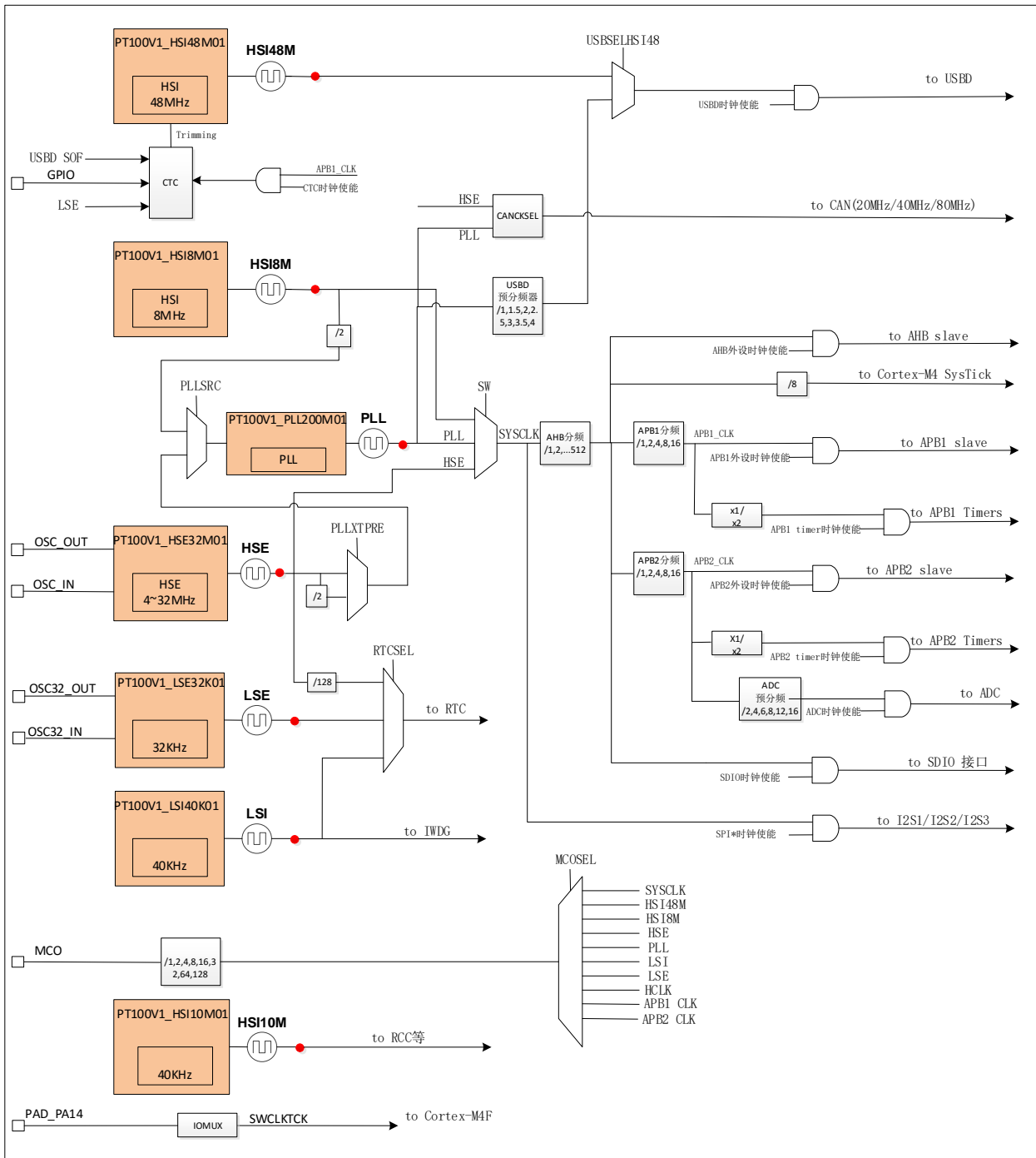
- 片内8MHz高精度HSI RC时钟和外部4~32MHz HSE晶振时钟
- 片内40KHz LSI RC时钟和外部32.768KHz LSE晶振时钟
- 可配置PLL时钟
- 1.7 ~ 3.6 V供电
- 供电监控: POR (上电复位), PDR (下电复位), PVD(可编程电压监测)
- VCC 1.7V ~ 3.6V，VCC管脚提供I/O管脚及内部LDO的供电
- VSSA、VCCA 1.7V ~ 3.6V，给ADC、复位模块、RC Oscillator、PLL等模块供电
- VBAT 1.6V ~ 3.6V，备份电源给RTC、32K LSE、备份寄存器供电，在VCC掉电时通过芯片内的电源开关切换

时钟控制单元 (CCU) 提供的时钟有高速时钟有内部高速时钟HSI和外部高速时钟HSE，低功耗应用时的低速时钟有内部低速时钟LSI，外部低速时钟LSE，锁相环时钟PLL。系统时钟的选择在启动时进

行,复位后内部8MHz HSI被选为默认的CPU时钟,之后可以选择具有失效监控的4~32MHz外部时钟,当外部时钟失效时,会被隔离,同时会产生中断。具有多个预分频器用于配置AHB的频率、高速APB (APB2 , APB1)。AHB和高速APB最高频率是160MHz。

复位控制单元 (RCU) 包括3种复位方式：上电复位、系统复位和备份域复位。系统复位会复位处理器核及除SW-DP调试功能及备份域外的所有外设。本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路,该电路始终处于工作状态,保证系统供电超过 1.7V 时工作;当VCC 低于设定的阈值 (VPOR/PDR) 时,置器件于复位状态,而不必使用外部复位电路。器件中还有一个可编程电压监测器 (PVD),它监视 VCC/CCA 供电并与阈值 VPVD 比较,当VCC 低于或高于阈值 VPVD 时产生中断,中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

图 3-1 PY32F403XX 时钟树



注：当HSI 8M作为PLL时钟源时，PLL作为系统时钟能得到的最大频率为64MHz。

3.10 自举模式

在启动时，通过boot引脚可以选择自举模式：

- 从程序闪存自举 (默认模式)
- 从系统存储器自举
- 从片内SRAM自举

自举加载程序 (boot loader) 存放于系统存储器内，用于通过USART对闪存重新编程。

3.11 电压调压器

- 主模式MR
- 低功耗模式LPR
- 关断模式

电压调压器LDO有3种工作模式：主模式（MR）用于正常运行、低功耗模式（LPR）用于CPU停机模式、关断模式用于CPU待机模式（LDO输出高阻，内核供电切断，寄存器和SRAM内容丢失）。

3.12 低功耗模式

支持3种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳平衡。

- 睡眠模式

在睡眠模式，只有CPU停止，所有外设处于正常工作状态并可在发生中断/事件时唤醒CPU。

- 停机模式

在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，所有内部1.1V域的时钟关断，内部时钟HSI，HSE，PLL等被关闭。电压调压器可以被置于主模式或低功耗模式。可以通过任一配置成EXTI的信号来唤醒，EXTI信号可以是16个外部I/O口之一、PVD输出、RTC闹钟、或USB唤醒信号。从停机模式唤醒时，HSI时钟被默认选为系统时钟。

- 待机模式

在待机模式下可以达到最低的电能消耗。电压调压器被关闭，内部1.1V域的供电被切断，PLL、HSI、HSE振荡器被关闭。SRAM和寄存器内容丢失，但备份寄存器内容继续保留，待机电路继续工作。从待机模式退出的条件有四种：NRST上的外部复位、IWDG复位、RTC闹钟到时、WKUP管脚上的上升沿。

3.13 模拟/数字转换器(ADC)

- 12位SAR模拟/数字转换器
- 12位精度，1M采样率
- 模拟输入电压范围：VSSA to VCCA (1.7V ~ 3.6 V)
- 温度传感器

内置有3个12位模数转换器（ADC），每个ADC可共享多达16个外部通道，在单发或扫描模式下执行转换。在扫描模式下，将对一组选定的模拟输入执行自动转换。

ADC 接口内置的其它逻辑功能允许：

- 同步采样和保持
- 交叉采样和保持

ADC可以使用 DMA 控制器。利用模拟看门狗功能，可以非常精确地监视一路、多路或所有选定通道的转换电压。当转换电压超出编程的阈值时，将产生中断。为同步A/D转换和定时器，可由 TIM1、TIM2、TIM3、TIM4、TIM5、TIM8定时器的任何一个触发ADC。

温度传感器产生一个随温度线性变化的电压。温度传感器输出电压在内部被连接到 ADC 的 ADC_IN16输入通道上，用于将传感器的输出转换到数字数值。由于工艺不同，温度传感器的偏移因芯片而异，因此内部温度传感器主要适合检测温度变化的应用，而不是检测绝对温度的应用。如果需要读取精确温度，则应使用外部温度传感器部分。

为了确保ADC和DAC的高精度，ADC/DAC独立的外部参考电压应连接到VREFP/VREFN引脚。根据

不同的封装,VREFP引脚可以连接到VCCA引脚或外部参考电压,VREFN引脚必须连接到VSSA引脚。VREFP引脚仅适用于100引脚的封装。在小于100针的封装上,VREFP引脚不可用,它内部连接到VCCA。VREFN引脚内部连接到VSSA。

3.14 数字/模拟转换器 (DAC)

- 2个带独立输出通道的12-bit DAC
- 可以按8-bit或12-bit模式进行配置,并且可以与DMA控制器配合使用。

两个带通道输出缓冲器的12-bit DAC用于产生可变模拟输出。DAC通道可以由定时器或支持DMA的EXTI触发。在双DAC通道操作中,转换可以独立进行,也可以同时进行。DAC的最大输出值为VREFP

3.15 通用输入/输出接口 (GPIOs)

- 多达80个GPIO,所有GPIO都可以映射为16个外部中断
- 可配置的模拟输入/输出功能
- 可配置的GPIO复用功能

每个 GPIO 引脚都可以由软件配置为输出 (推挽或开漏、带或不带上拉/下拉)、输入 (浮空、带或不带上拉/下拉) 或外设复用功能。大多数GPIO引脚都具有数字或模拟复用功能。所有GPIO都有大电流的功能,具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

如果需要,I/O引脚的外设功能可在特定序列后锁定,以避免对I/O寄存器执行意外写操作。快速 I/O 处理,最大I/O切换可高达96MHz。

3.16 定时器和看门狗

- 产品包含2个16位高级定时器(TIM1 ,TIM8),10个16位通用定时器(TIM2~TIM5 ,TIM9~TIM14), 2个基本定时器 (TIM6 , TIM7)
- 4个独立的PWM发生器,每个都有输入捕获和输出比较功能和外部触发输入
- 带可编程死区和互补输出的16位电机控制PWM定时器
- 采用正交解码器的双输入编码器接口控制器
- 24位递减系统滴答定时器
- 2个看门狗定时器 (独立看门狗和窗口看门狗定时器)

高级定时器 (TIM1 , TIM8)

可以看作是一个6通道多路复用三相PWM发生器,它具有可编程死区时间产生的互补PWM输出它也可以作为一个完整的通用定时器。6个独立通道可用于:

- 输入捕获
- 输出比较
- 产生PWN (边沿对齐或中心对齐模式)
- 单脉冲输出模式

如果配置为通用16位定时器,则可以与外部信号同步,也可以与具有相同结构和功能的其他通用定时器互连。

通用定时器 (TIM2~TIM5 , TIM9~TIM11 , TIM12~TIM14)

可用于各种用途,包括通用定时器、输入信号脉宽测量或输出波形产生(如单脉冲产生或PWM输出),

最多4个独立通道用于输入捕获/输出比较。通用定时器还支持使用正交解码器的两个输入的编码器接口。

基本定时器 (TIM6, TIM7)

基本定时器均基于一个16位自动重载递增计数器和一个16位预分频器。主要用于DAC触发器的生成。

独立看门狗定时器 (IWDG)

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40KHz的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，看门狗被关闭。

窗口看门狗定时器 (WWDG)

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，看门狗被关闭。

系统滴答定时器 (SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位递减计数器
- 自动重加载功能
- 当计数器为0时产生一个可屏蔽系统中断
- 可编程时钟源

3.17 实时时钟、备份寄存器 (RTC)

- 带20-bit预分频器的32-bit定时器
- 闹钟功能
- 可作为中断和唤醒事件

实时时钟是一个独立的计时器，它提供一组连续运行的计数器，这些计数器可与适当的软件一起使用，以提供时钟日历功能，并提供报警中断和预期中断。RTC具有一个32位可编程计数器，用于使用比较寄存器生成警报的长期测量。20位预分频器用于基准时钟，并且默认配置为从外部晶体振荡器的32.768kHz的时钟生成1秒的基准时钟。

备份寄存器为32位寄存器，用于在VCC电源不存在时存储80字节的用户应用数据。备份寄存器不会在系统复位或电源复位时复位，也不会当器件从待机模式唤醒时复位。

RTC 和备份寄存器通过开关供电，当 VCC 电源存在时，该开关选择VCC供电，否则选择由 VBAT 引脚供电。

3.18 I²C总线接口 (I²C)

- 3个I²C总线接口，支持多主机模式和从机模式，支持标准（100KHz）和快速（400KHz）模式
- 提供仲裁功能，可选PEC（包错误检查）生成和检查
- 支持7bit/10bit寻址模式，作为从机时支持7bit双寻址模式。

I²C模块在标准模式下提供高达100 KHz的传输速率，在快速模式下提供高达400 KHz的传输速率。I²C

模块还具有仲裁检测功能，以防止多个主机同时尝试向I2C总线传输数据的情况。在I2C接口中还提供了一个CRC-8计算器，用于对I2C数据进行包错误检查。所有I2C接口都可以使用DMA操作并且支持SMBus 2.0/PMBus。

3.19 串行通信接口 (SPI)

- 3个最大40Mbit/s的SPI接口
- 支持主从模式、全双工和单工通信模式
- 支持硬件CRC生成和校验

SPI接口使用4个信号线（串行数据输入输出MISO/MOSI、时钟信号SCK、从机选中型号NSS）。所有SPI接口都可以使用DMA操作。3位预分频器可产生8种主模式频率、帧可配置为8位或16位。硬件CRC生成/验证支持基本的SD卡/MMC模式。

3.20 通用同步异步收发器 (USART)

- 3个通用同步/异步收发器 (USART) 和2个通用异步收发器 (UART)，工作频率最大到6.75MHz
- 支持异步和时钟同步串行通信模式
- 支持IrDA SIR 编解码器
- LIN停止符号生成和检测功能
- 支持符合ISO 7816-3标准定义的智能卡接口

USART (USART1、USART2和USART3) 和UART (UART4和UART5) 用于在并行和串行接口之间转换数据，通过同步或异步传输提供灵活的全双工数据交换。它也常用于RS-232标准通信。USART包括一个可编程波特率发生器，它能够划分系统时钟，为USART发射机和接收机产生专用时钟。USART还支持高速数据通信的DMA功能。

3.21 内部集成音频(I²S)

- 2个采样率8KHz~192KHz的 I2S总线接口
- 支持主机模式和从机模式，全双工和单工通信模式

I2S总线通过3线串行线路为数字音频应用提供标准通信接口。包含两个I2S总线接口，可在主或从模式下以16/32位分辨率操作，引脚与SPI1和SPI2多路复用。支持8 KHz~192 KHz的音频采样频率，精度误差小于0.5%。所有I2S接口都可以使用DMA控制器。

3.22 安全数字输入/输出接口 (SDIO)

- 支持SD2.0/SDIO2.0/MMC4.2接口

产品中内嵌一个兼容 SD/SDIO/MMC 的设备控制器，用于控制外部 SD/SDIO/MMC 卡，作为主机与连接的 SD/SDIO/MMC 卡进行通信。

3.23 全速USB (USB2.0)

- 一个兼容全速USB的设备控制器，满足全速 (12Mbit/S) USB设备标准
- 符合USB时钟的内部主PLL

通用串行总线(USB)是一种4线总线，支持一个或多个设备之间的通信。全速外设符合USB2.0规范。设备控制器支持与USB主机控制器进行12 Mbit/s的数据交换。传输格式由硬件执行，包括CRC生成和

校验。完成的USB传输状态或错误状态由状态寄存器指示。如果启用，也会生成中断。专用48 MHz时钟由内部主PLL产生（时钟源必须使用HSE晶体振荡器）或由内部带自动校准功能的48MHz振荡器产生（用于无晶振应用场景）。

3.24 控制器区域网络 (FDCAN)

- 一个通信频率高达1 Mbit/s的CAN2.0B接口
- 符合CAN时钟的内部主PLL

控制器局域网（CAN）是实现现场总线串行通信的一种方法。CAN协议在工业自动化和汽车应用中得到了广泛的应用。它可以接收和发送具有11位标识符的标准帧以及具有29位标识符的扩展帧。三个发送邮箱，可软件配置发送优先级。两个具有三级深度的接收FIFO，14个可调整的筛选器组，用于选择所需的传入消息并丢弃其他消息。

3.25 外部串行存储控制器 (ESMC)

- 支持的外部存储器种类: SPI NOR Flash，SPI PSRAM
- 1/2/4/8位数据总线

ESMC是外部串行存储器控制器的缩写。用于单（Single SPI）、双（Dual SPI）、四（Quad SPI）和八（Octal SPI）通道SPI接口存储器（NOR Flash，PSRAM等）。

它可以在以下两种模式中的任何一种模式下运行：

- 间接模式：所有操作均使用QUADSPI寄存器执行（indirect mode）
- 内存映射模式：外部闪存映射到设备地址空间，系统将其视为内部存储器（memory mapped mode）
使用双存储器模式，即同时访问两个Quad SPI存储器，可以实现类似Octal SPI存储器一样提高两倍的吞吐量和存储容量。

3.26 SWD调试口

内置的ARM SWJ-DP接口由JTAG和串行线调试端口结合而成，可以实现要连接到目标的串行线调试探头或JTAG 探头。

仅使用2个引脚执行调试，而不是JTAG要求的5个（可重用 JTAG 引脚，作为具有复用功能的 GPIO）：JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，TMS引脚上的指定序列用于在JTAG-DP和SW-DP间切换。

4 引脚定义

图 4-1 PY32F403vx LQFP100 引脚分布

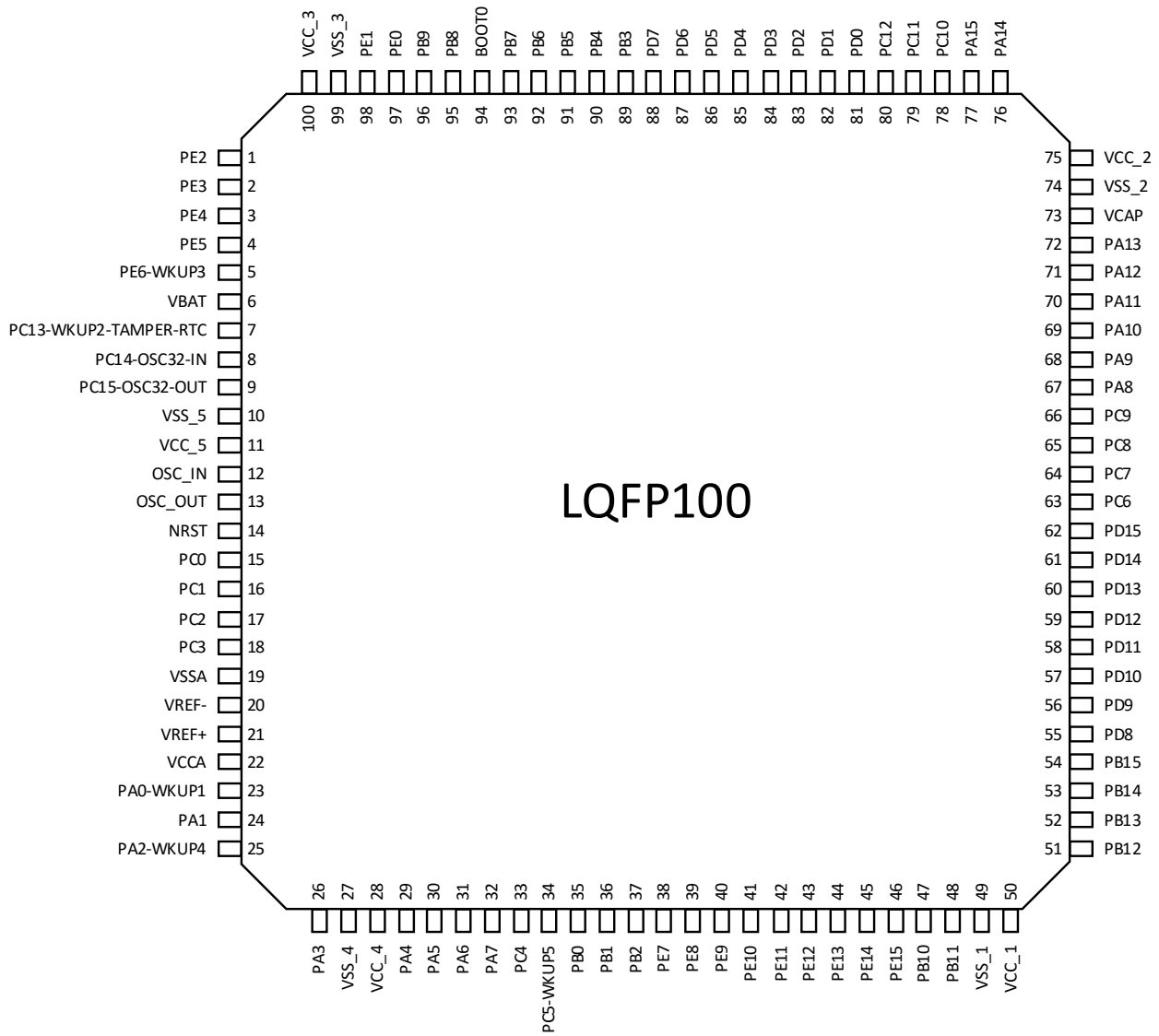


图 4-2 PY32F403rx LQFP64 引脚分布

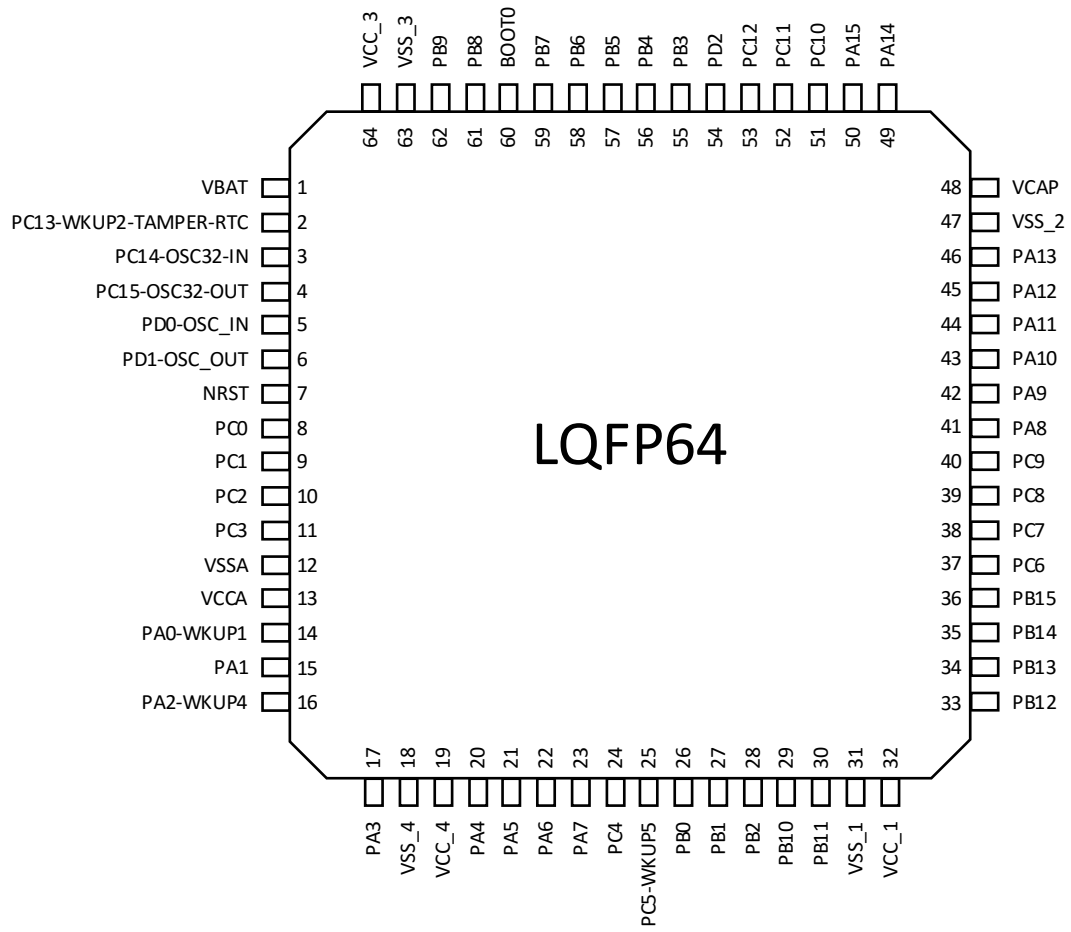


图 4-3 PY32F403cx LQFP48 引脚分布

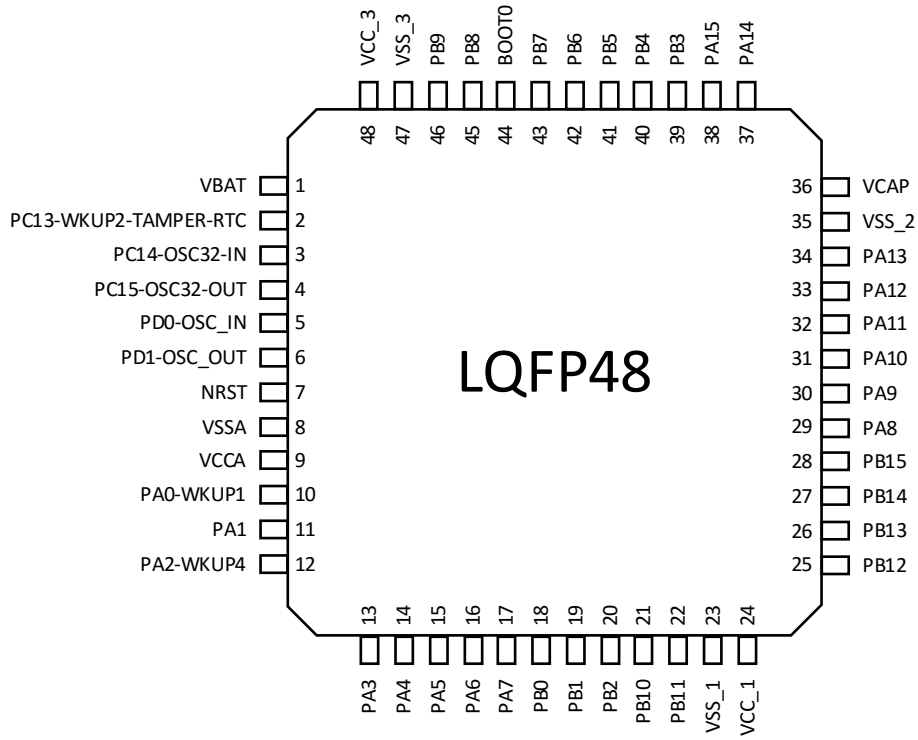
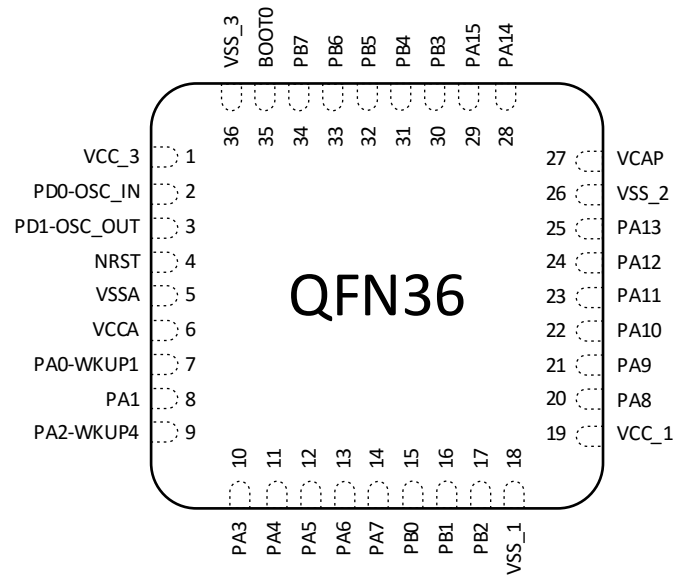


图 4-4 PY32F403tx LQFP36 引脚分布



4.1 引脚定义

4.1.1 PY32F403xx引脚定义

表 4-1 PY32F403xx 引脚定义表

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
1	-	-	-	PE2	I/O	FT	PE2	TRACECK EVENT_OUT	-
2	-	-	-	PE3	I/O	FT	PE3	TRACED0 EVENT_OUT	-
3	-	-	-	PE4	I/O	FT	PE4	TRACED1 EVENT_OUT	-
4	-	-	-	PE5	I/O	FT	PE5	TRACED2 TIM9_CH1 EVENT_OUT	-
5	-	-	-	PE6	I/O	FT	PE6	TRACED3 TIM9_CH2 ENENT_OUT	WKUP3
6	1	1	1	VBAT	S	-	VBAT	-	-
7	2	2	-	PC13-TAMPER RTC(5)	I/O	-	PC13(6)	EVENT_OUT	TAMPER-RTC WKUP2
8	3	3	-	PC14- OSC32_IN(5)	I/O	-	PC14(6)	EVENT_OUT	OSC32_IN
9	4	4	-	PC15- OSC32_OUT(5)	I/O	-	PC15(6)	EVENT_OUT	OSC32_OUT
10	-	-	-	VSS_5	S	-	VSS_5	-	-
11	-	-	-	VCC_5	S	-	VCC_5	-	-
12	5	5	2	OSC_IN	I	-	OSC_IN	-	PD0
13	6	6	3	OSC_OUT	O	-	OSC_OUT	-	PD1
14	7	7	4	NRST	I/O	-	NRST	-	-
15	8	-	-	PC0	I/O	-	PC0	EVENT_OUT	ADC123_IN10
16	9	-	-	PC1	I/O	-	PC1	ESMC_IO4 EVENT_OUT	ADC123_IN11
17	10	-	-	PC2	I/O	-	PC2	ESMC_IO5 EVENT_OUT	ADC123_IN12
18	11	-	-	PC3	I/O	-	PC3	ESMC_IO6 EVENT_OUT	ADC123_IN13
19	12	8	5	VSSA	S	-	VSSA	-	-
20	-	-	-	VREF-	S	-	VREF-	-	-
21	-	-	-	VREF+	S	-	VREF+	-	-
22	13	9	6	VCCA	S	-	VCCA	-	-
23	14	10	7	PA0-WKUP1	I/O	-	PA0	WKUP1 USART2_CTS TIM8_ETR TIM2_CH1_ETR TIM5_CH1 EVENT_OUT	ADC123_IN0 WKUP1

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
24	15	11	8	PA1	I/O	-	PA1	USART2_RTS TIM2_CH2 TIM5_CH2 EVENT_OUT	ADC123_IN1
25	16	12	9	PA2	I/O	-	PA2	USART2_TX TIM2_CH3 TIM5_CH3 TIM9_CH1 ESMC_SS0 EVENT_OUT	ADC123_IN2 WKUP4
26	17	13	10	PA3	I/O	-	PA3	USART2_RX TIM2_CH4 TIM5_CH4 TIM9_CH2 ESMC_CLK EVENT_OUT	ADC123_IN3
27	18	-	-	VSS_4	S	-	VSS_4	-	-
28	19	-	-	VCC_4	S	-	VCC_4	-	-
29	20	14	11	PA4	I/O	-	PA4	USART2_CK SPI1_NSS EVENT_OUT	ADC12_IN4 DAC_OUT1
30	21	15	12	PA5	I/O	-	PA5	SPI1_SCK EVENT_OUT	ADC12_IN5 DAC_OUT2
31	22	16	13	PA6	I/O	-	PA6	SPI1_MISO TIM8_BKIN TIM3_CH1 TIM13_CH1 ESMC_IO3 EVENT_OUT	ADC12_IN6
32	23	17	14	PA7	I/O	-	PA7	SPI1_MOSI TIM8_CH1N TIM14_CH1 ESMC_IO2 EVENT_OUT	ADC12_IN7
33	24	-	-	PC4	I/O	-	PC4	ESMC_IO7 EVENT_OUT	ADC12_IN14
34	25	-	-	PC5	I/O	-	PC5	EVENT_OUT	ADC12_IN15 WKUP5
35	26	18	15	PB0	I/O	-	PB0	TIM1_CH2N TIM8_CH2N TIM3_CH3 ESMC_IO1 I2S3_CK EVENT_OUT	ADC12_IN8
36	27	19	16	PB1	I/O	-	PB1	TIM1_CH3N TIM8_CH3N ESMC_IO0 EVENT_OUT	ADC12_IN9
37	28	20	17	PB2	I/O	FT	PB2/BOOT1	EVENT_OUT	BOOT1
38	-	-	-	PE7	I/O	FT	PE7	TIM1_ETR	-
39	-	-	-	PE8	I/O	FT	PE8	TIM1_CH1N	-
40	-	-	-	PE9	I/O	FT	PE9	TIM1_CH1	-

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
41	-	-	-	PE10	I/O	FT	PE10	TIM1_CH2N ESMC_CLK EVENT_OUT	-
42	-	-	-	PE11	I/O	FT	PE11	TIM1_CH2 ESMC_SS3 EVENT_OUT	-
43	-	-	-	PE12	I/O	FT	PE12	TIM1_CH3N ESMC_IO0 EVENT_OUT	-
44	-	-	-	PE13	I/O	FT	PE13	TIM1_CH3 ESMC_IO1 EVENT_OUT	-
45	-	-	-	PE14	I/O	FT	PE14	TIM1_CH4 ESMC_IO2 EVENT_OUT	-
46	-	-	-	PE15	I/O	FT	PE15	TIM1_BKIN ESMC_IO3 EVENT_OUT	-
47	29	21	-	PB10	I/O	FT	PB10	I2C2_SCL USART3_TX TIM2_CH3 ESMC_CLK EVENT_OUT	-
48	30	22	-	PB11	I/O	FT	PB11	I2C2_SDA USART3_RX TIM2_CH4 ESMC_SS1 EVENT_OUT	-
49	31	23	18	VSS_1	S	-	VSS_1	-	-
50	32	24	19	VCC_1	S	-	VCC_1	-	-
51	33	25	-	PB12	I/O	FT	PB12	I2C2_SMBA USART3_CK SPI2_NSS TIM1_BKIN I2S2_WS EVENT_OUT	-
52	34	26	-	PB13	I/O	FT	PB13	USART3_CTS SPI2_SCK TIM1_CH1N I2S2_CK EVENT_OUT	-
53	35	27	-	PB14	I/O	FT	PB14	USART3_RTS SPI2_MISO TIM1_CH2N TIM12_CH1 EVENT_OUT	-
54	36	28	-	PB15	I/O	FT	PB15	SPI2_MOSI TIM1_CH3N TIM12_CH2 I2S2_SD EVENT_OUT	-
55	-	-	-	PD8	I/O	FT	PD8	USART3_TX EVENT_OUT	-
56	-	-	-	PD9	I/O	FT	PD9	USART3_RX EVENT_OUT	-

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
57	-	-	-	PD10	I/O	FT	PD10	USART3_CK EVENT_OUT	-
58	-	-	-	PD11	I/O	FT	PD11	USART3_CTS EVENT_OUT	-
59	-	-	-	PD12	I/O	FT	PD12	TIM4_CH1 USART3_RTS EVENT_OUT	-
60	-	-	-	PD13	I/O	FT	PD13	TIM4_CH2 EVENT_OUT	-
61	-	-	-	PD14	I/O	FT	PD14	TIM4_CH3 EVENT_OUT	-
62	-	-	-	PD15	I/O	FT	PD15	TIM4_CH4 EVENT_OUT	-
63	37	-	-	PC6	I/O	FT	PC6	USART4_CK TIM8_CH1 TIM3_CH1 SDIO_D6 I2S2_MCK EVENT_OUT	-
64	38	-	-	PC7	I/O	FT	PC7	USART4_CTS TIM8_CH2 TIM3_CH2 SDIO_D7 I2S3_MCK EVENT_OUT	-
65	39	-	-	PC8	I/O	FT	PC8	USART4_RTS TIM8_CH3 TIM3_CH3 SDIO_D0 EVENT_OUT	-
66	40	-	-	PC9	I/O	FT	PC9	TIM8_CH4 TIM3_CH4 SDIO_D1 EVENT_OUT	-
67	41	29	20	PA8	I/O	FT	PA8	MCO USART1_CK TIM1_CH1 EVENT_OUT	-
68	42	30	21	PA9	I/O	FT	PA9	USART1_TX TIM1_CH2 EVENT_OUT	-
69	43	31	22	PA10	I/O	FT	PA10	USART1_RX CTC_SYNC TIM1_CH3 EVENT_OUT	-
70	44	32	23	PA11	I/O	FT	PA11	USART1_CTS TIM1_CH4 CAN_RX EVENT_OUT	USB_DM
71	45	33	24	PA12	I/O	FT	PA12	USART1_RTS TIM1_ETR CAN_TX EVENT_OUT	USB_DP
72	46	34	25	PA13	I/O	FT	JTMS-SWDIO	JTMS-SWDIO EVENT_OUT	-

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
73				VCAP	-		VCAP		-
74	47	35	26	VSS_2	S	-	VSS_2	-	-
75				VCC_2	S	-	VCC_2	-	-
	48	36	27	VCAP	-		VCAP		-
76	49	37	28	PA14	I/O	FT	JTCK-SWCLK	JTCK-SWCLK EVENT_OUT	-
77	50	38	29	PA15	I/O	FT	JTDI	JTDI SPI3_NSS SPI1_NSS TIM2_CH1_ETR I2S3_WS EVENT_OUT	-
78	51	-	-	PC10	I/O	FT	PC10	USART4_TX USART3_TX SDIO_D2 EVENT_OUT	-
79	52	-	-	PC11	I/O	FT	PC11	USART4_RX USART3_RX SDIO_D3 EVENT_OUT	-
80	53	-	-	PC12	I/O	FT	PC12	USART5_TX USART3_CK SDIO_CK EVENT_OUT	-
81	-	-	-	PD0	I/O	FT	OSC_IN(8)	CAN_RX EVENT_OUT	-
82	-	-	-	PD1	I/O	FT	OSC_OUT(8)	CAN_TX EVENT_OUT	-
83	54	-	-	PD2	I/O	FT	PD2	TIM3_ETR USART5_RX SDIO_CMD EVENT_OUT	-
84	-	-	-	PD3	I/O	FT	PD3	USART2_CTS USART5_CK ESMC_SS2 EVENT_OUT	-
85	-	-	-	PD4	I/O	FT	PD4	USART2_RTS USART5_CTS ESMC_IO4 EVENT_OUT	-
86	-	-	-	PD5	I/O	FT	PD5	USART2_TX USART5_RTS ESMC_IO5 EVENT_OUT	-
87	-	-	-	PD6	I/O	FT	PD6	USART2_RX ESMC_IO6 EVENT_OUT	-
88	-	-	-	PD7	I/O	FT	PD7	USART2_CK ESMC_IO7 EVENT_OUT	-

封装类型				端口名	端口类型(1)	端口结构(2)	复位功能(3)	端口功能(4)	
LQFP 100	LQFP 64	LQFP 48	QFN 36					复用功能	附加功能
89	55	39	30	PB3	I/O	FT	JTDO	JTDO-TRACESWO SPI3_SCK SPI1_SCK TIM2_CH2 EVENT_OUT	-
90	56	40	31	PB4	I/O	FT	NJTRST	NJTRST SPI3_MISO SPI1_MISO TIM3_CH1 EVENT_OUT	-
91	57	41	32	PB5	I/O	-	PB5	I2C1_SMBA SPI3_MOSI SPI1_MOSI TIM3_CH2 I2S3_SD EVENT_OUT	-
92	58	42	33	PB6	I/O	FT	PB6	I2C1_SCL USART1_TX TIM4_CH1 EVENT_OUT	-
93	59	43	34	PB7	I/O	FT	PB7	I2C1_SDA USART1_RX TIM4_CH2 EVENT_OUT	-
94	60	44	35	BOOT0	I	-	BOOT0	-	-
95	61	45	-	PB8	I/O	FT	PB8	I2C1_SCL TIM4_CH3 TIM10_CH1 CAN_RX SDIO_D4 EVENT_OUT	-
96	62	46	-	PB9	I/O	FT	PB9	I2C1_SDA TIM4_CH4 TIM11_CH1 CAN_TX SDIO_D45 EVENT_OUT	-
97	-	-	-	PE0	I/O	FT	PE0	TIM4_ETR EVENT_OUT	-
98	-	-	-	PE1	I/O	FT	PE1	EVENT_OUT	-
99	63	47	36	VSS_3	S	-	VSS_3	-	-
100	64	48	1	VCC_3	S	-	VCC_3	-	-

Note:

1. I = input, O = output, S = supply.
2. FT = 5 V tolerant.
3. 可用功能取决于所选器件.
4. 如果多个外设共享相同的I/O引脚, 为避免这些备用功能之间的冲突, 一次只能通过外设时钟启用位 (在相应的RCC外设时钟启用寄存器中) 启用一个外设
5. PC13、PC14、PC15通过电源开关供电。由于该开关的灌电流能力有限(3 mA), 因此在输出模式下使用GPIO PC13到 PC15时存在以下限制:
 - 速率不得超过 2 MHz, 最大负载为30pF。
 - 这些I/O不能用作电流源 (如用于驱动 LED)。

6. 第一次备份域上电后的主要功能。在这之后，取决于备份寄存器的内容，即使在复位之后也是如此（因为这些寄存器不受主区域复位控制）。
7. 对于QFN36 Pin封装的Pin2和Pin3，LQFP48 Pin封装的Pin5和Pin6引脚在复位后配置为OSC_IN/OSC_OUT，但是也可以通过软件映射配置成PD0和PD1功能。
8. 此复用功能可以由软件重新映射到其他一些端口引脚（如果在使用的封装形式中可用）。

5 存储器映射

图 5-1 存储器映射图

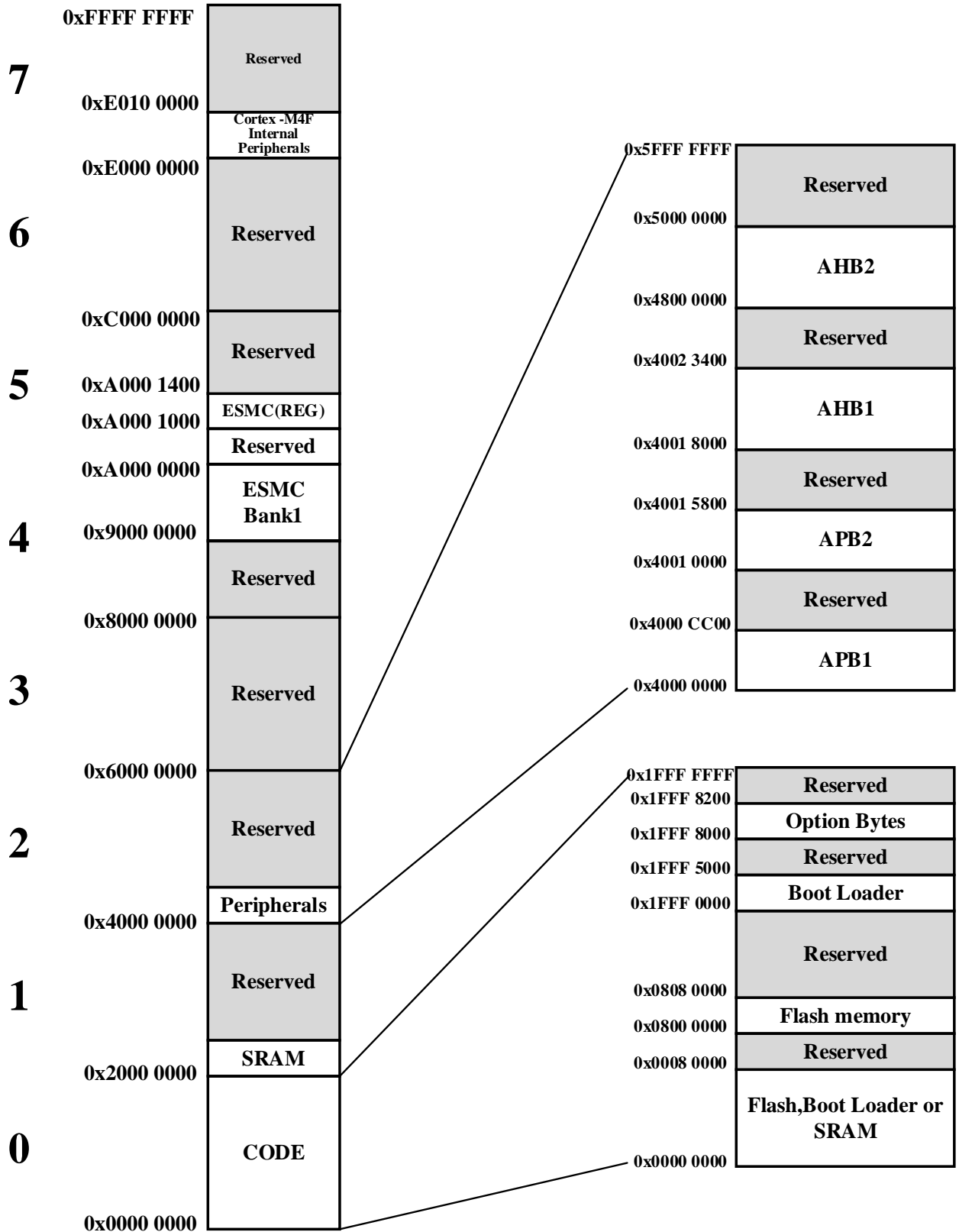


表 5-1 存储器映射表

存储器起止地址	外设	总线	寄存器映射
0xA000 1000 - 0xA000 13FF	ESMC	AHB	
0x4002 3400 - 0x5FFF FFFF	保留	AHB2	
0x4800 1000 - 0x4800 13FF	GPIOE		
0x4800 0C00 - 0x4800 0FFF	GPIOD		
0x4800 0800 - 0x4800 0BFF	GPIOC		
0x4800 0400 - 0x4800 07FF	GPIOB		
0x4800 0000 - 0x4800 03FF	GPIOA		
0x4002 3400 - 0x47FF FFFF	保留	AHB1	
0x4002 3000 - 0x4002 33FF	CRC		
0x4002 2400 - 0x4002 2FFF	保留		
0x4002 2000 - 0x4002 23FF	FMC		
0x4002 1400 - 0x4002 1FFF	保留		
0x4002 1000 - 0x4002 13FF	RCC		
0x4002 0800 - 0x4002 0FFF	保留		
0x4002 0400 - 0x4002 07FF	DMA2		
0x4002 0000 - 0x4002 03FF	DMA1		
0x4001 8400 - 0x4001 FFFF	保留		
0x4001 8000 - 0x4001 83FF	SDIO		
0x4001 5800 - 0x4001 7FFF	保留	APB2	
0x4001 5400 - 0x4001 57FF	TIMER11		
0x4001 5000 - 0x4001 53FF	TIMER10		
0x4001 4C00 - 0x4001 4FFF	TIMER9		
0x4001 4000 - 0x4001 4BFF	保留		
0x4001 3C00 - 0x4001 3FFF	ADC3		
0x4001 3800 - 0x4001 3BFF	USART1		
0x4001 3400 - 0x4001 37FF	TIMER8		
0x4001 3000 - 0x4001 33FF	SPI1		
0x4001 2C00 - 0x4001 2FFF	TIMER1		
0x4001 2800 - 0x4001 2BFF	ADC2		
0x4001 2400 - 0x4001 27FF	ADC1		
0x4001 0800 - 0x4001 23FF	保留		
0x4001 0400 - 0x4001 07FF	EXTI		
0x4001 0000 - 0x4001 03FF	SYSCFG		
0x4000 CC00 - 0x4000 FFFF	保留		
0x4000 C800 - 0x4000 CBFF	CTC		
0x4000 9400 - 0x4000 C7FF	保留		
0x4000 8000 - 0x4000 93FF	CANFD		
0x4000 7800 - 0x4000 7FFF	保留		
0x4000 7400 - 0x4000 77FF	DAC		
0x4000 7000 - 0x4000 73FF	PWR		
0x4000 6C00 - 0x4000 6FFF	BKP		
0x4000 6800 - 0x4000 6BFF	保留		

存储器起止地址	外设	总线	寄存器映射
0x4000 6400 - 0x4000 67FF	保留		
0x4000 6000 - 0x4000 63FF	保留		
0x4000 5C00 - 0x4000 5FFF	USB		
0x4000 5800 - 0x4000 5BFF	I2C2		
0x4000 5400 - 0x4000 57FF	I2C1		
0x4000 5000 - 0x4000 53FF	UASRT5		
0x4000 4C00 - 0x4000 4FFF	UASRT4		
0x4000 4800 - 0x4000 4BFF	USART3		
0x4000 4400 - 0x4000 47FF	USART2		
0x4000 4000 - 0x4000 43FF	保留		
0x4000 3C00 - 0x4000 3FFF	SPI3/I2S		
0x4000 3800 - 0x4000 3BFF	SPI2/I2S		
0x4000 3400 - 0x4000 37FF	保留		
0x4000 3000 - 0x4000 33FF	IWDG		
0x4000 2C00 - 0x4000 2FFF	WWDG		
0x4000 2800 - 0x4000 2BFF	RTC		
0x4000 2400 - 0x4000 27FF	保留		
0x4000 2000 - 0x4000 23FF	TIMER14		
0x4000 1C00 - 0x4000 1FFF	TIMER13		
0x4000 1800 - 0x4000 1BFF	TIMER12		
0x4000 1400 - 0x4000 17FF	TIMER7		
0x4000 1000 - 0x4000 13FF	TIMER6		
0x4000 0C00 - 0x4000 0FFF	TIMER5		
0x4000 0800 - 0x4000 0BFF	TIMER4		
0x4000 0400 - 0x4000 07FF	TIMER3		
0x4000 0000 - 0x4000 03FF	TIMER2		

6 电气特性

6.1 参考条件

若无另行说明，所有电压都以VSS为基准

6.1.1 最小值与最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $T_A = T_{Amax}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和 / 或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

6.1.2 典型值

除非特别说明，典型数据都是在 $T_A = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下测得的（针对 $1.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ 电压范围。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对于一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95% 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

6.1.3 典型曲线

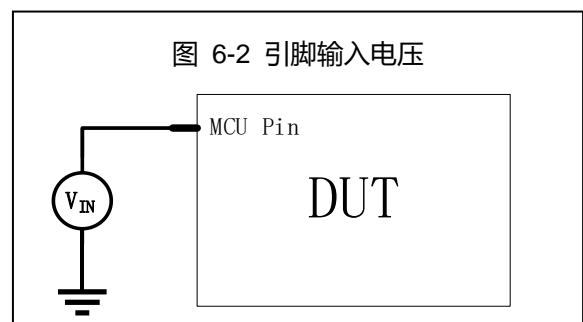
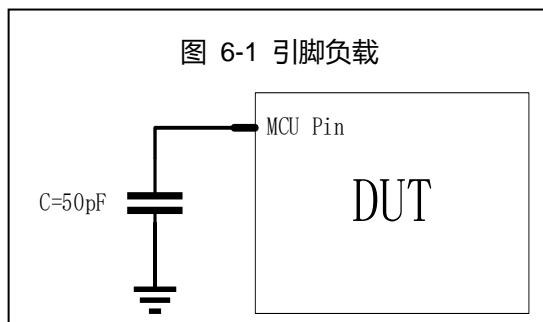
除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

6.1.4 负载电容

用于测量引脚参数的负载条件见图 5-1

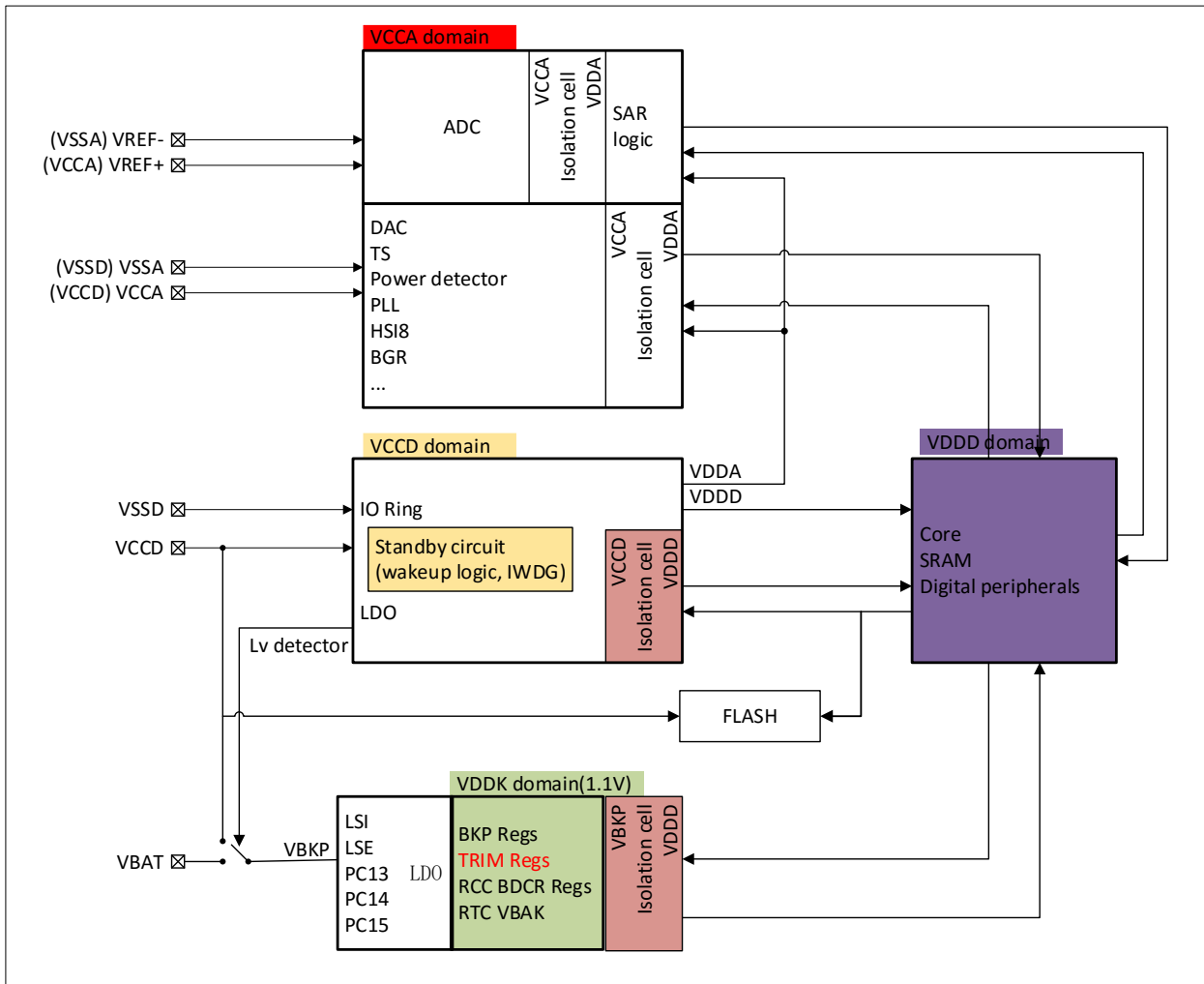
6.1.5 引脚输入电压

器件引脚输入电压测量方法见图 5-2



6.1.6 电源方案

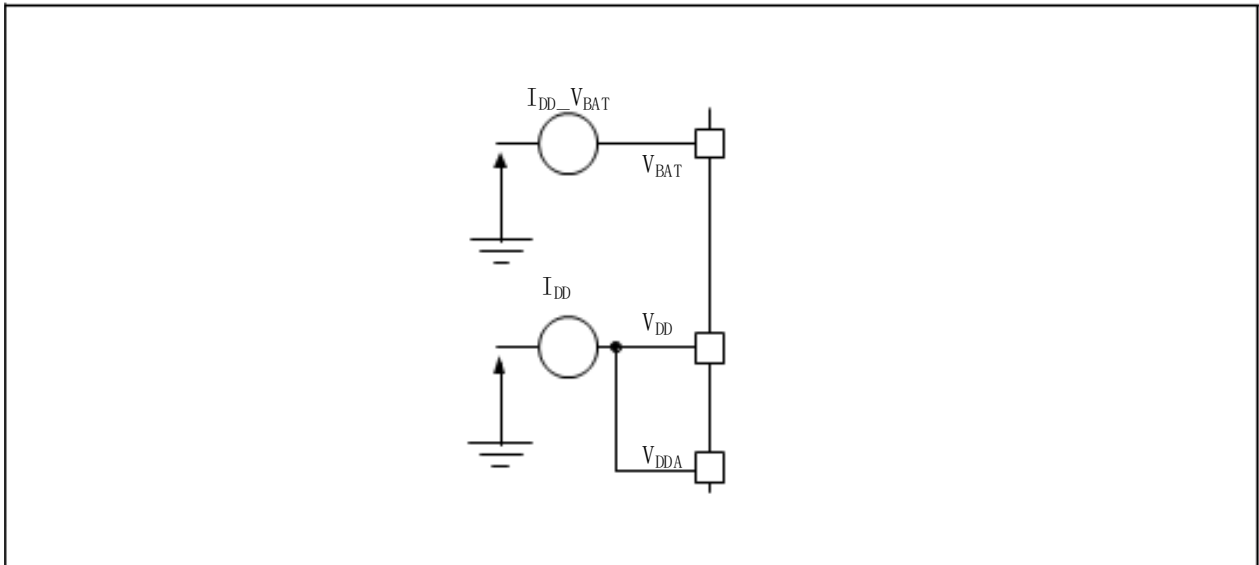
图 6-1 电源方案



注：每个电源对 (VCC/VSS, VCCA/VSSA ...) 必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于PCB下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低PCB尺寸或成本。这可能导致器件工作不正常。

6.1.7 电流消耗测量

图 6-2 电流消耗测量方案



6.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能正常。长期工作在最大值条件下会影响器件的可靠性。

表 6-1 电压特性

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部供电电压（包括 V_{CC} , V_{CCA} , V_{BAT} ） ⁽¹⁾	-0.3	4.0	V
$V_{IN}^{(2)}$	FT 引脚输入电压	$V_{SS} - 0.3$	$V_{CC} + 0.6$	
	其他所有输入引脚输入电压	$V_{SS} - 0.3$	4.0	
$ DV_{CCX} $	不同 V_{CC} 引脚之间电压变化	-	50	mV
$ V_{SSX} - V_{SS} $	不同地引脚之间电压变化	-	50	

1. 所有的电源 (V_{CC} , V_{CCA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. V_{IN} 的最大值必须始终遵循允许的最大注入电流值，具体见下表

表 6-2 电流特性

符号	描述	最大值	单位
I_{VCC}	流入所有 V_{CC}/V_{CCA} 电源线的总电流（拉电流） ⁽¹⁾	150	mA
I_{VSS}	流出所有 V_{SS} 接地线的总电流（灌电流） ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚的输出灌电流	25	
	任意 I/O 和控制引脚的输出拉电流	-25	
$I_{INJ(PIN)}^{(2)}$	5V-tolerant 引脚注入电流 ⁽³⁾	-5/+0	
	其他所有引脚注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	± 25	

1. 在允许的范围内，所有主电源 (V_{CC} , V_{CCA}) 和接地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部电源。
2. 反向注入电流会干扰器件的模拟性能。
3. 这些 I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
4. 当 $V_{IN} > V_{CCA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。
5. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 6-3 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65~150	°C
T_J	最大结温	150	°C

6.3 工作条件

6.3.1 通用工作条件

表 6-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
fHCLK	AHB 时钟频率	-	0	160	MHz
fPCLK1	APB1 时钟频率	-	0	160	
fPCLK2	APB2 时钟频率	-	0	160	
V _{CC}	工作电压	-	1.7	3.6	V
V _{CCA} ⁽¹⁾	模拟电路工作电压	必须与 V _{CC} 相同 ⁽²⁾	1.7	3.6	V
V _{BAT}	Backup operating voltage	-	1.6	3.6	V
P _D ⁽²⁾	功耗 T _A = 85 °C	LQFP100	-		mW
		LQFP64	-		
T _A	环境温度	最大功耗工作时	-40	85	°C
		低功耗工作时 ⁽³⁾	-40	105	
T _J	结温范围		-40	105	°C

1. 建议使用相同的电源为 V_{CC} 和 V_{CCA} 供电，在上电和正常操作期间，V_{CC} 和 V_{CCA} 之间最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。

6.3.2 上电和下电时的工作条件

表 6-5 上电和下电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VCC}	V _{CC} 上升速率	-	0		μs/V
	V _{CC} 下降速率	V _{CC} , V _{BAT} 同步下降	20		
		V _{CC} 下降, V _{BAT} 保持	100		

6.3.3 复位和电源控制模块特性

表 6-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电压检测器电平选择	PLS[2:0]=000 (上升沿)	2.09	2.14	2.19	V
		PLS[2:0]=000 (下降沿)	1.98	2.04	2.08	V
		PLS[2:0]=001 (上升沿)	2.23	2.3	2.37	V
		PLS[2:0]=001 (下降沿)	2.13	2.19	2.25	V
		PLS[2:0]=010 (上升沿)	2.39	2.45	2.51	V
		PLS[2:0]=010 (下降沿)	2.29	2.35	2.39	V
		PLS[2:0]=011 (上升沿)	2.54	2.6	2.65	V
		PLS[2:0]=011 (下降沿)	2.44	2.51	2.56	V

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[2:0]=100 (上升沿)	2.7	2.76	2.82	V
		PLS[2:0]=100 (下降沿)	2.59	2.66	2.71	V
		PLS[2:0]=101 (上升沿)	2.86	2.93	2.99	V
		PLS[2:0]=101 (下降沿)	2.65	2.84	3.02	V
		PLS[2:0]=110 (上升沿)	2.96	3.03	3.1	V
		PLS[2:0]=110 (下降沿)	2.85	2.93	2.99	V
		PLS[2:0]=111 (上升沿)	3.07	3.14	3.21	V
		PLS[2:0]=111 (下降沿)	2.95	3.03	3.09	V
$V_{PVDhyst}^{(1)}$	PVD迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/下电复位阈值	下降沿	1.5 ⁽¹⁾	1.58	1.66	V
		上升沿	1.54	1.62	1.7	V
$V_{PDRhyst}^{(1)}$	PDR迟滞	-	-	40	-	mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间	-	1	2.5	4.5	mS

1. 设计保证，未经生产测试
2. 复位持续时间的测量方法为从上电（POR 复位或从 V_{BAT} 唤醒）到用户应用代码读取第一条指令的时刻

6.3.4 内部参考电压

表 6-7 内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$		1.1		V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		1.1		V
$T_{S_vrefint}^{(1)}$	读内部参考电压时ADC采样	-	-	5.1	17.1 ⁽²⁾	μs
$V_{RERINT}^{(2)}$	温度范围内的内部参考电压	$V_{CC} = 3\text{ V} \pm 10\text{ mV}$	-	-	10	mV
$T_{Coff}^{(2)}$	温度系数	-	-	-	100	ppm/ $^{\circ}\text{C}$

1. 在应用中，可以通过多次迭代来确定最短的采样时间
2. 由设计保证，未经生产测试

6.3.5 供电电流特性

电流消耗受多个参数和因素影响，包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的代码等。本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出。

最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，VCC或VSS上为静态值(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 fHCLK的频率(0 ~ 30 MHz 时为0个等待周期, 30 ~ 60MHz 时为1个等待周期, 60 ~ 90MHz时为2个等待周期, 90 ~ 120 MHz时为3个等待周期, 120 ~ 150 MHz时为4个等待周期, 大于150MHz时为5个等待周期)。
- 除非特别说明，VCC = 3.6V，最大环境温度(T_A)时达到最大值，典型值为 $T_A = 25^{\circ}\text{C}$ ，VCC

= 3.3V。

- 指令预取功能开启。当开启外设时：fPCLK1 = fHCLK。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 6-8 运行模式最大电流, 数据处理代码从内部 Flash 运行

符号	参数	条件	频率 f _{HCLK}	最大值 ⁽¹⁾		单位
				T _A = 85 °C	T _A = 105 °C	
I _{CC}	运行模式下供电电流	外部时钟 ⁽²⁾ , 所有外设使能	160 MHz		50	mA
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			
			16 MHz			
			8 MHz			
		外部时钟 ⁽²⁾ , 所有外设禁止	160 MHz		40	
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			
			16 MHz			
			8 MHz			

1. 由特性评估得出, 不在生产中测试

2. 外部时钟为8MHz, 当f_{HCLK} > 8 MHz时启用PLL

表 6-9 运行模式最大电流, 数据处理代码从内部 RAM 运行

符号	参数	条件	频率 f _{HCLK}	最大值 ⁽¹⁾		单位
				T _A = 85 °C	T _A = 105 °C	
I _{CC}	运行模式下供电电流	外部时钟 ⁽²⁾ , 所有外设使能	176 MHz			mA
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			
			16 MHz			
			8 MHz			
		外部时钟 ⁽²⁾ , 所有外设禁止	160 MHz			
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			

			16 MHz			
			8 MHz			

1. 由特性评估得出，不在生产中测试
2. 外部时钟为8MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用PLL

表 6-10 睡眠模式最大电流, 数据处理代码从内部 Flash 或 RAM 运行

符号	参数	条件	频率 f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{CC}	睡眠模式供电	外部时钟 ⁽²⁾ , 所有外设使能	160 MHz			mA
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			
			16 MHz			
			8 MHz			
		外部时钟 ⁽²⁾ , 所有外设禁止	160 MHz			
			144 MHz			
			96 MHz			
			64 MHz			
			48 MHz			
			32 MHz			
			16 MHz			
			8 MHz			

1. 由特性评估得出，不在生产中测试
2. 外部时钟为8MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用PLL

表 6-11 停机和待机模式下典型和最大消耗电流

符号	参数	条件	典型值 ⁽¹⁾			最大值		单位
			$V_{CC}/V_{BAT} = 2.0\text{ V}$	$V_{CC}/V_{BAT} = 2.4\text{ V}$	$V_{CC}/V_{BAT} = 3.3\text{ V}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{CC}	停机模式 供电电流	LDO 运行模式，内部高速振荡器、内部低速振荡器和高速振荡器关闭，fCK=8 MHz	300			3000		μA
		LDO 低功耗模式，内部高速振荡器、内部低速振荡器和高速振荡器关闭	300			3000		
	待机模式 供电电流	内部低速振荡器和 IWDG 开启	3.5					
		内部低速振荡器开启，IWDG 关闭	3					
		内部低速 RC 振荡器和 IWDG 关闭，低速振荡器和 RTC 关闭	2					

I_{CC_VBA} T	备份域供电电流	低速振荡器和 RTC 开启	2					
--------------------	---------	---------------	---	--	--	--	--	--

1. 典型值是在 $T_A = 25\text{ }^{\circ}\text{C}$ 测试
2. 由特性评估得出，不在生产中测试

6.3.6 外部时钟特性

外部振荡器产生的高速外部用户时钟

表 6-12 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	4	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{CC}$	-	V_{CC}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{CC}$	
$t_{w(HSE)}$	OSC_IN 输入引脚高电平低电平时间 ⁽¹⁾		5	-	-	ns
$t_{r(HSE)} / t_{f(HSE)}$	OSC_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试

外部振荡器产生的低速外部用户时钟

表 6-13 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.7V_{CC}$	-	V_{CC}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{CC}$	
$t_{w(LSE)}$	OSC32_IN 输入引脚高电平低电平时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)} / t_{f(LSE)}$	OSC32_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy(LSE)$	占空比	-	30	-	70	%
I_L	OSC32_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试

晶振/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以使用一个2到24MHz的晶振/陶瓷谐振振荡器产生。本节介绍的信息通过特性分析结果确定，这些结果是使用下表中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 6-14 HSE 4-32MHz 振荡器特性 ⁽¹⁾⁽²⁾

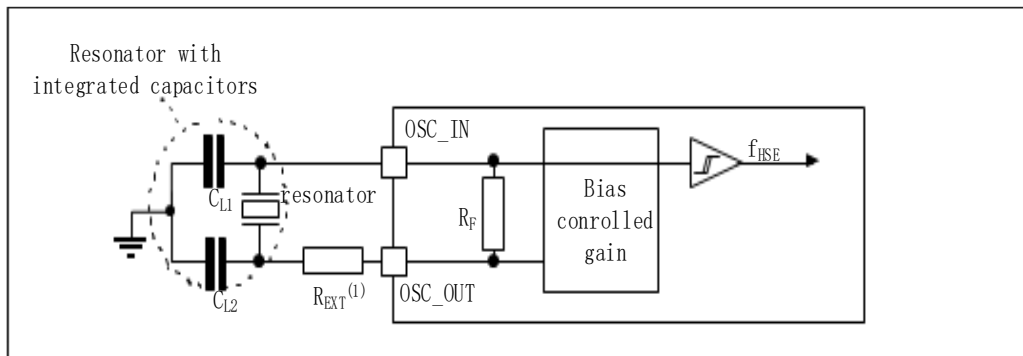
符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	32	MHz
R_F	反馈电阻	-	-	200	-	k Ω

C	建议的负载电容与对应的晶体等效串联阻 (R_s) ⁽³⁾	$R_s = 30 \Omega$	-	30	-	pF
I_2	HSE 驱动电流	$V_{CC} = 3.3 \text{ V}$, $V_{IN} = V_{SS}$, 30pF 负载	-	-	1	mA
g_m	振荡器跨导	启动	25	-	-	mA/V
$t_{SU(HSE)}$ ⁽⁴⁾	启动时间	V_{CC} 是稳定的	-	2	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器厂商给出
2. 由特性评估给出, 不在生产中测试
3. 相对较低的 R_F 电阻值提供了更好的保护, 以防止在潮湿环境中使用时, 由于感应泄漏和偏置条件的变化而产生的问题。但是, 如果MCU在恶劣的湿度条件下使用时, 设计时建议把这个参数考虑进去。
4. $t_{SU(HSE)}$ 是启动时间, 从软件使能 HSE 开始测量, 直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到, 它可能因晶体制造商的不同而变化较大。

对于CL1 和 CL2, 建议使用高质量的、为高频应用而设计的 (典型值为)5pF ~ 25pF 之间的瓷介电容器, 并挑选符合要求的晶体或谐振器。通常 CL1和CL2具有相同参数。晶体制造商通常以CL1和CL2的串行组合给出负载电容的参数。在选择CL1和CL2时, PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按 10pF估计)

图 6-3 使用 8MHz 晶体的典型应用



1. R_{EXT} 值由晶体特性决定

晶振/陶瓷谐振器产生的低速外部时钟

低速外部时钟 (LSE) 可以使用一个32.768KHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等), 请咨询相应的生产厂商。(译注: 这里提到的晶体谐振器就是我们通常说的无源晶振)

表 6-15 LSE 振荡器特性($f_{LSE} = 32.768\text{kHz}$)⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	5	-	MΩ
C	建议的负载电容与对应的晶体等效串联阻 (R_s)	$R_s = 30 \text{ k}\Omega$	-	-	15	pF
I_2	LSE 驱动电流	$V_{CC} = 3.3\text{V}$, $V_{IN} = V_{SS}$	-	-	1.4	μA
g_m	振荡器跨导	-	5	-	-	μA/V
$t_{SU(LSE)}$ ⁽³⁾	启动时间	V_{CC} 是稳定 $T_A = 50^\circ\text{C}$	-	1.5	-	s

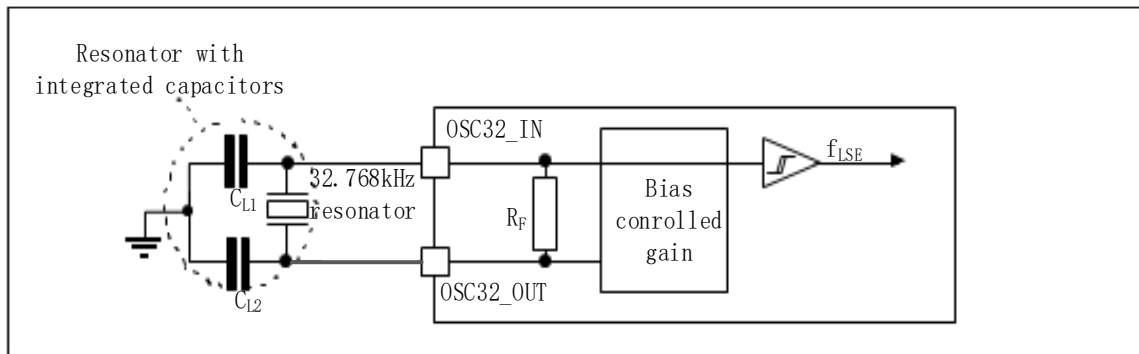
	的	$T_A = 25\text{ }^{\circ}\text{C}$	-	2.5	-
		$T_A = 10\text{ }^{\circ}\text{C}$	-	4	-
		$T_A = 0\text{ }^{\circ}\text{C}$	-	6	-
		$T_A = -10\text{ }^{\circ}\text{C}$	-	10	-
		$T_A = -20\text{ }^{\circ}\text{C}$	-	17	-
		$T_A = -30\text{ }^{\circ}\text{C}$	-	32	-
		$T_A = -40\text{ }^{\circ}\text{C}$	-	60	-

1. 由特性评估给出，不在生产中测试
2. 参见下方的注意和警告事项
3. $t_{\text{SU(LSE)}}$ 是启动时间，从软件使能 LSE 开始测量，直至得到稳定的 32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同，PCB布图设计和使用环境湿度而变化较大。

注意：对于CL1和CL2，建议使用高质量的、为高频应用而设计的（典型值为5pF ~ 25pF之间的）瓷介电容器，并挑选符合要求的晶体或谐振器。通常CL1和CL2具有相同参数。晶体制造商通常以CL1和CL2的串行组合给出负载电容的参数。负载电容CL由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{\text{stray}}$ ，其中Cstray是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF ~ 7pF之间。

警告：为了避免超出CL1和CL2的最大值（15pF），强烈建议使用负载电容 $CL \leq 7\text{pF}$ 的谐振器，不能使用负载电容为12.5pF的谐振器。例如：如果选择了一个负载电容 $CL = 6\text{pF}$ 的谐振器并且 $C_{\text{stray}} = 2\text{pF}$ ，则 $CL1 = CL2 = 8\text{pF}$ 。

图 6-4 使用 32.768kHz 晶体的典型应用



6.3.7 内部时钟源特性

高速内部振荡器 (HSI)

表 6-16 HSI 振荡器特性 ⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位	
f _{HSI}	频率	-		-	8		MHz	
DuCy _(HSI)	占空比	-		45	-	55	%	
ACC _{HSI}	HSI 震荡器精度	用户使用 RCC_CR 寄存器调整 ⁽²⁾		-	0.5	1 ⁽³⁾	%	
		工厂校准 ⁽⁴⁾	T _A = −40 to 105 °C					%
			T _A = −10 to 85 °C		−1.2	-	1.2	%
			T _A = 0 to 70 °C					%
			T _A = 25 °C		−0.5	-	0.5	%
t _{su(HSI)} ⁽⁴⁾	HSI 振荡器启动时	-		1	-	2	μs	

	间					
$I_{CC(HSI)}^{(4)}$	HSI 振荡器功耗	-	-	80	100	μA

1. $V_{CC} = 3.3 V$, $T_A = -40$ to $105\text{ }^{\circ}C$, 除非有特别说明
2. 由设计保证, 不在生产中测试
3. 由特性评价给出, 不在生产中测试

低速内部振荡器 (LSI)

表 6-17 LSI 振荡器特性 ⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	30	40	60	kHz
$t_{su(LSI)}^{(3)}$	LSI 振荡器启动时间	-	-	85	μs
$I_{CC(LSI)}^{(3)}$	LSI 振荡器功耗	-	0.65	1.2	μA

1. $V_{CC} = 3 V$, $T_A = -40$ to $105\text{ }^{\circ}C$, 除非有特别说明
2. 由特性评价给出, 不在生产中测试
3. 由设计保证, 不在生产中测试

从低功耗模式唤醒时间

下表列出的唤醒时间是在内部HSI时钟唤醒时测量得到。唤醒时使用的时钟源由当前的操作模式决定：

- 停机或待机模式：时钟源是RC振荡器
- 睡眠模式：时钟源是进入睡眠模式时使用的时钟
- 所有的时间都是在TA使用环境温度和VCC电源电压条件下进行的测试得到

表 6-18 低功耗模式唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	1.8	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(LDO 运行模式)	3.6	μs
	从停机模式唤醒(LDO 低功耗模式)	5.4	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	50	μs

1. 唤醒时间都是指从唤醒事件到用户程序读取第一条指令的时间

6.3.8 PLL特性

表 6-19 PLL 特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	2	8.0	25	MHz
	PLL输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL倍频输出时钟	16	-	180	MHz
t_{LOCK}	PLL锁相时间	-	-	200	μs
Jitter	抖动	-	-	300	ps

1. 由特性评价保证, 不在生产中测试
2. 需要注意使用正确的倍频系数, 从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内

6.3.9 存储器特性

表 6-20 Flash 存储器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
PE _{CYC}	擦写次数	T _A =-40°C ~ 85°C	100	-	-	kcycles
t _{RET}	数据保持时间	T _A =85°C, 1000 次擦写后	20			years
		T _A =105°C, 1000 次擦写后	10			
		T _A =55°C, 10000 次擦写后	10	-	-	
t _{PROG}	字编程时间/页编程时间	T _A =-40°C ~ 85°C		1.2	2.0	ms
t _{ERASE}	页擦除时间	T _A =-40°C ~ 85°C		3	5	ms
t _{MERASE}	全片擦除随时间	T _A =-40°C ~ 85°C		3	5	ms

1. 由特性评估给出, 不在生产中测试

6.3.10 ESMC特性

表 6-21 ESMC characteristics in SDR mode ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F(QCK)	SPI clock frequency	1.7 < V _{CC} < 3.6 V			70	MHz
t _w (CKH)	SPI clock high and low time	1.7 < V _{CC} < 3.6 V	t _{CK} /2-0.5		t _{CK} /2+1	ns
t _w (CKL)			t _{CK} /2-1		t _{CK} /2+0.5	
t _s (IN)	Data input setup time	1.7 < V _{CC} < 3.6 V	1			
t _h (IN)	Data input hold time	1.7 < V _{CC} < 3.6 V	5			
t _v (OUT)	Data output valid time	1.7 < V _{CC} < 3.6 V		1	1.5	
t _h (OUT)	Data output hold time	1.7 < V _{CC} < 3.6 V	0.5			

1. 由特性评估给出, 不在生产中测试。

表 6-22 ESMC characteristics in DDR mode ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F(QCK)	SPI clock frequency	1.7 < V _{CC} < 3.6 V			70	MHz
t _w (CKH)	SPI clock high and low time	1.7 < V _{CC} < 3.6 V	t _{CK} /2-0.5		t _{CK} /2+1	ns
t _w (CKL)			t _{CK} /2-1		t _{CK} /2+0.5	
t _{sr} (IN)	Data input setup time on rising edge	1.7 < V _{CC} < 3.6 V	2			
t _{sf} (IN)	Data input setup time on falling edge	1.7 < V _{CC} < 3.6 V	2			
t _{hr} (IN)	Data input hold time on rising edge	1.7 < V _{CC} < 3.6 V	5 ?			
t _{hf} (IN)	Data input hold time on falling edge	1.7 < V _{CC} < 3.6 V	5 ?			
t _{vr} (OUT)	Data output valid time on rising edge	1.7 < V _{CC} < 3.6 V			9 ?	
t _{vf} (OUT)	Data output valid time on falling edge	1.7 < V _{CC} < 3.6 V			11 ?	
t _{hr} (OUT)	Data output hold time rising edge	1.7 < V _{CC} < 3.6 V	2			
t _{hf} (OUT)	Data output hold time falling edge	1.7 < V _{CC} < 3.6 V	3			

1. 由特性评估给出, 不在生产中测试。

图 6-5 ESMC timing diagram – SDR mode

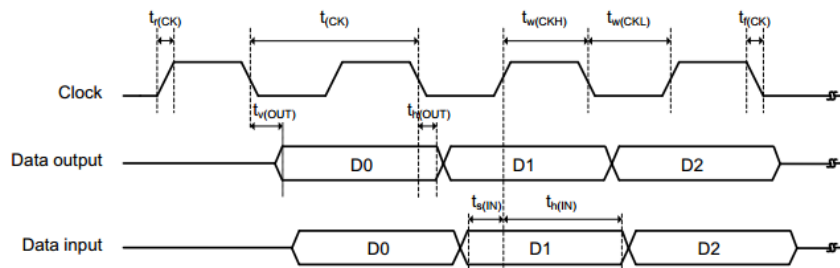
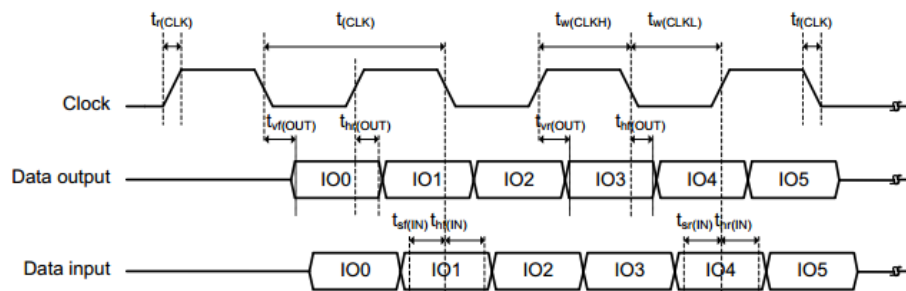


图 6-6 ESMC timing diagram – DDR mode2



6.3.11 EMC特性

敏感性测试是在产品特性评估时抽样进行测试的

EMS (电磁敏感性)

当运行一个简单的应用程序时（通过I/O端口闪烁2个LED），测试样品被施加2种电磁干扰直到产生错误，LED闪烁指示了错误的产生。

- 静电放电(ESD)(正放电和负放电)：施加到芯片所有的引脚直到产生功能性错误。这个测试符合IEC61000-4-2 标准。
- FTB：在VCC和VSS上通过一个100 pF的电容器施加一个瞬变电压的脉冲群（正向和反向）直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于AN定义的EMS级别和类型进行的测试。

表 6-23 EMS 特性

符号	参数	条件	级别/类型
V _{FESD}	施加在任何 I/O 引脚上引起功能性干扰的电压极限	V _{CC} = 3.3 V, T _A = +25 °C, f _{HCLK} = 160MHz, 符合 IEC 61000-4-2 标准	2A
V _{FTB}	在 V _{CC} 和 V _{SS} 引脚上通过 100pF 电容施加的导致功能错误的快速瞬变脉冲电压极限	V _{CC} = 3.3 V, T _A = +25 °C, f _{HCLK} = 160MHz, 符合 IEC 61000-4-4 标准	4A

设计牢靠的软件以避免噪声问题

在器件级进行EMC的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行EMC优化，并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等...）

认证前的实验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

在进行ESD测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

EMI (电磁干扰)

当执行一个简单的应用程序（通过I/O端口切换2个LED）时，设备发出的电磁场会受到监控。该测试符合IEC 61967-2标准，该标准规定了测试板和引脚负载。

表 6-24 EMI 特性

符号	参数	条件	监控频段	Max vs. [f _{HSE} /f _{HCLK}]			单位
				8/48MHz	8/72MHz	8/108MHz	
S _{EMI}	峰值	V _{CC} = 3.3 V, T _A =	0.1 to 2 MHz				dBμV

		+25 °C, 符合 IEC 61967-2 标准	2 to 30 MHz				
			30 to 130 MHz				
			130 MHz to 1GHz				

6.3.12 绝对最大值 (电气敏感性)

基于三个不同的测试 (ESD, LU), 使用特定的测量方法, 对芯片施加应力测试以决定它的电气敏感性方面的性能。

表 6-25 ESD 特性

符号	参数	条件	最小值	典型值	最大值	Unit
V _{ESD(HBM)}	静电放电电压 (人体模型)	T _A =25 °C; JESD22-A114	-	-	4000	V
V _{ESD(CDM)}	静电放电电压 (器件充电模型)	T _A =25 °C; JESD22-C101	-	-	1000	V
LU	过电流测试	T _A =25 °C; JESD78A	-	-	± 200	mA
	过压测试		-	-	5.4	V

6.3.13 I/O电流注入特性

作为一般规则, 在正常产品操作期间, 应避免由于外部电压低于VSS或高于VCC (对于标准, 3V I/O引脚) 而向I/O引脚注入电流。然而, 为了在异常注入意外发生的情况下给出微控制器的鲁棒性的指示, 在器件特性测试时会做抽样测试。

对I/O电流注入的功能敏感性

当在设备上执行简单的应用程序时, 通过将电流注入配置成输入浮空模式的I/O引脚来对设备施加压力。当电流注入I/O引脚时 (每次只注入一个), 检查器件是否发生功能故障。

故障由超出范围的参数表示: ADC错误高于某个限制 (>5 LSB TUE)、相邻引脚上的电流注入超出规范或其他功能故障 (例如复位、振荡器频率偏差)。

表 6-26 I/O 电流注入敏感性

符号	描述	功能敏感性		单位
		负电流注入	正电流注入	
I _{INJ}	在 OSC_IN32, OSC_OUT32, PA4, PA5, PC13 引脚上的注入电流	0	0	mA
	在所有 5V 容忍引脚上的注入电流	-5	0	
	在所有其他引脚上的注入电流	-5	5	

6.3.14 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数都是在表 6-4 通用工作条件 T_A使用环境温度和VCC电源电压条件下进行的测试得到。

表 6-27 I/O 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	标准 I/O 输入低电平	$1.7V \leq V_{CC} \leq 3.6V$	-0.3	-	$0.35 V_{CC} - 0.06$	V
	5V-tolerant I/O 输入低电平	$1.7V \leq V_{CC} \leq 3.6V$	-0.3	-	$0.4 V_{CC} - 0.04$	V
V_{IH}	标准 I/O 输入高电平	$1.7V \leq V_{CC} \leq 3.6V$	$0.6 V_{CC} + 0.14$	-	$V_{CC} + 0.3$	V
	5V-tolerant I/O 输入高电平	$1.7V \leq V_{CC} \leq 3.6V$	$0.45 V_{CC} + 0.13$	-	5.5	V
V_{hys} (1)	标准 I/O 施密特电压迟滞	-	200	-	-	mV
	5V-tolerant I/O 施密特电压迟滞		5% V_{CC}	-	-	mV
$V_{Ikg}^{(2)}$	输入漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$ 标准 I/O	-	-	+/-1	μA
		$V_{IN} = 5V$, 5V-tolerant I/O			3	μA
$R_{PU}^{(3)}$	内部上拉电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω
$R_{PD}^{(3)}$	内部下拉电阻	$V_{IN} = V_{CC}$	30	40	50	k Ω
C_{IO}	I/O 引脚电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由特性评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。

输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达 $\pm 8mA$ 电流，也可以吸收或输出多达 $\pm 20mA$ 电流（需放宽VOL/VOH指标）。PC13，PC14和PC15 3个引脚只能吸收或输出 $\pm 3mA$ 电流。当PC13，PC14，PC15被用作输出功能时，在输出负载30pF条件下，I/O速度不能超过2MHz。

在用户应用中，I/O脚的数目必须保证驱动电流不能超过5.2节绝对最大额定值给出的绝对最大额定值：

- 所有I/O端口从VCC上获取的电流总和，加上MCU在VCC 上获取的最大运行电流，不能超过绝对最大额定值 IVCC。
- 所有I/O端口吸收并从VSS上流出的电流总和，加上MCU在VSS上流出的最大运行电流，不能超过绝对最大额定值IVSS。

输出电压

除非特别说明，下表列出的参数都是在表 6-4 通用工作条件 TA使用环境温度和VCC电源电压条件下进行的测试得到。

表 6-28 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{OL}	输出低电平, 8 个引脚同时吸收电流	$2.7V \leq V_{CC} \leq 3.6V$, $I_{IO} = +8mA$	-	-	0.4	V
		$2.7V \leq V_{CC} \leq 3.6V$, $I_{IO} = +20mA^{(1)}$	-	-	1.3	
		$1.7V \leq V_{CC} \leq 2.7V$, $I_{IO} = +6mA^{(1)}$	-	-	0.4	
V_{OH}	输出高电平, 8 个引脚同时输出电流	$2.7V \leq V_{CC} \leq 3.6V$, $I_{IO} = +8mA$	$V_{CC} - 0.4$	-	-	
		$2.7V \leq V_{CC} \leq 3.6V$, $I_{IO} = +20mA^{(1)}$	$V_{CC} - 1.3$	-	-	
		$1.7V \leq V_{CC} \leq 2.7V$, $I_{IO} = +6mA^{(1)}$	$V_{CC} - 0.4$	-	-	

1. 由特性评估得出，不在生产中测试。

输入输出交流特性

除非特别说明，下表列出的参数都是在表 6-4 通用工作条件 TA使用环境温度和VCC电源电压条件下

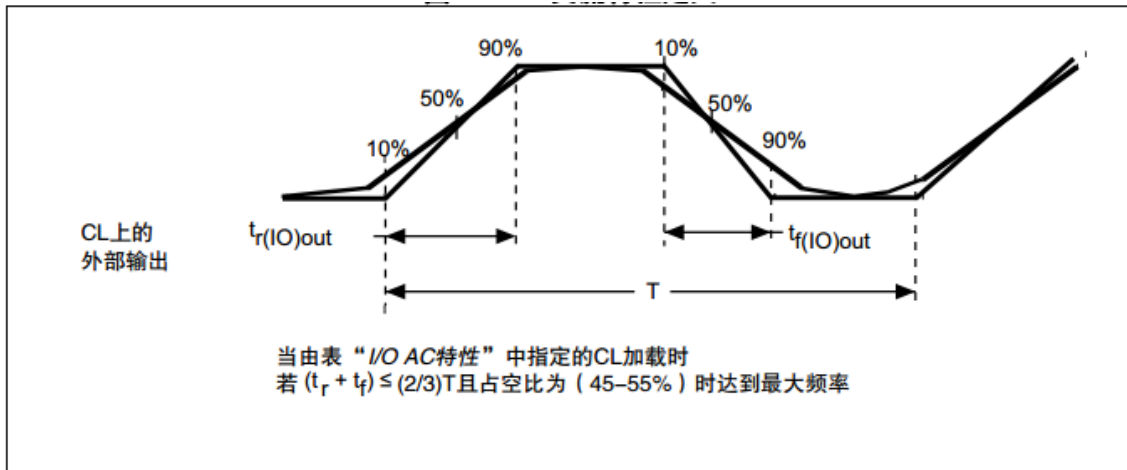
进行的测试得到

表 6-29 I/O 交流特性

MODEx 配置	符号	参数	条件	最小值	最大值	单位
00	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 50\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		4	MHz
			$C_L = 50\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		2	
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		8	
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		4	
	$t_{\text{f}(\text{IO})\text{out}}$ $t_{\text{r}(\text{IO})\text{out}}$	输出高到低电平的下降时间和输出低到高电平的上升时间	$C_L = 50\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		100	ns
01	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 50\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		25	MHz
			$C_L = 50\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		12.5	
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		50	
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		25	
	$t_{\text{f}(\text{IO})\text{out}}$ $t_{\text{r}(\text{IO})\text{out}}$	输出高到低电平的下降时间和输出低到高电平的上升时间	$C_L = 50\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			ns
			$C_L = 50\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
10	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 40\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		50	MHz
			$C_L = 40\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		25	
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		100	
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		50	
	$t_{\text{f}(\text{IO})\text{out}}$ $t_{\text{r}(\text{IO})\text{out}}$	输出高到低电平的下降时间和输出低到高电平的上升时间	$C_L = 40\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			ns
			$C_L = 40\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$			
11	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 30\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		83	MHz
			$C_L = 30\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		42.5	
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		145	
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		72.5	
	$t_{\text{f}(\text{IO})\text{out}}$ $t_{\text{r}(\text{IO})\text{out}}$	输出高到低电平的下降时间和输出低到高电平的上升时间	$C_L = 30\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		4	ns
			$C_L = 30\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		7	
			$C_L = 10\text{pF}, 2.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		2.5	
			$C_L = 10\text{pF}, 1.7\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$		4	
-	$t_{\text{EXTI}pw}$	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

1. 由设计保证，未经生产测试。
2. 对于最大频率超过50MHz且 $V_{\text{CC}} > 2.4\text{V}$ ，应使用补偿单元。

图 6-7 I/O 交流特性定义



6.3.15 NRST pin characteristics

NRST引脚输入连接了一个不能断开的上拉电阻RPU

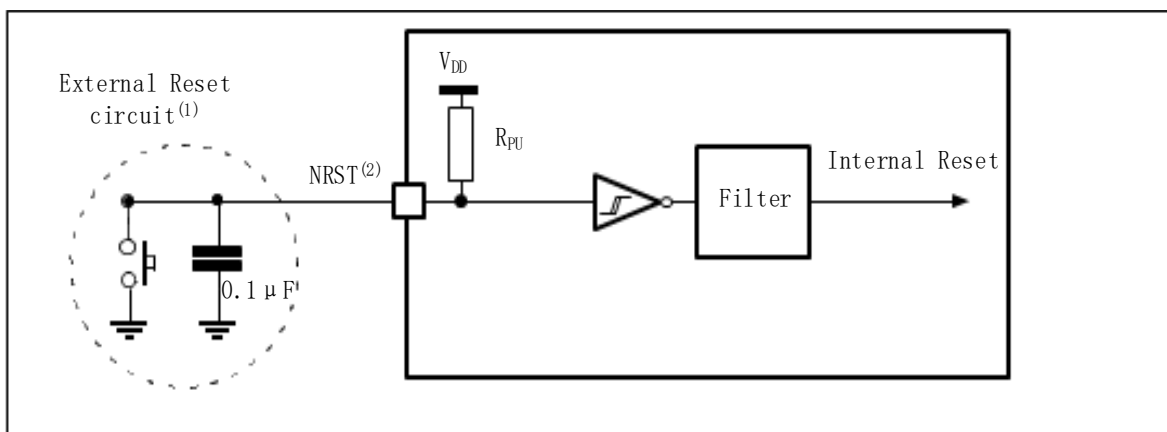
除非特别说明，下表所有参数都是基于表 6-4 通用工作条件列出的工作温度和电压范围

表 6-30 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平	-	-0.5	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平	-	2	-	$V_{CC}+0.5$	
$V_{hys(NRST)}$	NRST 施密特迟滞电压	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_F(NRST)^{(1)}$	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	-	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS开关的电阻很小(约占 10%)。

图 6-8 NRST 引脚特性



1. 复位网络是为了防止寄生复位
2. 用户必须确保NRST引脚输入电平低于 $V_{IL(NRST)}$ 最大值，否则不能保证有效复位

6.3.16 TIM定时器特性

表 6-31 TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 160MHz$		-	ns
f_{EXT}	CH1~CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 160MHz$			MHz
Re_{STM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	选择内部时钟时 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 160MHz$			μs
t_{MAX_COUNT}	最大可能计数	-	-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 160MHz$	-		s

1. TIMx 是一个通用名称，可以用于TIM1，TIM2，等.表中特性参数由设计保证

6.3.17 通信接口

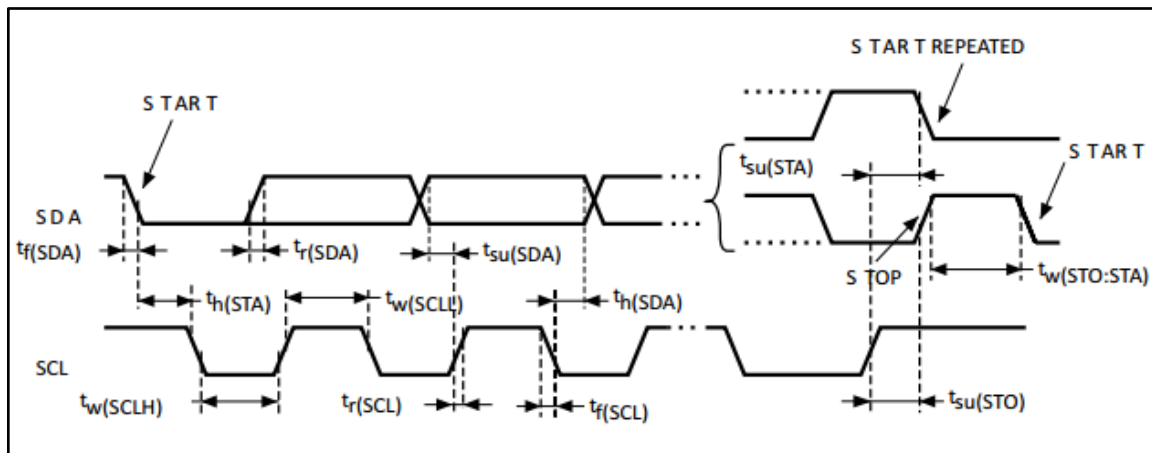
I²C接口特性

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 VCC 之间的 PMOS 管被关闭，但仍然存在。

表 6-32 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCL)}$	SCL 时钟低时间	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4	-	0.6	-	μs
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_h(SDA)$	SDA 数据保持时间	-	3450 ⁽³⁾	-	900 ⁽³⁾	
$t_r(SDA) t_r(SDL)$	SDA 和 SCL 上升时间	-	1000	-	300	
$t_f(SDA) t_f(SDL)$	SDA 和 SCL 下降时间	-	300	-	300	
$t_h(STA)$	开始条件保持时间	4	-	0.6	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	
$t_{w(STO:STA)}$	停止条件至开始条件的时 间 (总线空闲)	4.7	-	1.3	-	
C_b	每条总线的容性负载	-	400	-	400	pF
t_{sp}	噪声滤波脉宽	0	50 ⁽⁴⁾	0	50 ⁽⁴⁾	μs

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I²C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I²C 的最大频率， f_{PCLK1} 必须大于 4MHz。
3. 在芯片内部必须保证SDA信号上至少有300ns的保持时间用于避免数据输出时SCL低电平期间SDA总线上数据发生变化。
4. 模拟滤波器抑制的噪声脉宽

图 6-9 I²C 总线时序图

SPI接口特性

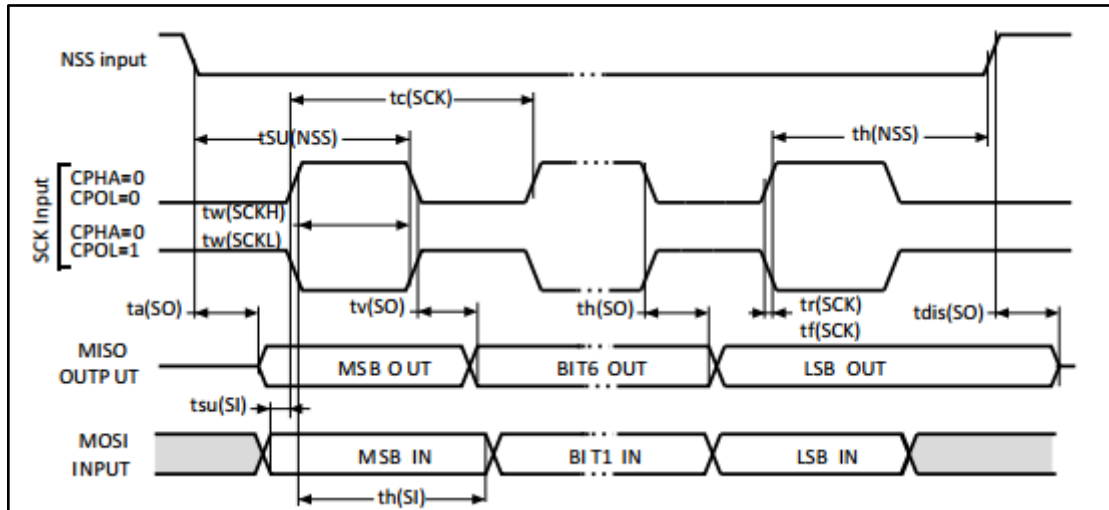
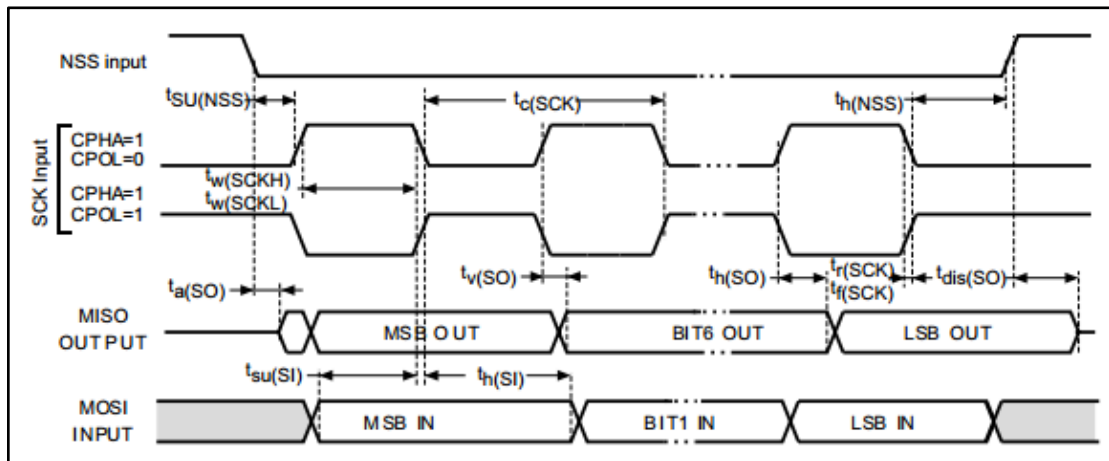
除非特别说明，下表所有参数都是基于表 6-4 通用工作条件列出的工作温度、电压范围和fPCLKx频率条件下测试得出

表 6-33 SPI 接口特性

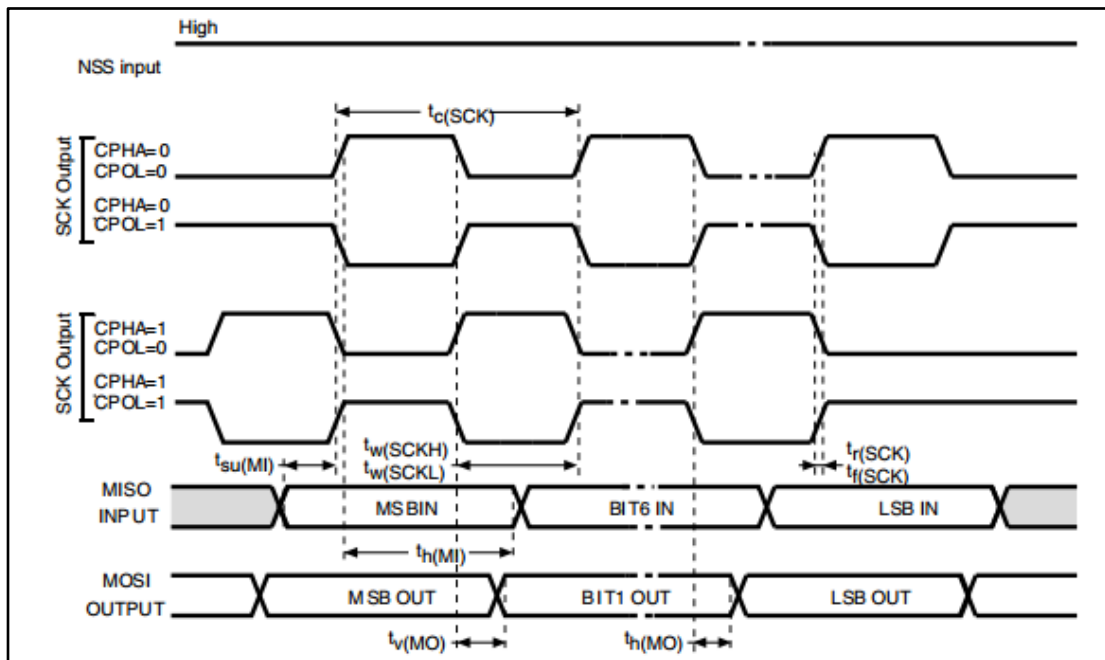
符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式 2.7~3.6V	-		40	MHz
		主模式 1.7~3.6V			40	
		从模式 2.7~3.6V			40	
		从模式 1.7~3.6V	-		40	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升/下降时间	负载电容：C= 30pF	-		5	ns
DuCy(SCK)	SPI 从模式输入时钟占空比	从模式	45		55	%
$t_{su(NSS)}$	NSS 建立时间	从模式	$4t_{PCLK}$		-	ns
$t_h(NSS)$	NSS 保持时间	从模式	$2t_{PCLK}$		-	
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK 高电平/低电平时间	主模式, presc = 4	$2T_{pclk}-1$	$2T_{pclk}$	$2T_{pclk}+1$	
$t_{su(MI)}$	数据输入建立时间	主模式 presc = 4	$T_{pclk}+4$ (1)		-	
$t_{su(SI)}$		从模式 presc = 4	3		-	
$t_h(MI)$	数据输入保持时间	主模式	4		-	
$t_h(SI)$		从模式	$T_{pclk}+4$		-	
$t_a(SO)$	数据输出访问时间	从模式 presc = 4	0		$3T_{pclk}$	
$t_{dis(SO)}$	数据输出禁止时间	从模式	$2T_{pclk}+5$		$4T_{pclk}+5$	
$t_v(SO)$	数据输出有效时间	从模式 2.7~3.6V presc = 4	0		12 or $1.5T_{pclk}$ (2)	
		从模式 1.7~3.6V presc = 4	0		18 or $1.5T_{pclk}$ (2)	
$t_v(MO)$		主模式 (使能边沿之后)	-	3.5	4.5	
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后) presc = 4	0 (3)		-	
$t_h(MO)$		主模式 (使能边沿之后)	2		-	

1. Master 在接收沿的前产生 1pclk 接收控制信号
2. Slave 基于 SCK 发送沿最大有 1PCLK delay，考虑 IO 延时等，定义 1.5PCLK
3. 在 Master 发送的 SCK 占空比接收沿和发送沿之间宽的情况下，Slave 在发送沿之前就更新数据

图 6-10 SPI 时序图-从模式且 CPHA = 0

图 6-11 SPI 时序图-从模式且 CPHA = 1⁽¹⁾

1. 测量点设置于CMOS电平：0.3VCC 和0.7VCC

图 6-12 SPI 时序图-主模式⁽¹⁾

1. 测量点设置于CMOS电平：0.3V_{CC} 和0.7V_{CC}

I²S接口特性

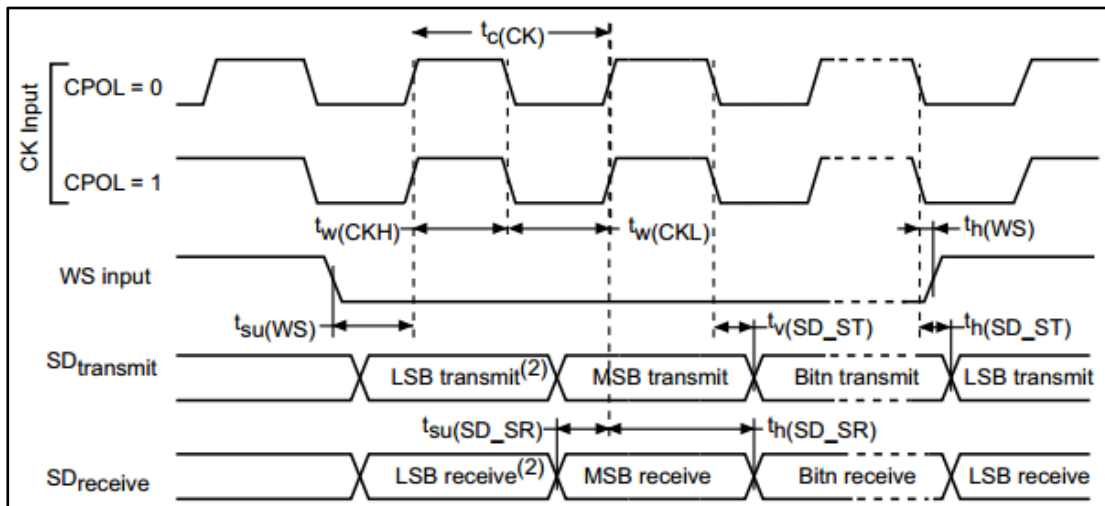
除非特别说明，下表所有参数都是基于表 6-4 通用工作条件列出的工作温度、电压范围和fPCLKx频率条件下测试得出

表 6-34 I²S 接口特性

符号	参数	条件	最小值	最大值	单位
f _{MCLK}	I ² S 主时钟输出		256x8K	256xFs ⁽¹⁾	MHz
f _{CK} 1/t _{c(CK)}	I ² S 时钟频率	主模式数据	-	64xFs	MHz
		从模式数据	-	64xFs	
D _{CK}	I2S 时钟占空比	从模式接收	30	70	%
t _{r(CK)} t _{f(CK)}	I ² S 时钟上升/下降时间	电容负载 C _L = 50 pF	-	8	ns
t _{v(WS)}	WS 有效时间	主模式		2	
t _{h(WS)}	WS 保持时间	主模式	3	-	
		从模式	2	-	
t _{su(WS)}	WS 建立时间	从模式	4	-	
t _{su(SD_MR)}	数据输入建立时间	主接收器	3	-	
t _{su(SD_SR)}		从接收器	4	-	
t _{h(SD_MR)}	数据输入保持时间	主接收器	5	-	
t _{h(SD_SR)}		从接收器	2	-	
t _{v(SD_ST)}	数据输出有效时间	从接收器 (使能边沿之后)	2.7-3.6V	15	
			1.7-3.6V	22	
t _{v(SD_MT)}		主接收器 (使能边沿之后)	-	2	
t _{h(SD_ST)}	数据输出保持时间	从接收器 (使能边沿之后)	7	-	
t _{h(SD_MT)}		主接收器 (使能边沿之后)	1	-	

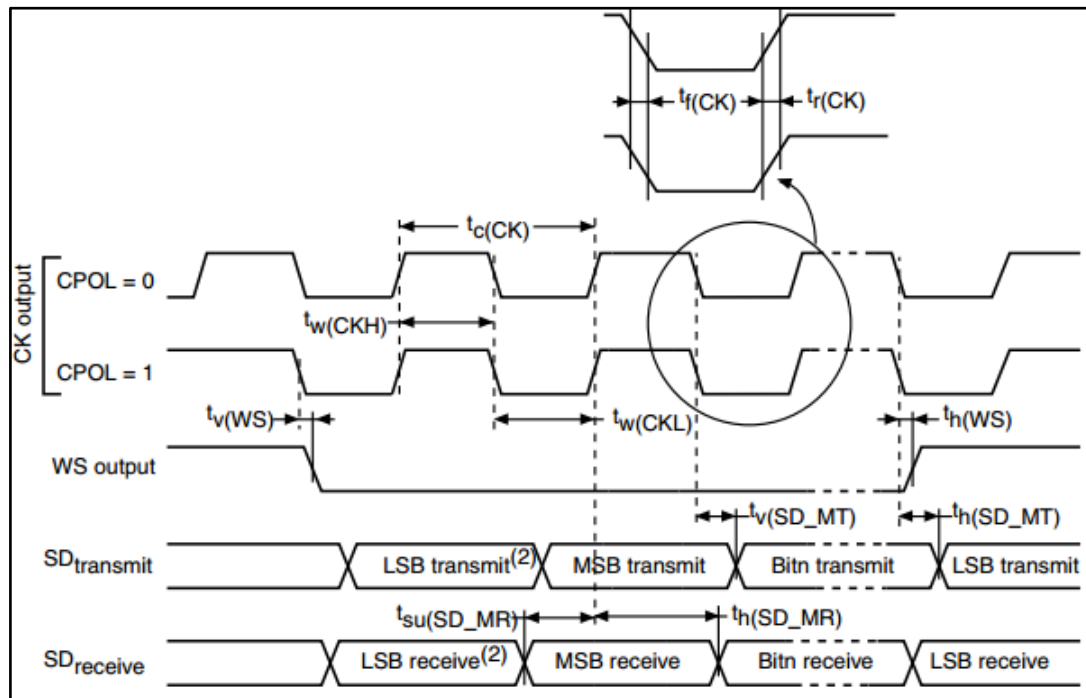
1. 256xFs最大不超过49.152MHz

图 6-13 I²S 从模式时序图(Philips 协议)⁽¹⁾



1. Measurement points are done at CMOS levels: $0.3 \times V_{CC}$ and $0.7 \times V_{CC}$.

2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

图 6-14 I²S 主模式时序图(Philips 协议)⁽¹⁾

1. Guaranteed by characterization results.

2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

USB特性

表 6-35 USB 启动时间

符号	参数	最大值	单位
$t_{START}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证

表 6-36 USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{CC}	USB 工作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I(USB_DP, USB_DM)	0.2	-	
V _{CM} ⁽⁴⁾	差分共模范围	Includes VDI range	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收器阈值	-	1.3	2	
输出电平					
V _{OL}	静态输出低电平	R _L = 1.5 kΩ 接到 3.6V ⁽⁵⁾	-	0.3	V
V _{OH}	静态输出高电平	R _L = 15 kΩ 接到 V _{SS} ⁽⁵⁾	2.8	3.6	

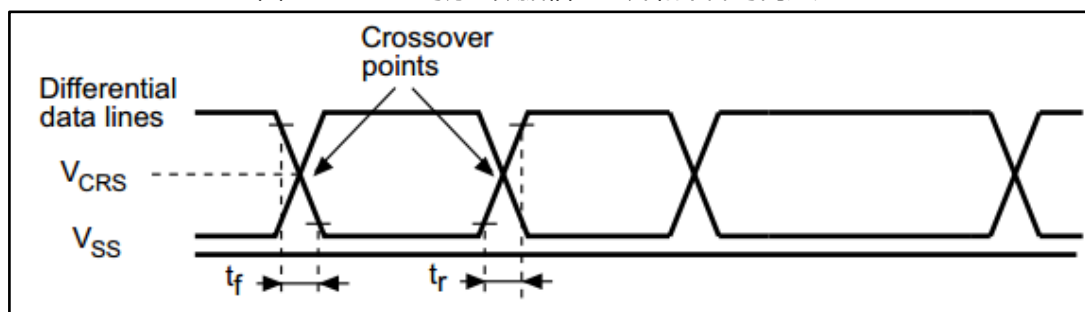
1. 所有的电压测量都是以设备端地线为准。
 2. 2 本产品的USB功能可以低至2.7V，但不能保证在 V_{CC} 电压降低到2.7~3.0V范围内完整的USB电气特性。
 3. 由评估保证，不在生产中测试。
 4. R_L 是连接到USB驱动器上的负载。

表 6-37 USB 全速电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 ⁽²⁾	$C_L \leq 50\text{ pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$C_L \leq 50\text{ pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r/t_f	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，不在生产中测试。
 2. 测量数据信号从10%至90%。

图 6-15 USB 时序: 数据信号上升和下降时间定义



6.3.18 SD/SDIO MMC卡主机接口特性

除非特别说明，下表所有参数都是基于表 6-4 通用工作条件列出的工作温度、电压范围和fPCLKx频率条件下测试得出

表 6-38 SD/MMC 特性

符号	参数	条件	最小值	最大值	单位
f _{PP}	数据传输模式下的时钟频率	CL ≤ 30 pF	0	48	MHz
t _{W(CKL)}	时钟低时间	f _{PP} = 48 MHz	8.5	-	ns
t _{W(CKH)}	时钟高时间	f _{PP} = 48 MHz	8.3	-	
MMC 和 SD HS 模式下的 CMD、D 输入（以 CK 为基准）					
t _{ISU}	输入建立时间	f _{PP} = 48 MHz	3.5	-	ns
t _{IH}	输入保持时间	f _{PP} = 48 MHz	0	-	
MMC 和 SD HS 模式下的 CMD、D 输出（以 CK 为基准）					
t _{OV}	输出有效时间	f _{PP} = 48 MHz	-	7	ns
t _{OH}	输出保持时间	f _{PP} = 48 MHz	3	-	
SD 默认模式下的 CMD、D 输入（以 CK 为基准）					
T _{ISUD}	输入建立时间	f _{PP} = 24 MHz	1.5	-	ns
t _{IHD}	输入保持时间	f _{PP} = 24 MHz	0.5	-	
SD 默认模式下的 CMD、D 输出（以 CK 为基准）					
t _{OVD}	输出有效默认时间	f _{PP} = 24 MHz	-	6.5	ns
t _{OHD}	输出保持默认时间	f _{PP} = 24 MHz	3.5	-	

图 6-16 SDIO 高速模式

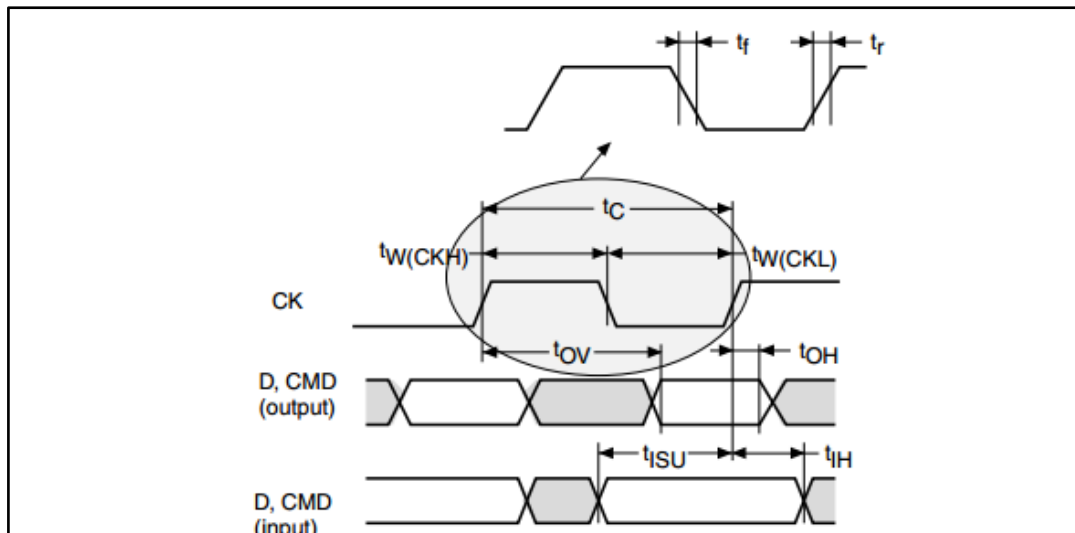
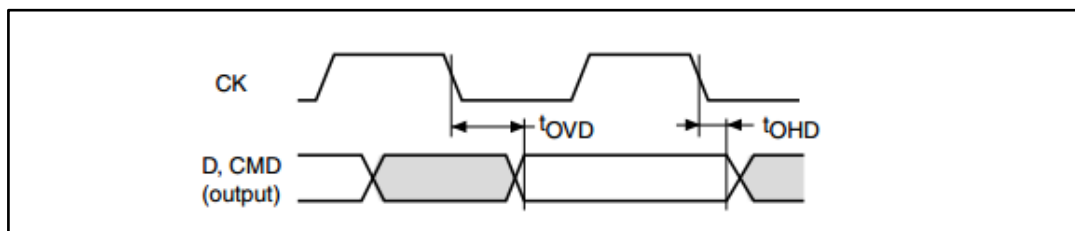


图 6-17 SD 默认模式



6.3.19 CAN接口特性

有关输入/输出复用功能引脚（CAN_TX和CAN_RX）的特性，参见6.3.14 I/O端口特性章节

6.3.20 12-bit ADC特性

表 6-39 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{CCA}	供电电压	-	1.7	-	3.6	V
V _{REFP}	正参考电压	-	1.7	-	V _{CCA}	V
I _{VREF}	V _{REF} 引脚电流	-	-	160	220 ⁽¹⁾	μA
f _{ADC}	ADC 时钟频率	-	0.8	-	16	MHz
f _S ⁽²⁾	采样速率	-	0.05	-	1	MHz
f _{TRIG} ⁽²⁾	外部触发频率	f _{ADC} = 14 MHz	-	-	823	kHz
		-	-	-	17	1/f _{ADC}
V _{AIN}	转换电压范围 ⁽³⁾	-	0 (V _{SSA} 或 V _{REFN} 接到地)	-	V _{REFP}	V
R _{AIN} ⁽²⁾	外部输入阻抗	-	-	-	50	kΩ
R _{ADC} ⁽²⁾	采样开关电阻	-	-	-	1	kΩ
C _{ADC} ⁽²⁾	内部采样和保持电阻	-	-	-	8	pF
t _{CAL} ⁽²⁾	校准时间	f _{ADC} = 14 MHz	5.9			μs
		-	83			1/f _{ADC}
t _{lat} ⁽²⁾	注入触发转换延迟	f _{ADC} = 14 MHz	-	-	0.214	μs
		-	-	-	3 ⁽⁴⁾	1/f _{ADC}
t _{latr} ⁽²⁾	规则触发转换延迟	f _{ADC} = 14 MHz	-	-	0.143	μs
		-	-	-	2 ⁽⁴⁾	1/f _{ADC}
t _S ⁽²⁾	采样时间	f _{ADC} = 14 MHz	0.107	-	17.1	μs
		-	1.5	-	239.5	1/f _{ADC}
t _{STAB} ⁽²⁾	上电稳定时间	-	0	0	1	μs
t _{CONV} ⁽²⁾	总转换时间(包括采样时间)	f _{ADC} = 14 MHz	1	-	18	μs
		-	14 ~ 252 (t _S for sampling +12.5 for successive approximation)			1/f _{ADC}

1. 由特性评估保证，不在生产中测试

2. 由设计保证，不在生产中测试

3. 部分封装形式V_{REFP}可在内部连接到V_{CCA}，V_{REFN}可在内部连接到V_{SSA}，具体可参考4.1引脚定义

4. 在外部触发时，需要额外增加1/f_{PCLK2}的延迟

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式用于决定最大外部阻抗，使得误差可以小于1/4LSB。其中N = 12，表示12位分辨率。

表 6-40 R_{AIN} max for f_{ADC} = 14 MHz⁽¹⁾

T _S (周期)	t _S (μs)	R _{AIN} max (kΩ)
---------------------	---------------------	---------------------------

1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 由设计保证，不在生产中测试

表 6-41 ADC 精度 – 有限测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56\text{MHz}$, $f_{ADC} = 14\text{MHz}$, $R_{AIN} < 10\text{k}\Omega$, $V_{CCA} = 3\text{V} \sim 3.6\text{V}$, $T_A = 25^\circ\text{C}$, 测试之前先做 ADC 校准, $V_{REFP} = V_{CCA}$	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	

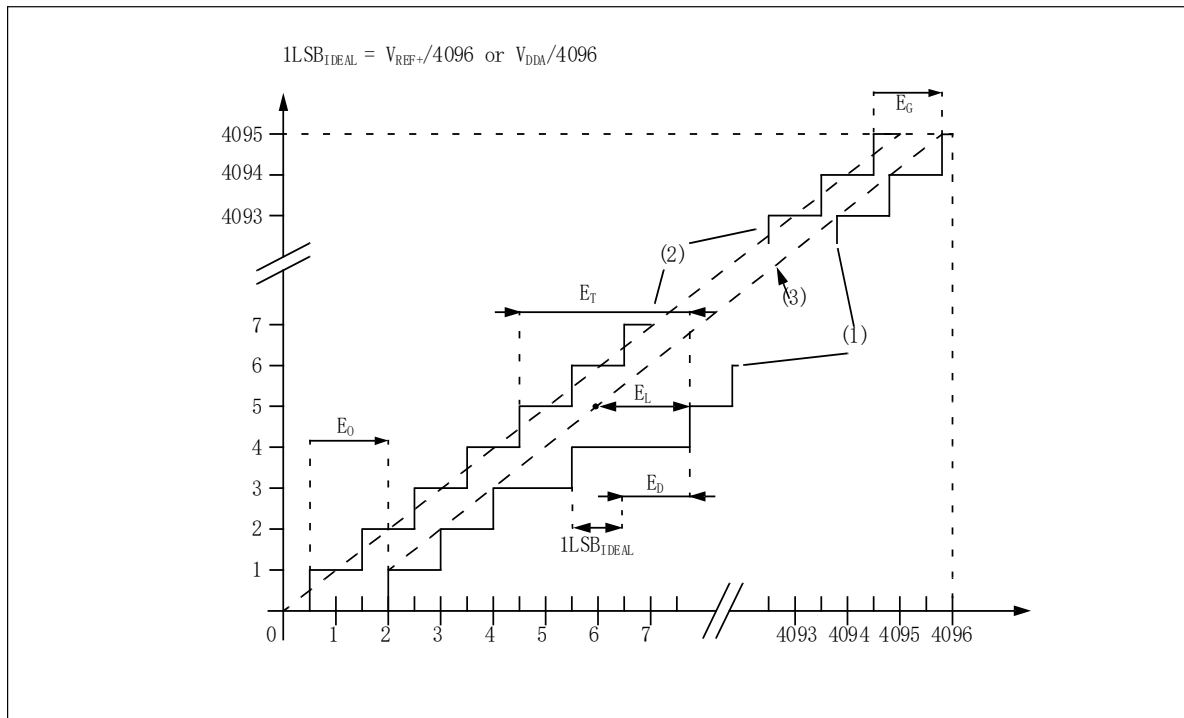
1. ADC DC测试之前先做校准
2. ADC精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于 *I/O current injection characteristics* 中给出的 $I_{INJ}(\text{PIN})$ 和 $\Sigma I_{INJ}(\text{PIN})$ 范围之内，就不会影响ADC精度。
3. 由特性评估保证，不在生产中测试

表 6-42 ADC 精度^{(1) (2)(3)}

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56\text{MHz}$, $f_{ADC} = 14\text{MHz}$, $R_{AIN} < 10\text{k}\Omega$, $V_{CCA} = 1.7\text{V} \sim 3.6\text{V}$ 测试之前先 做 ADC 校准	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
EG	增益误差		± 1.5	± 3	
ED	微分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

1. ADC DC测试之前先做校准
2. 在受限的 V_{CC} 、频率、 V_{REF} 和温度范围内可以获得更好的性能
3. ADC精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于 *I/O current injection characteristics* 中给出的 $I_{INJ}(\text{PIN})$ 和 $\Sigma I_{INJ}(\text{PIN})$ 范围之内，就不会影响ADC精度。

图 6-18 ADC 精度特性



1. 实际转换曲线示例

2. 理想转换曲线

3. 端点相关线.

4. ET = 综合误差: 实际和理想转换曲线之间的最大偏差

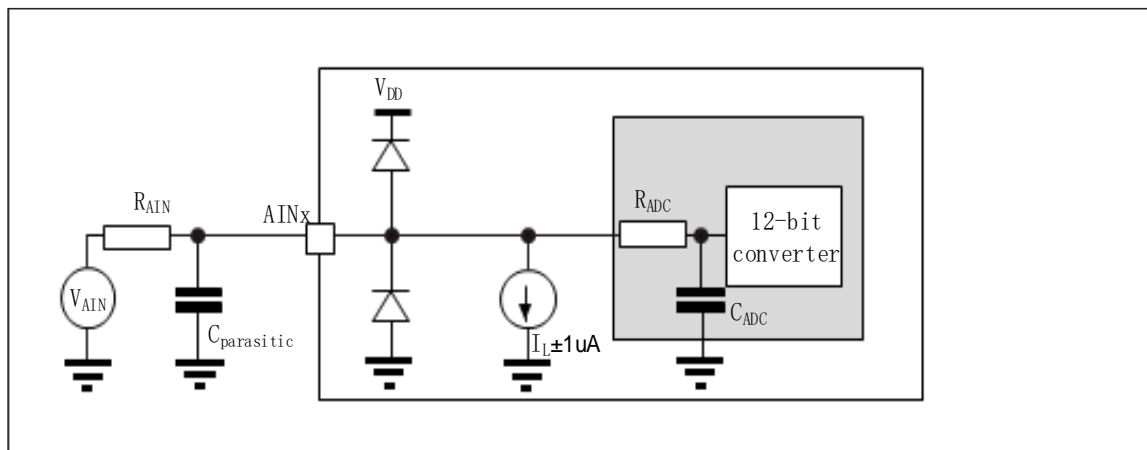
EO = 偏移误差: 第一个实际转换和第一个理想转换之间的偏差

EG = 增益误差: 最后一个理想转换和最后一个实际转换之间的偏差

ED = 微分线性误差: 实际步进和理想值之间的最大偏离

EL = 积分线性误差: 任何实际转换和端点相关线之间的最大偏离

图 6-19 ADC 典型连接图



1. 有关 R_{AIN} , R_{ADC} and C_{ADC} 的数值, 参见表 6-39 ADC特性

2. $C_{parasitic}$ 表示PCB (与焊接和PCB布局质量相关) 与焊盘上的寄生电容 (约7pF)。较大的 $C_{parasitic}$ 数值会降低转换精度, 解决办法是减小 R_{ADC}

PCB设计指导

不管VREFP是否连接到V, 电源去耦必须按照下列图示连接。10nF电容必须是高质量的陶瓷电容, 并

且电容要尽可能布置在芯片附近。

图 6-20 电源供电和参考电源去耦 (V_{REFP} 不连接到 V_{CCA})

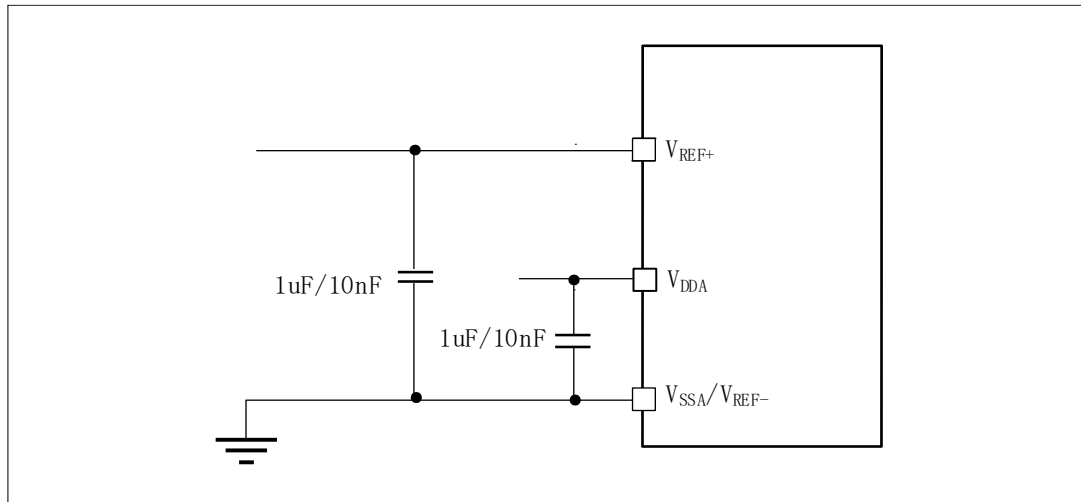
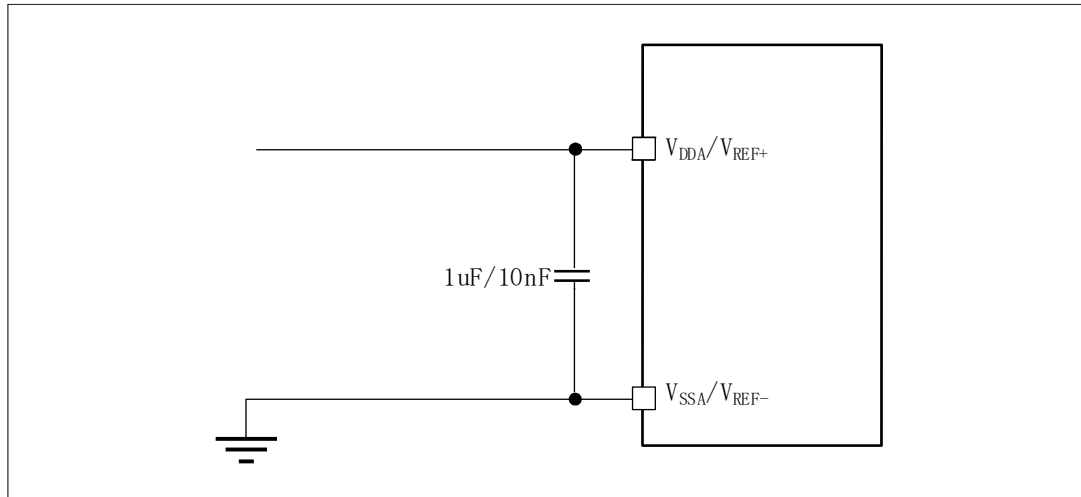


图 6-21 电源供电和参考电源去耦 (V_{REFP} 连接到 V_{CCA})



6.3.21 DAC特性

表 6-43 DAC 特性

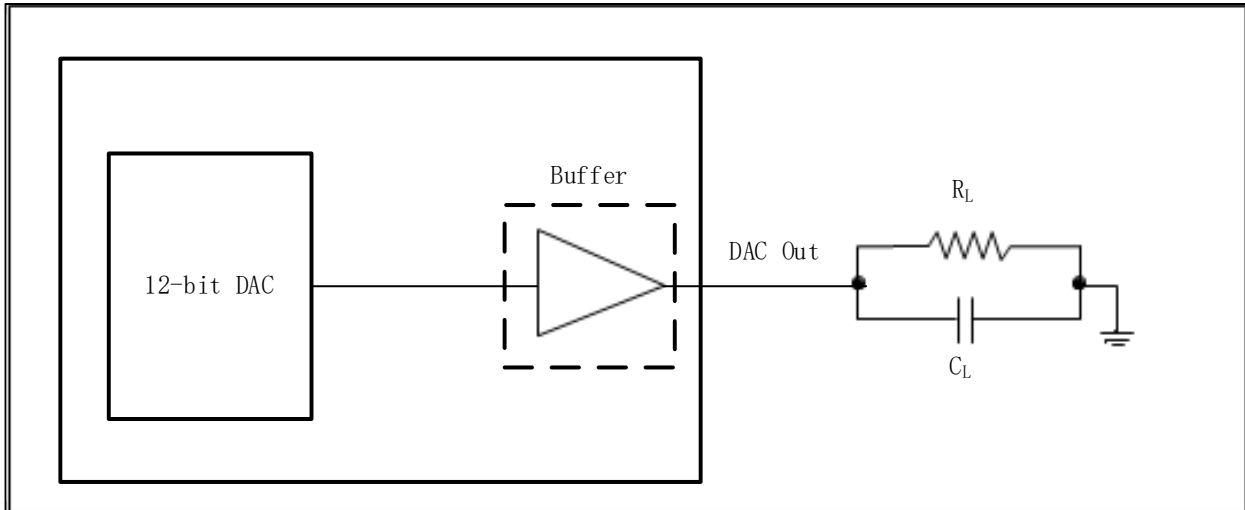
符号	参数	最小值	典型值	最大值	单位	备注
V_{CCA}	模拟供电电压	1.7	-	3.6	V	
V_{REFP}	正参考电压	1.7	-	3.6	V	$V_{REFP} \leq V_{CCA}$
V_{SSA}	模拟地	0	-	0	V	
$R_{LOAD}^{(1)}$	缓冲器开启时相对 V_{SSA} 的电阻负载	5	-	-	k Ω	
	缓冲器开启时相对 V_{CCA} 的电阻负载	15	-	-	k Ω	
$R_O^{(1)}$	缓冲器关闭时的阻抗输出	-	-	15	k Ω	缓冲器关闭时, 要使精度为 1%, DAC_OUT 与 V_{SS} 之间的最小阻性负载为 1.5M Ω

符号	参数	最小值	典型值	最大值	单位	备注
$C_{LOAD}^{(1)}$	容性负载	-	-	50	pF	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)
$DAC_OUT\ min^{(1)}$	缓冲器开启时 DAC_OUT 电压下限	0.2	-	-	V	给出了 DAC 的最大输出幅度。对应于 12 位输入代码 (0x0E0)到(0xF1C) ($V_{REFP} = 3.6\ V$ 时) 以及(0x1C7) 到 (0xE38) ($V_{REFP} = 1.7\ V$ 时)
$DAC_OUT\ max^{(1)}$	缓冲器开启时 DAC_OUT 电压上限	-	-	$V_{CCA} - 0.2$	V	
$DAC_OUT\ min^{(1)}$	缓冲器关闭时 DAC_OUT 电压下限	-	0.5		mV	给出 DAC 的最大输出幅度
$DAC_OUT\ max^{(1)}$	缓冲器关闭时 DAC_OUT 电压上限	-		$V_{REFP} - 10\ mV$	V	
$I_{CCVREFP}$	静止模式 (待机模式) 下的 DAC DC V_{REF} 直流电流消耗	-		380	μA	无负载, 在输入上的直流消耗方面, 对应于 $V_{REFP} = 3.6\ V$ 时的最差代码(0x0E4)
I_{CCA}	静止模式下的 DAC DC V_{CCA} 电流消耗 ⁽²⁾	-		380	μA	无负载, 输入端中间代码 (0x800)
		-		480	μA	无负载, 在输入上的直流消耗方面, 对应于 $V_{REFP} = 3.6\ V$ 时的最差代码(0xF1C)
$DNL^{(3)}$	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-		± 0.5	LSB	DAC 按 10 位配置时
		-		± 3	LSB	DAC 按 12 位配置时
$INL^{(2)}$	积分非线性误差 (代码 i 处测得的值与代码 0 及最后一个代码 1023 之间连线上代码 i 处的值之间的差)	-	-	± 1	LSB	DAC 按 10 位配置时
		-	-	± 4	LSB	DAC 按 12 位配置时
$Offset^{(2)}$	偏移误差 (代码(0x800)处测得值与理想值 $V_{REFP}/2$ 之间的差)	-	-	± 10	mV	DAC 按 12 位配置
		-	-	± 3	LSB	DAC 按 10 位配置, $V_{REFP} = 3.6\ V$
		-	-	± 12	LSB	DAC 按 12 位配置, $V_{REFP} = 3.6\ V$
$Gain\ error^{(2)}$	增益误差	-	-	± 0.5	%	DAC 按 12 位配置时
$t_{SETTLING}^{(2)}$	建立时间 (满刻度: 适用于当 DAC_OUT 达到最终值 $\pm 1LSB$ 时, 最低输入代码与最高输入代码之间的 10 位输入代码转换)	-	3	4	μs	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5\ k\Omega$
$Update\ rate^{(2)}$	当输入代码有微小变化 (从代码 i 到 i+1LSB) 时, 确保 DAC_OUT 输出变化正确的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5\ k\Omega$
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间 (在 DAC 控制寄存器中将 ENx 位置 1)	-	6.5	10	μs	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5\ k\Omega$, 介于可能的最低值和最高值之间的输入代码

符号	参数	最小值	典型值	最大值	单位	备注
PSRR+ ⁽¹⁾	电源抑制比（相对于 V_{CCA} ） （静态直流测量）	-	-67	-40	dB	无 R_{LOAD} , $C_{LOAD} = 50 \text{ pF}$

1. 由设计保证，不在生产时测试
2. 静止模式对应的状态为，DAC保持在稳定的输出电平以确保无动态消耗发生
3. Preliminary values.

图 6-22 12 位缓冲/非缓冲 DAC



1. DAC集成了输出缓冲器，可用来降低输出阻抗并在不使用外部运算放大器的情况下直接驱动外部负载。如果将DAC_CR寄存器的BOFFx 位置1，可将该缓冲器旁路。

6.3.22 温度传感器特性

表 6-44 温度传感器特性

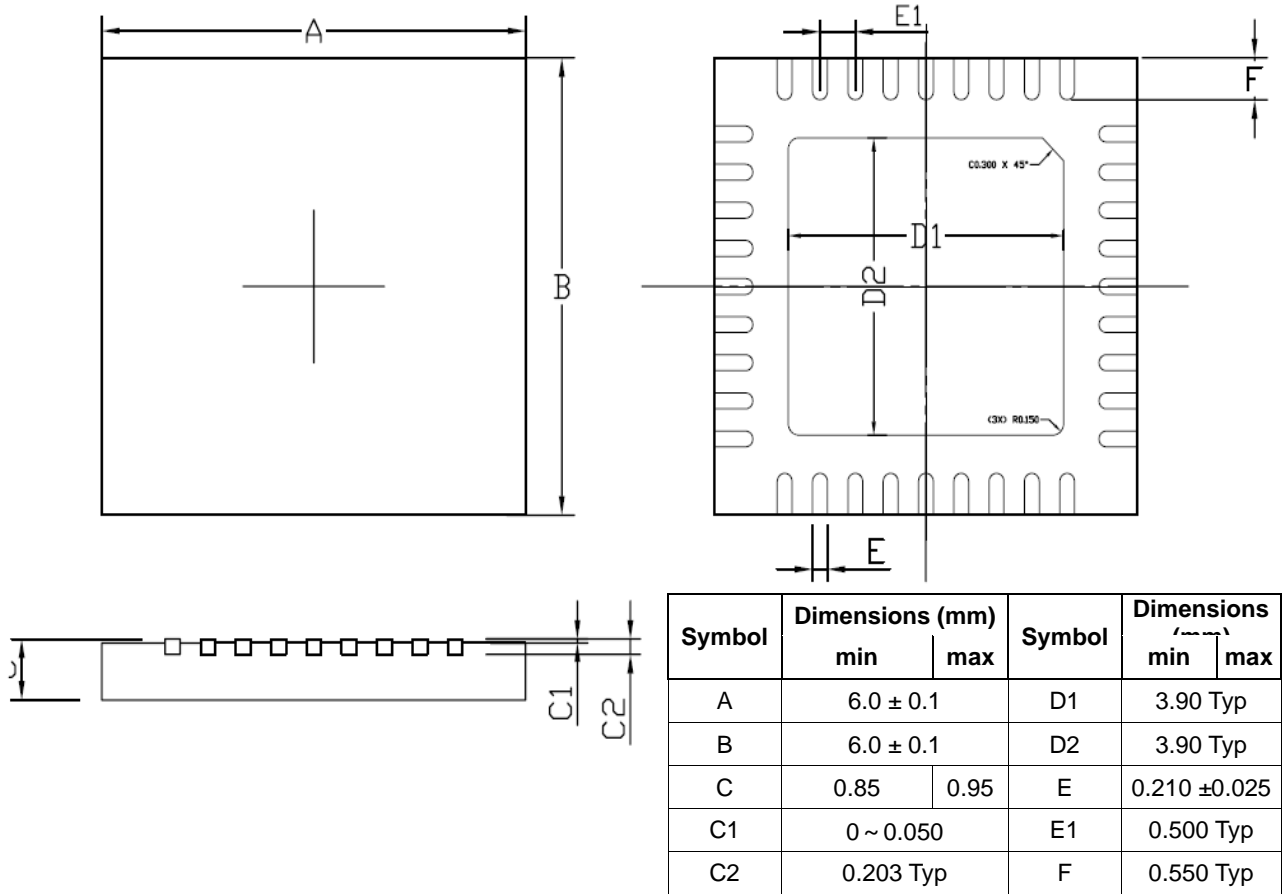
符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 2	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	4	4.3	4.6	$\text{mV}/^{\circ}\text{C}$
$V_{25}^{(1)}$	25 $^{\circ}\text{C}$ 时的电压	1.34	1.43	1.52	V
$t_{\text{START}}^{(2)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(3)(2)}$	当读取温度时的 ADC 采样时间	-	-	17.1	μs

1. 由特性评估保证，不在生产中测试
2. 由设计保证，不在生产中测试
3. 最短的采样时间可以由应用程序通过多次循环决定

7 封装特性

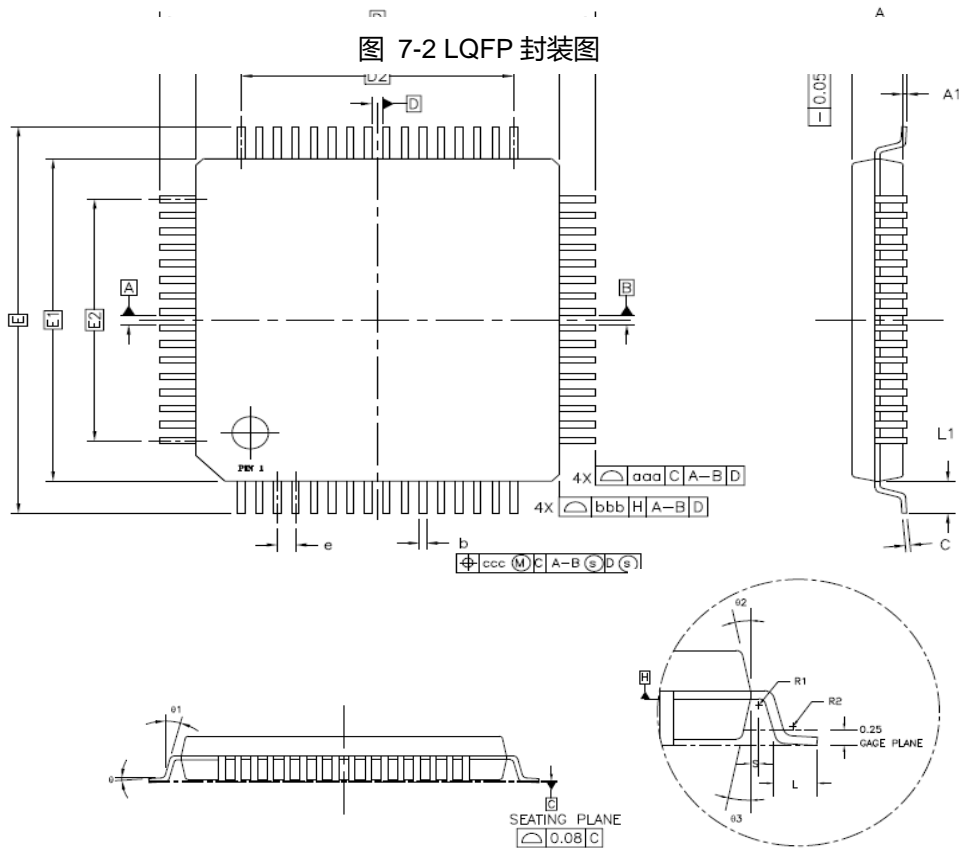
7.1 QFN36封装

图 7-1 QFN 封装图



1. Formed lead shall be planar with respect to one another within 0.004 inches.
2. Both package length and width do not include mold flash and metal burr.

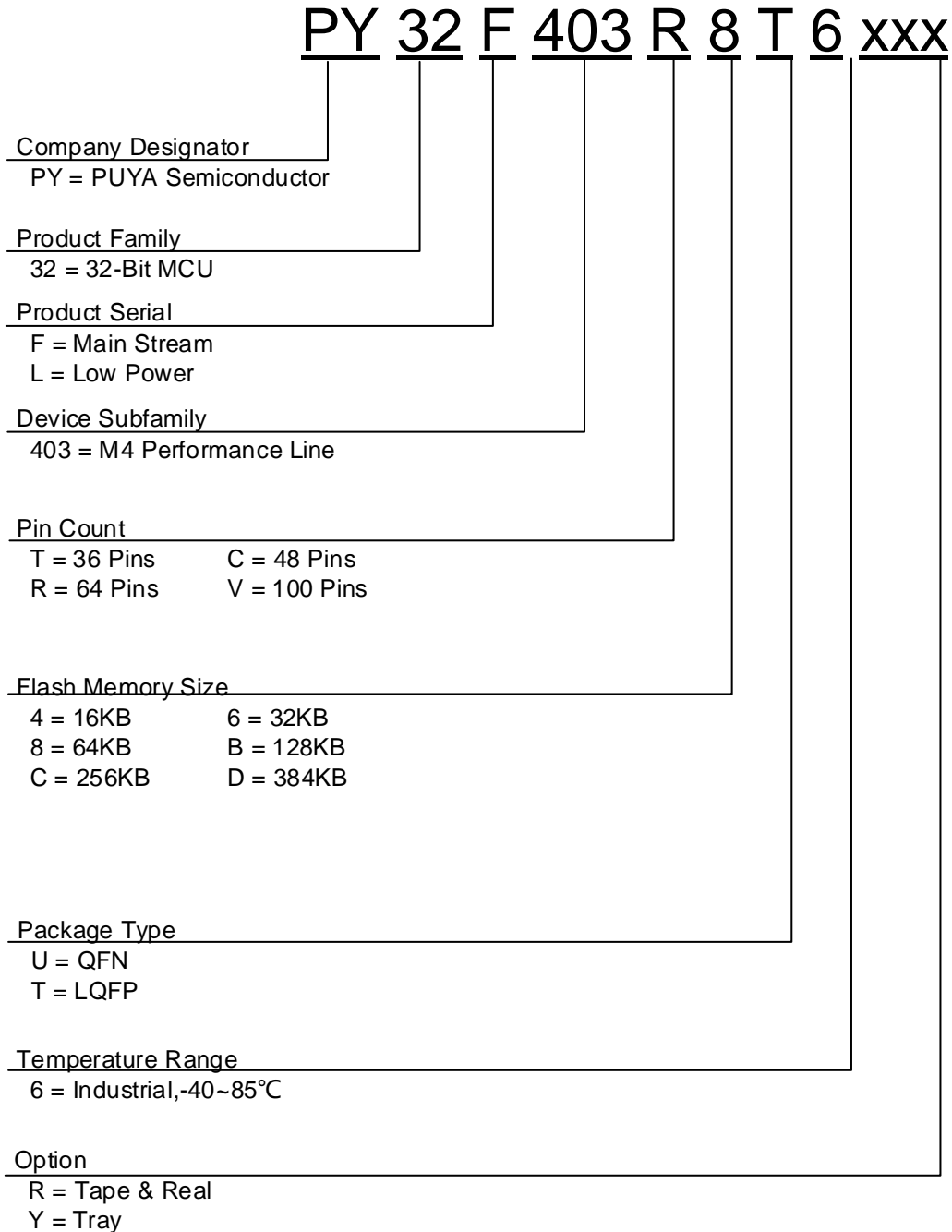
7.2 LQFP封装



Symbol	LQFP48			LQFP64			LQFP100		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
A	1.20	-	1.60	-	-	1.60	-	-	1.60
A1	0.05	-	0.15	0.05	-	0.15	0.05	-	0.15
A2	0.95	1.00	1.05	1.35	1.40	1.45	1.35	1.40	1.45
D	-	9.00	-	-	12.00	-	-	16.00	-
D1	-	7.00	-	-	10.00	-	-	14.00	-
E	-	9.00	-	-	12.00	-	-	16.00	-
E1	-	7.00	-	-	10.00	-	-	14.00	-
R1	0.08	-	-	0.08	-	-	0.08	-	-
R2	0.08	-	0.20	0.08	-	0.20	0.08	-	0.20
θ	0°	3.5°	7°	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-	0°	-	-
θ2	11°	12°	13°	11°	12°	13°	11°	12°	13°
θ3	11°	12°	13°	11°	12°	13°	11°	12°	13°
c	0.09	-	0.20	0.09	-	0.20	0.09	-	0.20
L	0.45	0.60	0.75	0.45	0.60	0.75	0.45	0.60	0.75
L1	-	1.00	-	-	1.00	-	-	1.00	-
S	0.20	-	-	0.20	-	-	0.20	-	-
b	0.17	0.22	0.27	0.17	0.20	0.27	0.17	0.20	0.27
e	-	0.50	-	-	0.50	-	-	0.50	-
D2	-	5.50	-	-	7.50	-	-	12.00	-
E2	-	5.50	-	-	7.50	-	-	12.00	-
aaa	0.20	-	-	0.20	-	-	0.20	-	-
bbb	0.20	-	-	0.20	-	-	0.20	-	-
ccc	0.08	-	-	0.08	-	-	0.08	-	-

8 型号命名

8.1 型号命名



8.2 有效的型号清单及丝印

表 8-1 PY32F403 系列 MCU 产品型号清单

产品型号	Flash(KB)	封装类型	丝印	温度范围	包装类型
PY32F403T4T6	16	QFN36		-40℃ to 85 ℃	
PY32F403T6T6	32	QFN36		-40℃ to 85 ℃	
PY32F403T8T6	64	QFN36		-40℃ to 85 ℃	
PY32F403TBT6	128	QFN36		-40℃ to 85 ℃	
PY32F403C4T6	16	LQFP48		-40℃ to 85 ℃	
PY32F403C6T6	32	LQFP48		-40℃ to 85 ℃	
PY32F403C8T6	64	LQFP48		-40℃ to 85 ℃	
PY32F403CBT6	128	LQFP48		-40℃ to 85 ℃	
PY32F403R4T6	16	LQFP64		-40℃ to 85 ℃	
PY32F403R6T6	32	LQFP64		-40℃ to 85 ℃	
PY32F403R8T6	64	LQFP64		-40℃ to 85 ℃	
PY32F403RBT6	128	LQFP64		-40℃ to 85 ℃	
PY32F403RCT6	256	LQFP64		-40℃ to 85 ℃	
PY32F403RDT6	384	LQFP64		-40℃ to 85 ℃	
PY32F403V8T6	64	LQFP100		-40℃ to 85 ℃	
PY32F403VBT6	128	LQFP100		-40℃ to 85 ℃	
PY32F403VCT6	256	LQFP100		-40℃ to 85 ℃	
PY32F403VDT6	384	LQFP100		-40℃ to 85 ℃	

9 版本历史

版本	日期	修改内容
0.3	2021-12-23	所有封装pinout增加VCAP引脚 Flash size 从512K改成384K , SRAM size从96K改成64K
0.5	2022-06-06	修复笔误 修改系统框图 修改下电时序 修改SPI AC Timing
0.6	2022-06-20	修改格式



Puya Semiconductor Co., Ltd.

IMPORTANT NOTICE

Puya Semiconductor reserves the right to make changes without further notice to any products or specifications herein. Puya Semiconductor does not assume any responsibility for use of any its products for any particular purpose, nor does Puya Semiconductor assume any liability arising out of the application or use of any its products or circuits. Puya Semiconductor does not convey any license under its patent rights or other rights nor the rights of others.