

“计算机组织结构” 作业 13

1. 典型的微处理器是用不同地址去访问指定设备控制器中的 I/O 数据寄存器、控制和状态寄存器。这些寄存器被称为端口 (port)。Intel 8088 使用两类 I/O 指令格式。一类格式中, 8 位操作码指定 I/O 操作, 后随 8 为端口地址; 另一类格式中, I/O 操作码隐含指示端口地址在 16 位的 DX 寄存器中。
 - a) 第一类寻址模式下, 8088 能寻址多少端口?
 - b) 第二类寻址模式下, 8088 能寻址多少端口?
2. 在编程式 I/O 中, 处理器陷入一个等待循环来检查 I/O 设备状态。为提高效率, 可编写这样的 I/O 软件: 处理器周期性地检查设备状态, 若设备未就绪, 处理器跳转到执行其他任务, 在某指定时间长度的间隔后处理器再次检查设备状态。
 - a) 考虑采用上述方法向打印机一次 1 字符地输出数据。打印机以 10 字符/秒速度运行。若每 20ms 扫描一次它的状态, 需要查询几次才能得到获得打印机就绪状态?
 - b) 接着考虑一个具有单一字符缓冲器的键盘。平均而言, 字符以 10 字符/秒的速度被敲入。然而两次连续按键的时间间隔是 60ms。I/O 程序应该以什么频率扫描键盘? (单位: 次/秒)
3. 考虑某系统对一个设备使用了中断驱动式 I/O, 此设备以平均 64kbps 的速度连续传送数据。
 - a) 假设中断处理大约用 $100\ \mu\text{s}$, 每字节中断一次, 确定处理器时间的百分之几被这个 I/O 设备所消耗。(百分数, 精度: 整数)
 - b) 假设这个设备有两个 16 字节的缓冲器并当一个缓冲器满时才中断处理器一次。执行此中断服务时, 处理时间需要延长 (每传送一个字节处理器要用大约 $8\ \mu\text{s}$), 重复上问。(百分数, 精度: 整数)
4. 在一个系统中, 经由总线的一次数据传送用 500ns。总线控制的传递, 无论是由处理器到 DMA 模块还是由 DMA 模块到处理器, 两个方向上都是用 200ns。一个有 400kbps 数据传输率的 I/O 设备使用了 DMA 来传送 128 字节的块, 每次传送 1 字节的数据。
 - a) 若使用突发模式 DMA, 即块传送之前 DMA 模块获得总线控制权并一直维持对总线的控制直到整个块传送完。设备占用总线多长时间 (含获取总线控制和交回总线控制)? (单位: 毫秒, 精度: 小数点后 4 位)
 - b) 若使用周期窃取式 DMA, 重复上问。
5. 假设一个主频为 1GHz 的处理器需要从某个成块传送的 I/O 设备读取 1000 字节的数据到主存缓冲区中, 该 I/O 设备一旦启动即按 400kbps 的数据传输率向主机传送 1000 字节数据, 每个字节的读取、处理并存入内存缓冲区需要 1000 个时钟周期, 则以下 4 种方式下, 在 1000 字节的读取过程中,
 - a) 采用查询方式, 每次处理一个字节, 一次状态查询至少需要 60 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少? (单位: 毫秒, 精度: 小数点后 3 位)
 - b) 问题 a) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少? (百分数, 精度: 小数点后 2 位)
 - c) 采用中断驱动 I/O 方式, 外设每准备好一个字节发送一次中断请求。每次中断响应

需要两个时钟周期，中断服务程序的执行需要 1200 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少？（单位：毫秒，精度：小数点后 3 位）

- d) 问题 c) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少？（百分数，精度：小数点后 2 位）
- e) 采用周期挪用 DMA 方式，每挪用一次主存周期处理一个字节，DMA 初始化和后处理的时间为 2000 个时钟周期，CPU 和 DMA 没有访存冲突。CPU 用在该设备的 I/O 操作上的时间为多少？（单位：毫秒，精度：小数点后 3 位）
- f) 问题 e) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少？（百分数，精度：小数点后 2 位）

===== 分割线：以下内容不在小程序上提交 =====

- 6. 在包含 DMA 模块的系统中，一般 DMA 存取主存储器的优先级比处理器存取主存储器的优先级高，为什么？
- 7. 假定某计算机的 CPU 主频为 500MHz，所连接的某个外设的最大数据传输率为 160kbps，该外设接口中有一个 16 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期，则是否可以用中断方式进行该外设的输入输出？假定该外设的最大数据传输率改为 16Mbps，则是否可以用中断方式进行该外设的输入输出？
- 8. 若某计算机有 5 级中断，中断响应优先级为 $1 > 2 > 3 > 4 > 5$ ，而中断处理优先级为 $1 > 4 > 5 > 2 > 3$ 。要求完成以下工作：
 - a) 设计各级中断处理程序的中断屏蔽字（假设 1 为屏蔽，0 为开放）。
 - b) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，画出此程序运行过程示意图。
- 9. 题目 5 中，如果设备的速度提高到 40Mbps，则上述 3 种方式中，哪些是不可行的？为什么？对于可行的方式，计算出 CPU 花在该设备 I/O 操作上的时间占整个处理器时间的百分比？