

考试科目名称 计算机组织结构 (A 卷)

考试方式：闭卷 考试日期 年 月 日 教师 任桐炜

系（专业） 年级 班级

学号 姓名 成绩

题号	一	二	三	四	五	六	七	八	九	十
分数										

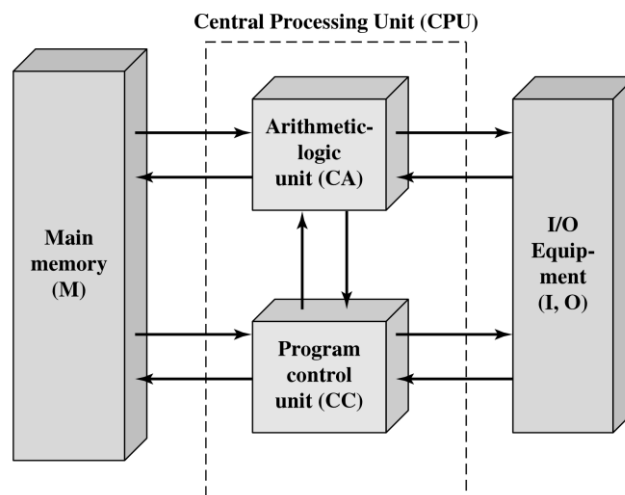
得分 一、（本题满分 10 分）

阐述冯·诺依曼原型机的基本思想和结构。

冯·诺依曼原型机采用了“存储程序”的基本思想，即将程序和数据一样以二进制形式存储在计算机中，并由计算机自动取出后逐条执行。

冯·诺依曼原型机主要包含 4 个组成部分：

- 1) 中央算术逻辑：用于进行各类计算；
- 2) 程序控制逻辑：用于控制各类操作；
- 3) 主存：用于存储程序和数据；
- 4) I/O 模块：用于与外部设备交互，与外界环境进行数据交换。



得分	
----	--

二、(本题满分 10 分)

为了得到各计算机的性能比较,最好是在每个计算机上运行几个不同的测试程序,然后取 MIPS 的平均结果。取平均结果时,可以采用算术平均值,也可以采用调和平均值。假设有 A、B、C 三台计算机,处理器主频分别为 40MHz、45MHz、50MHz,执行各类指令的的时钟周期数如下表所示:

	计算机 A	计算机 B	计算机 C
整数算术	1	1	1
数据传送	1	2	2
浮点算术	2	1	2
控制传送	1	2	1

现采用 4 个测试程序,每个程序包含的各类指令数如下表所示:

	程序 1	程序 2	程序 3	程序 4
整数算术	1000	50000	4000	100
数据传送	7000	20000	3000	200
浮点算术	1000	10000	1000	600
控制传送	1000	20000	2000	100

计算出每台计算机在各个测试程序上的 MIPS,并根据算术平均值和调和平均值分别对计算机的性能排序。

根据 $MIPS = \text{执行指令总数} / \text{执行时间} / 10^6 = \text{执行指令总数} / (\text{所用指令周期总数} / \text{主频}) / 10^6$, 可以计算出每台计算机在各个测试程序上的 MIPS 及算术平均值、调和平均值:

	计算机 A	计算机 B	计算机 C
程序 1	36.36	25.00	27.78
程序 2	36.36	32.14	38.46
程序 3	36.36	30.00	35.71
程序 4	25.00	34.62	27.78
算术平均值	33.52	30.44	32.43
调和平均值	32.65	30.00	31.75

所以,无论根据 MIPS 的算数平均值还是调和平均值,计算机性能的排序均为:

A > C > B。

得分	
----	--

三、（本题满分 10 分）

某计算机采用 5 级中断，中断响应优先级为 1>2>3>4>5，中断处理优先级为 5>2>3>1>4。假设计算机正在完成以下工作：在运行主程序时，同时出现 1、3、5 级中断请求，而在处理第 3 级中断过程中又同时出现第 2、4 级中断请求。请按照以下格式写出整个处理过程：

步骤	操作
(1)	主程序
(2)	响应中断××
(3)	响应中断××
(4)	处理中断××
(5)	处理中断××
(6)	主程序

步骤	操作
(1)	主程序
(2)	响应中断 1
(3)	响应中断 3
(4)	响应中断 5
(5)	处理中断 5
(6)	处理中断 3
(7)	响应中断 2
(8)	处理中断 2
(9)	处理中断 3
(10)	处理中断 1
(11)	主程序
(12)	响应中断 4
(13)	处理中断 4
(14)	主程序

得分	
----	--

四、(本题满分 10 分)

计算机系统包含容量为 64KB 的主存,按字节编址。Cache 的数据区大小为 4KB,行大小为 64B。Cache 初始时空,处理器依次访问存储单元 0, 1, ..., 5119, 并重复该过程 4 次,即一共访问 5 轮。假设 Cache 的速度是主存的 10 倍,块替换时如果需要替换策略则采用 LRU 算法。说明直接映射、全关联映射和 2 路组关联映射方式下,使用 Cache 后访问时间与直接访问主存(不采用 Cache)时间的百分比,并按访问时间将三种映射方式的效果进行排序。

由于块大小为 64B,所以 Cache 中行的个数为 $4KB/64B=64$ 。

当按序访问存储单元时,对于每一个块,只有第一个字节可能丢失,因此只需要计算访问丢失的块的数量,即可获知访问丢失的字节数。 $5120/64=80$,故一共访问了 80 个块,即块 0 至块 79。

假设 cache 的访问时间为 t ,则主存的访问时间为 $10t$ 。

采用直接映射方式时,由于 Cache 初始时空,第 1 轮访问全部为丢失,共丢失 80 次。此时 Cache 内存储的块号为 64, 65, ..., 79, 16, 17, ..., 63。第 2 轮至第 5 轮访问时,块 0-15 和块 64-79 会丢失,而块 16-63 会命中,共丢失 32 次。所以,一共丢失的次数为 $80+32 \times 4=208$ 次。使用 cache 后访问时间为直接访问主存的: $(5120 \times 5 \times t + 208 \times 10t) / (10t \times 5120 \times 5) = 10.81\%$ 。

采用全关联映射方式时,同样第 1 轮访问全部为丢失,共丢失 80 次。此时 cache 中存储的块号为 64, 65, ..., 79, 16, 17, ..., 63。第 2 轮访问时,块 0 访问丢失,采用 LRU 会替换块 16,块 1 会替换块 17,以此类推,所有的块都会丢失,共丢失 80 次。第 3 轮至第 5 轮访问与第 2 轮相同。所以,一共丢失的次数为 $80 \times 5=400$ 次。使用 cache 后访问时间为直接访问主存的: $(5120 \times 5 \times t + 400 \times 10t) / (10t \times 5120 \times 5) = 11.56\%$ 。

采用 2 路组关联映射时,同样第 1 轮访问全部为丢失,共丢失 80 次。此时 cache 中存储的块号为 (64, 32), (65, 33), ..., (79, 47), (16, 48), ..., (31, 63), 其中 () 内表示同一组。第 2 轮访问时,访问块 0-15 全部丢失,块 0 会替换块 32,块 1 会替换块 33,以此类推,块 15 会替换块 47,共丢失 16 次;访问块 16-31 会全部命中;访问块 32-47 全部丢失,块 32 会替换块 64,块 33 会替换块 65,以此类推,块 47 会替换块 79,共丢失 16 次;访问块 48-63 会全部命中;访问块 64-79 全部丢失,块 64 替换块 0,块 65 替换块 1,以此类推,块 79 替换块 15。第 2 轮访问共丢失 $16 \times 3=48$ 次。第 3 轮至第 5 轮访问与第 2 轮相同。所以,一共丢失的次数为 $80+48 \times 4=272$ 次。使用 cache 后访问时间为直接访问主存的: $(5120 \times 5 \times t + 272 \times 10t) / (10t \times 5120 \times 5) = 11.06\%$ 。

根据上述计算可知,三种映射方式的效果为:直接映射 > 2 路组关联映射 > 全关联映射。

[任天, 121250114]

得分	
----	--

五、(本题满分 10 分)

某计算机在信息传输中采用基于偶校验的海明码，对每个字节生成校验位。
假设所传输信息的十六进制表示为 **8F3CAB96H**，且将信息与校验码按照故障字的顺序排列后一起传输。如果传输中没有发生任何错误，写出所接收到信息(含校验码)的十六进制表示。

根据海明码的计算规则：

$$C1 = D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7$$

$$C2 = D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7$$

$$C3 = D2 \oplus D3 \oplus D4 \oplus D8$$

$$C4 = D5 \oplus D6 \oplus D7 \oplus D8$$

对各个字节计算出校验码：

8FH = 1000 1111B，校验码(C4C3C2C1)为 **1011**

3CH = 0011 1100B，校验码(C4C3C2C1)为 **0010**

ABH = 1010 1011B，校验码(C4C3C2C1)为 **0111**

96H = 1001 0110B，校验码(C4C3C2C1)为 **0110**

所以将信息和校验码按照故障字的顺序排列后的二进制表示为：

1000 1111 0111 0011 0110 0010 1010 0101 1111 1001 0011 1010

十六进制表示为：**8F7362A5F93AH**

得分	
----	--

六、(本题满分 10 分)

假设一个主频为 1GHz 的处理器需要从某个成块传送的 I/O 设备读取 1000 字节的数据到主存缓冲区中, 该 I/O 设备一旦启动即按 10^5B/s 的数据传输率向主机传送 1000 字节数据, 每个字节的读取和存入内存需要 1000 个时钟周期。判断以下 3 种方式是否可以用于该 I/O 操作。如果可行, CPU 用在该 I/O 操作上的时间分别为多少?

方式 1: 采用查询方式, CPU 每次处理一个字节, 一次状态查询至少需要 9500 个时钟周期。

方式 2: 采用中断驱动 I/O 方式, 外设每准备好一个字节发送一次中断请求。每次中断响应需要 200 个时钟周期, 中断服务程序的执行需要 1800 个时钟周期 (含数据的读取和存入内存)。

方式 3: 采用停止 CPU 的 DMA 方式, DMA 包含 2 个 100 字节的缓存, 一个缓存存满后即发起一次 DMA 传送, 每次 DMA 初始化和后处理的时间分别为 1000 个时钟周期。(假设 CPU 在被停止期间无法进行其它工作。)

由于 I/O 设备的数据传输率为 10^5B/s , 所以每个字节准备的时间为 10^{-5}s 。

当采用查询方式时, CPU 需要全程参与 I/O 操作, 每次查询需要的时间为 $9500/1\text{GHz}=9.5\times 10^{-6}\text{s}$, 读取、处理和存入内存需要 $10^3/1\text{GHz}=10^{-6}\text{s}$, 所以接收每个字节并存入内存的总时间至少为 $9.5\times 10^{-6}\text{s}+10^{-6}\text{s}=1.05\times 10^{-5}\text{s}$, 大于每个字节的准备时间, 故不可行。

当采用中断驱动 I/O 方式时, CPU 每次响应中断和执行中断程序需要 $(200+1800)/1\text{GHz}=2\times 10^{-6}\text{s}$, 小于每个字节的准备时间, 故可行。CPU 用在该 I/O 操作上的时间为 $2\times 10^{-6}\text{s}\times 1000=2\times 10^{-3}\text{s}$ 。

当采用停止 CPU 的 DMA 方式时, 1 次 DMA 操作需要时间 $1000/1\text{GHz}+100\times 1000/1\text{GHz}+1000/1\text{GHz}=1.02\times 10^{-4}\text{s}$, 小于准备 100 个字节的时间为 $100\times 10^{-5}\text{s}=10^{-3}\text{s}$, 故可行。由于采用停止 CPU 的模式, 所以 DMA 操作过程中 CPU 完全受影响, CPU 用在该 I/O 操作上的时间为 $1000/100\times 1.02\times 10^{-4}\text{s}=1.02\times 10^{-3}\text{s}$ 。

得分	
----	--

七、(本题满分 10 分)

某程序需要将磁盘上 20 个随机分布的数据块读出,进行相应处理后,一起写回磁盘上的另一个连续区域。假设每个数据块大小为 40KB,各数据块内信息在磁盘上连续存放;磁盘转速为 5400rpm,平均存取时间为 20ms,数据传输率为 $8 \times 10^3 \text{KB/s}$;对每个数据块的处理需要 2.5×10^9 个时钟周期,处理器时钟频率为 500MHz;磁盘读取操作和磁盘数据的处理时间允许重叠。计算该程序完成数据块“读出-处理-写回”操作所需要的总时间为多少?

由于平均存取时间为 20ms,且数据连续存放,所以每个数据块读取的时间为:

$$20\text{ms} + 40\text{KB}/8 \times 10^3 \text{KB/s} = 25\text{ms}$$

而数据处理的时间为: $2.5 \times 10^9 / 500\text{MHz} = 5\text{s} > 25\text{ms}$

由于数据读取和处理时间可以重叠,所以数据读取和处理的总时间为:

$$25\text{ms} + \max(25\text{ms}, 5\text{s}) \times (20 - 1) + 5\text{s} = 100.025\text{s}$$

由于数据是一起写回磁盘上的连续区域,故只需要一次存取时间,数据写入的时间为:

$$20\text{ms} + 40\text{KB} \times 20 / 8 \times 10^3 \text{KB/s} = 0.12\text{s}$$

所以需要的总时间为: $100.025\text{s} + 0.12\text{s} = 100.145\text{s}$

[周骥, 121250222]

得分	
----	--

八、(本题满分 10 分)

假设某同步总线的时钟周期为 50ns，且每次传输需要 1 个时钟周期；某异步总线每次握手需要 40ns。两个总线的宽度都是 32 位。如果传输 256 字节数据时，内存准备前 4 个字节的时间为 230ns，其后每 4 个字节的准备时间为 65ns，且数据准备时间允许与数据传输时间重叠。计算这两种总线在传输块大小为 16 字节方式下的数据传输率分别为多少？(说明：已知异步总线上传输数据时，第 1 次握手结束后即可开始准备数据，从第 5 次握手起传输数据，且在同一个总线事务中，第 2 次数据传输起只需要第 4-7 次握手。)

由于总线宽度为 32 位，所以每次数据传输 4 字节。在传输块大小为 16 字节的传输方式下，256 字节共需要 $256/16=16$ 次总线事务，每次总线事务中传输数据 $16/4=4$ 次。

对于同步总线，地址传输需要 50ns，前 4 个字节的准备时间为 250ns，其后每 4 个字节的准备时间为 100ns，每传输 4 个字节需要 50ns。

第 1 个总线事务的时间为： $50\text{ns}+250\text{ns}+\max(50\text{ns}, 100\text{ns}) \times (4-1)+50\text{ns}=650\text{ns}$ 。

第 2-16 个总线事务的时间为： $50\text{ns}+100\text{ns}+\max(50\text{ns}, 100\text{ns}) \times 3+50\text{ns}=500\text{ns}$ 。

所以，数据传输率为： $256\text{B}/(650\text{ns}+15 \times 500\text{ns})=3.14 \times 10^7 \text{B/s}$

对于异步总线，第 1 次握手后即可获得地址，前 4 个字节的准备时间为 230ns，其后每 4 个字节的准备时间为 65ns，数据传输需要 3 次握手（第 5-7 次握手）。每次总线事务中，第 1 次数据准备和第 2-4 次握手时间重叠，第 2-4 次数据准备与第 5-7 次及第 4 次握手时间重叠。

第 1 个总线事务的时间为：

$40\text{ns}+\max(230\text{ns}, 40\text{ns} \times 3)+\max(65\text{ns}, 40\text{ns} \times 4) \times (4-1)+40\text{ns} \times 3=870\text{ns}$ 。

第 2-16 个总线事务的时间为：

$40\text{ns}+\max(65\text{ns}, 40\text{ns} \times 3)+\max(65\text{ns}, 40\text{ns} \times 4) \times (4-1)+40\text{ns} \times 3=760\text{ns}$ 。

所以，数据传输率为： $256\text{B}/(870\text{ns}+15 \times 760\text{ns})=2.09 \times 10^7 \text{B/s}$

得分

九、(本题满分 10 分)

假设一个计算机系统有一个 TLB 和一个 L1 data cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位；页大小为 128B，TLB 为 4-路组关联，共有 16 个页表项；L1 data cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行的某一时刻，TLB、页表和 L1 data cache 中的部分内容如下图所示（16 进制表示）：

组号	标记	页框	有效位	标记	页框	有效位	标记	页框	有效位	标记	页框	有效位
0	05	—	0	09	1D	1	00	08	1	07	10	1
1	13	2D	1	02	17	1	04	—	0	0A	—	0
2	02	09	1	08	—	0	06	—	0	03	11	1
3	07	—	0	63	12	1	0A	34	0	72	—	0

TLB 的内容

虚页号	页框号	有效位
000	08	1
001	03	1
002	14	1
003	02	1
004	—	0
005	16	1
006	—	0
007	07	1
008	13	1
009	17	1
00A	09	1
00B	—	0
00C	19	1
00D	—	0
00E	11	1
00F	0D	1

页表的前 16 行内容

行索引	标记	有效位	字节 3	字节 2	字节 1	字节 0
0	19	1	12	56	C9	AC
1	—	0	—	—	—	—
2	1B	1	03	45	12	CD
3	—	0	—	—	—	—
4	32	1	23	34	C2	2A
5	0D	1	46	67	23	3D
6	—	0	—	—	—	—
7	10	1	12	54	65	DC

8	24	1	23	62	12	3A
9	—	0	—	—	—	—
A	2D	1	43	62	23	C3
B	—	0	—	—	—	—
C	12	1	76	83	21	35
D	16	1	A3	F4	23	11
E	33	1	2D	4A	45	55
F	—	0	—	—	—	—

L1 data cache 的内容

写出对虚拟地址 067AH 的取值过程，以及取出的值为多少？

地址 067AH = 0000 0110 0111 1010B。

由于页的大小为 128B，所以低 7 位为页内偏移量，高 9 位为虚拟页号，即虚拟页号为：0 0000 1100B = 00CH。

TLB 共 16 个页表项，且采用 4 路组关联，所以共有 4 个组。虚拟页号中高 2 位表示组号，虚拟页号 00CH 在第 0 组中，对应标记为 000 0011B=03H。

TLB 的第 0 组中查找 03H 标记，没有对应项，故 TLB 缺失。继续在页表中查找 00CH，发现有效位为 1，取出对应页框号 19H=0001 1001B。

将页框号与页内偏移组成 12 位的物理地址：1100 1111 1010B。

由于 L1 data cache 采用直接映射，cache 中块大小为 4B，共 16 行，所以物理地址中低 2 位表示块内地址，中间 4 位表示行号，高 6 位为标记。因此，该地址被映射到 1110B=E 行，标记为 110011B=33H。查找 L1 data cache 的内容，发现命中。根据块内地址 10B=2，取出字节 2 的内容 4AH。

得分	
----	--

十、(本题满分 10 分)

假设在主存设计中通常将行地址线与列地址线复用，而在 Cache 设计中却很少采用这种复用方式。请解释其中的原因。

将行地址线与列地址线复用，优点是可以减少所需地址线的数量，在地址线数量不变的情况下增大寻址空间；缺点是地址传输需要两次才能完成，会影响访问速度。

主存与 Cache 相比，通常所需要的容量较大，因此通过行地址线与列地址线复用，可以用较少的地址线来支持较大的寻址空间。

而 Cache 与主存相比，对访问速度的要求较高，因此不采用行地址线和列地址线复用，从而提高访问速度。