

“计算机组织结构”作业 12 参考答案

1. 如图 1 所示，假设沿总线 and 通过 ALU 的传播延迟分别为 20ns 和 100ns。由总线将数据拷贝到寄存器需要 10ns。

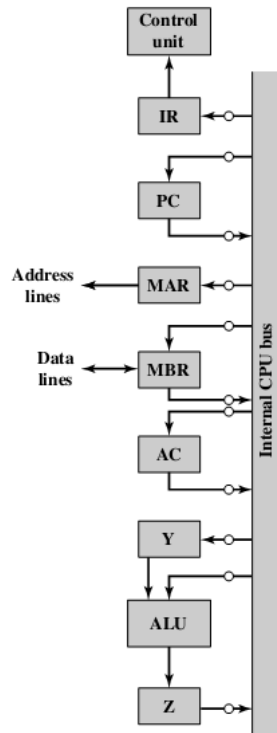


图 1

请问以下操作需要的最少时间为多少？

- a) 将数据从一个寄存器传送到另一个寄存器；

在总线上传送数据用时 20ns，拷贝到寄存器中需要 10ns，总共需要 30ns

- b) 使用 ALU 增量程序计数器。

从 PC 中读取地址传送到总线用时 20ns，放入 Y 中用时 10ns；经 ALU 中计算用时 100ns；将数据传输回 PC 用时 20ns+10=30ns；所以总共用时 160ns。

2. 2. 控制器如图 2 所示。假定它的控制存储器是 24 位宽。微指令格式的控制部分分成两个字段。一个 13 位的微操作字段用来指定将要完成的微操作。一个地址选择字段用来指明能引起微指令转移的条件，这些条件是基于 8 个标志来建立的。

- a) 地址选择字段有多少位？
b) 地址字段有多少位？
c) 控制存储器容量为多少（单位：字节）？

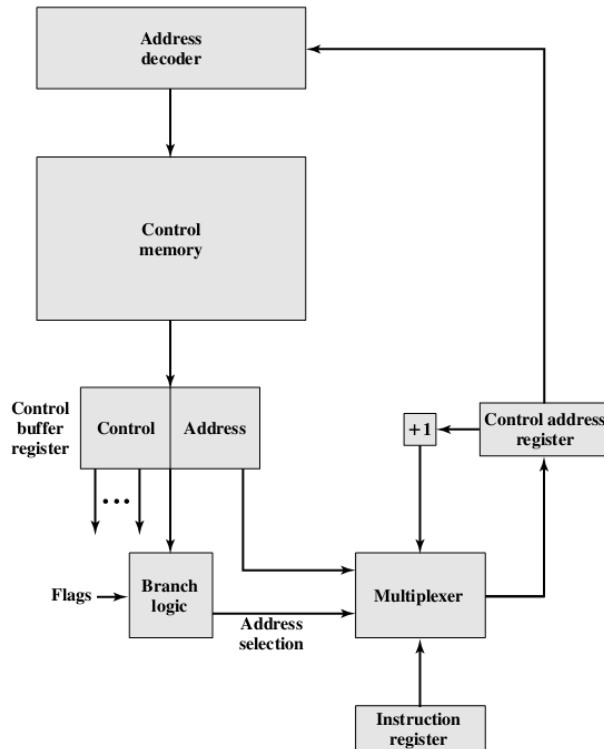


图 2

- 地址选择字段共有 8 个标志, $\log_2 8 = 3$, 故需要 3 位
- 地址字段位数为 $24 - 13 - 3 = 8$ 位
- 地址为 8 位, 表示微指令的条数最大为 $2^8 = 256$ 条, 所以控制存储器的容量为 $256 * 24/8 = 768$ 字节

===== 分割线：以下内容不在小程序上提交 =====

3. 以图 1 为例, 加一个数到 AC。请写出该数为以下情形分别所需要的微操作序列:

a) 立即数

t1: $Y \leftarrow (IR(address))$

t2: $Z \leftarrow (AC) + (Y)$

t3: $AC \leftarrow (Z)$

b) 直接寻址的操作数

t1: $MAR \leftarrow (IR(address))$

t2: $MBR \leftarrow Memory$

t3: $Y \leftarrow (MBR)$

t4: $Z \leftarrow (AC) + (Y)$

t5: $AC \leftarrow (Z)$

c) 间接寻址的操作数

t1: $MAR \leftarrow (IR(address))$

t2: $MBR \leftarrow Memory$

```

t3: MAR  $\leftarrow$  (MBR)
t4: MBR  $\leftarrow$  Memory
t5: Y  $\leftarrow$  (MBR)
t6: Z  $\leftarrow$  (AC) + (Y)
t7: AC  $\leftarrow$  (Z)

```

4. 有一个 ALU 不能做减法，但它能加两个输入寄存器并能对两个寄存器的各位取逻辑反。其中，数据以二进制补码形式存储。请根据以下 4 种情形，列出用该 ALU 实现减法时控制器必须完成的操作。

- 1 地址直接寻址
- 1 地址间接寻址
- 2 地址直接寻址
- 2 地址间接寻址

假设 ALU 的两个输入寄存器为 X 和 Y。取反操作为 Neg(), 加法为 Add()

- 1 地址，直接寻址

```

t1: MAR  $\leftarrow$  (IR(address))
t2: MBR  $\leftarrow$  Memory
t3: Y  $\leftarrow$  (MBR)
t4: Y  $\leftarrow$  Neg(Y)
t5: X  $\leftarrow$  1
t6: Y  $\leftarrow$  (X) + (Y)
t7: X  $\leftarrow$  (AC)
t8: AC  $\leftarrow$  (X) + (Y)

```

- 1 地址，间接寻址

```

t1: MAR  $\leftarrow$  (IR(address))
t2: MBR  $\leftarrow$  Memory
t3: MAR  $\leftarrow$  (MBR)
t4: MBR  $\leftarrow$  Memory
t5: Y  $\leftarrow$  (MBR)
t6: Y  $\leftarrow$  Neg(Y)
t7: X  $\leftarrow$  1
t8: Y  $\leftarrow$  (X) + (Y)
t9: X  $\leftarrow$  (AC)
t10: AC  $\leftarrow$  (X) + (Y)

```

- 2 地址，直接寻址

```

t1: MAR  $\leftarrow$  (IR(address2))
t2: MBR  $\leftarrow$  Memory
t3: Y  $\leftarrow$  (MBR)
t4: Y  $\leftarrow$  Neg(Y)
t5: X  $\leftarrow$  1
t6: Y  $\leftarrow$  (X) + (Y)

```

```

t7: MAR  $\leftarrow$  (IR(address1))
t8: MBR  $\leftarrow$  Memory
t9: X  $\leftarrow$  (MBR)
t10: AC  $\leftarrow$  (X) + (Y)

```

d) 2 地址, 间接寻址

```

t1: MAR  $\leftarrow$  (IR(address2))
t2: MBR  $\leftarrow$  Memory
t3: MAR  $\leftarrow$  (MBR)
t4: MBR  $\leftarrow$  Memory
t5: Y  $\leftarrow$  (MBR)
t6: Y  $\leftarrow$  Neg(Y)
t7: X  $\leftarrow$  1
t8: Y  $\leftarrow$  (X) + (Y)
t9: MAR  $\leftarrow$  (IR(address1))
t10: MBR  $\leftarrow$  Memory
t11: MAR  $\leftarrow$  (MBR)
t12: MBR  $\leftarrow$  Memory
t13: X  $\leftarrow$  (MBR)
t14: AC  $\leftarrow$  (X) + (Y)

```

5. 图 3 所示的栈保存在内存中, 寄存器中存储了栈限 (分配给该栈的最小地址)、栈指针 (栈顶地址) 和栈基 (分配给该栈的最大地址)。请写出 push 和 pop 该栈所对应的微操作序列。

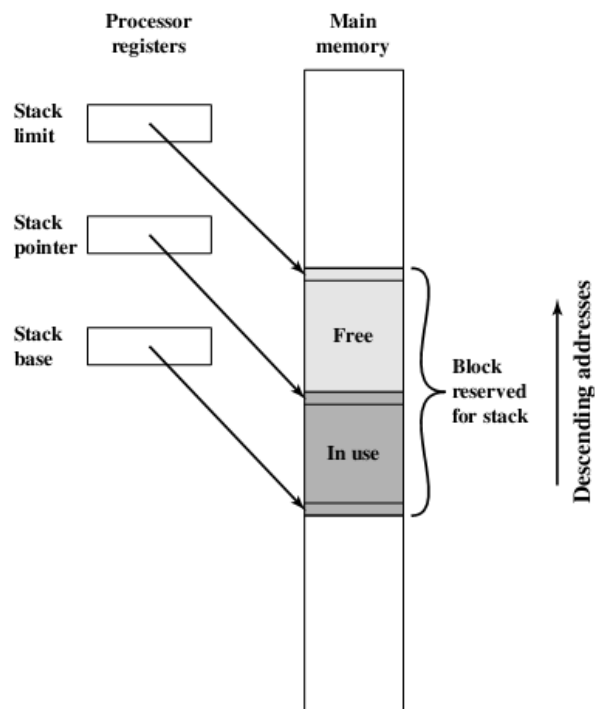


图 3

```

POP:  t1: MAR <- (SP)
      t2: MBR <- Memory
      SP <- (SP) + 1
PUSH: t1: SP <- (SP) - 1
      t2: MAR <- (SP)
      t3: Memory <- (MBR)

```

[明鑫, 171250553]

6. 一个指令周期有 4 个主要阶段：取指、间址、执行和中断。硬布线方式实现时，采用一个 2 位的寄存器来标志当前阶段，但微程序式控制器却不需要类似的标志。请问为什么硬布线式控制器需要这些标志，而微程序式控制器不需要这些标志？

在硬连线式控制器中，当前阶段会作为输入的一部分，用于布尔逻辑式的计算，因此需要采用 2 位的寄存器来标志当前阶段。

在微程序式控制器中，所有的微指令都存储在控制存储器中，排序逻辑会确定下一条将要执行的微指令，各个阶段之间通过跳转来实现，因此不需要状态标志。

7. CPU 有 16 个寄存器，一个 ALU 有 16 种逻辑功能和 16 种算术功能，一个移位器有 8 种操作，所有这些组件都与一个 CPU 内部总线相连。假设 ALU 的输入和输出都位于寄存器中，设计一种微指令格式能指定此 CPU 的各种微操作。

微指令格式如下：

逻辑和算术功能 (0~4位)	移位操作 (5~7位)	ALU 输入1 (8~11位)	ALU 输入2 (12~15) 位	ALU 输出 (16-19位)
-------------------	----------------	--------------------	----------------------	--------------------