

“计算机组织结构”书面作业 06

1. 计算机系统包含容量为 $32K \times 16$ 位的主存，按字编址，每字 16 位。Cache 采用 4 路组关联的映射方式，数据区大小为 4K 字，主存块大小为 64 字。假设 Cache 初始时是空的，处理器顺序地从存储单元（每个存储单元中包含 1 个字）0,1,...,4351 中取数，然后再重复这一顺序 9 次，并且 Cache 的速度是主存的 10 倍，同时假设块替换用 LRU 算法。请说明使用 Cache 后的速度为原来的多少倍（精度：小数点后 1 位）。

2. 考虑一个每行 16 个字节的 4 行 Cache，主存按每块 16 个字节划分，即块 0 有地址 0 到 15 的 16 个字节，等等。先考虑以程序，它以如下地址顺序访问主存：

一次：63~70

循环 10 次：15~32, 80~95

(2-1) 假设 Cache 组织成直接映射式。块 0、4、...指派到行 0，块 1、5、...指派到行 1，如此类推。请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。

(2-2) 假设 Cache 组织成两路组关联映射式，共有两组，每组两行。偶序号块指派到组 0，奇序号块指派到组 1。使用 LRU 替换策略，请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。

3. 考虑一个存取时间为 1ns 和命中率 $H=0.95$ 的 L1 Cache。假设我们修改了此 Cache 的设计（Cache 的容量、组织），从而使得命中率提升到 0.97，但也使存取时间增大到 1.5ns。如果要使得新设计能导致性能改善，cache 的速度必须是主存的多少倍以上（精度：整数）？

4. 假设主存中的 5 个块 {1,2,3,4,5} 映射到 cache 的同一组，对于主存块访问地址流 {1,2,3,4,1,2,5,1,2,3,4,5}，计算以下情况下的命中率（形式：小数，非百分数；精度：小数点后 3 位）：

(4-1) 采用 3-路组关联和 LRU 算法；

(4-2) 采用 4-路组关联和 LRU 算法；

(4-3) 采用 5-路组关联和 LRU 算法；

(4-4) 采用 3-路组关联和 FIFO 算法；

(4-5) 采用 4-路组关联和 FIFO 算法；

(4-6) 采用 5-路组关联和 FIFO 算法。

5. 假设某处理器的时钟频率为 1.2GHz，当 L1 cache 无缺失时的 CPI 为 1（即 CPU 可以快速地从 L1 cache 中读取指令，并在 1 个时钟周期内完成）。访问一次主存的时间为 100ns（包括所有缺失处理），L1 cache 的局部缺失率为 2%。若增加一个 L2 cache，并假定 L2

cache 的访问时间为 5ns，而且其容量足够大到使全局缺失率仅为 0.5%。分析增加 L2 cache 后处理器执行程序的效率为原来的多少倍（精度：小数点后 3 位）？

6.某计算机的主存地址空间为 256MB，按字节编址，指令 Cache 分离，均有 8 个 Cache 行，每个 Cache 行的大小为 64B，数据 Cache 采用直接映射方式，现有两个功能相同的程序 A 和 B,其伪代码如下所示：

<pre>程序 A: int a[256][256]; int sum_array 1() { int i,j,sum=0; for(i=0;i<256;i++) for (j=0;j<256;j++) sum +=a[i][j]; return sum; }</pre>	<pre>程序 B: int a[256][256]; int sum_array 2() { int i,j,sum=0; for(j=0;j<256;j++) for (i=0;i<256;i++) sum +=a[i][j]; return sum; }</pre>
--	--

假定 int 类型数据用 32 位补码表示，程序编译时 i、j、sum 均分配在寄存器中，数组 a 的首地址为 320(十进制)。

(6-1) 若不考虑用于 Cache 一致维护和替换算法的控制位，则数据 Cache 的总容量为多少（单位：字节,只填数字即可）？

(6-2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少(Cache 行号从 0 开始)?(答案以英文逗号分割)

(6-3) 程序 A 和 B 的数据访问命中率各是多少（形式：小数，非百分数,以英文逗号分割；精度:小数点后 3 位）？

===== 分割线：以下内容不在小程序上提交=====

1. 一个组关联 Cache 由 64 个行组成，每组 4 行。主存储器包含 4K 个块，每块 128 字，请表示主存地址的格式。

2. 一个两路组关联的 Cache 具有 8K 字节的容量，每行 16 字节。64M 字节的主存时字节可寻址的（即以字节为单位进行访问）。请给出主存地址格式。

3. 假设 Cache 有 4K 字，每行 32 字。对十六进制主存地址：111111、666666、BBBBBB，请用十六进制格式表示如下信息：

(3-1) 直接映射 Cache 的地址格式；

(3-2) 全关联映射 Cache 的地址格式；

(3-3) 两路组关联 Cache 的地址格式。(提示：每个映射方式下，需要将标记、块内地址等分开表示。)

4. 对一个有两级 Cache 的系统，定义： T_{C1} = 第一级 Cache 存取时间； T_{C2} = 第二级 Cache 存取时间； H_1 = 第一级 Cache 命中率； H_2 = 组合的第一/二级 Cache 命中率。请给出读操作时间的表示。(提示：需要假设主存的存取时间)