

“计算机组织结构”作业 10

1. 假设一个同步总线的时钟频率为 50MHz，总线宽度为 32 位，每个时钟周期传送一个数据，该总线的带宽为多少（单位：Mbps）？
2. 一个 32 位的微处理器，它有 16 位的外部数据总线，由 40MHz 输入时钟驱动。
 - a) 假设一个总线事务需要的最短时间等于 4 个输入时钟周期，那么需要 16 个时钟周期的总线事务中，这个处理器可能维持的最大数据传输率是多少（单位：Mbps）？
 - b) 如果将它的外部数据总线扩展为 32 位，那么该总线的最大数据传输率提高到多少（单位：Mbps）？
3. VAX SBI 总线采用分布式的自举裁决方案，总线上每个设备有唯一的优先级，而且有一根独立的总线请求线 REQ，SBI 有 16 根这样的请求线 (REQ0, ..., REQ15)，其中 REQ0 优先级最高，请问最多可有多少个设备连到这样的总线上？
4. 假设某存储器总线采用同步定时方式，时钟频率为 50MHz，每个总线事务传输 8 个字，每字 4 字节。对读操作，访问顺序是 1 个时钟周期接受地址，3 个时钟周期等待存储器读数，8 个时钟周期用于传输 8 个字。对于写操作，访问顺序是一个时钟周期接受地址，2 个时钟周期延迟等待，8 个时钟周期用于传输 8 个字，3 个时钟周期恢复和写入纠错码。对于以下访问模式，求出该存储器读写时在存储总线上的数据传输率(单位：Mbps)。
 - a) 全部访问为连续的读操作。
 - b) 全部访问为连续的写操作。
 - c) 65%的时间内全是读操作，35%的时间内全是写操作
 - d) 65%的访问为读操作，35%的访问为写操作
5. 假定在一个字长为 32 位的计算机系统中，存储器分别连接以下两种同步总线。

总线 1 是 64 位数据和地址复用的同步总线，能在 1 个时钟周期内传输一个 64 位的数据或地址。支持最多连续 8 个字的存储器读操作和存储器写操作总线事务。任何一个读写操作总是先用 1 个时钟周期传送地址，然后有 2 个时钟周期的延迟等待，从第 4 个时钟周期开始，存储器准备好数据，总线以每个时钟周期 2 个字的速度传送，最多传送 8 个字。

总线 2 是分离的 32 位地址和 32 位数据的总线。支持最多连续 8 个字的存储器读操作和写操作总线事务，读操作的过程为：1 个时钟周期传送地址，2 个时钟周期延迟等待，从第 4 个时钟周期开始，存储器准备好数据，总线以每个时钟周期一个字的速度传输最多 8 个字；对于写操作，在第 1 个时钟周期内第 1 个数据字和地址一起传输，经过 2 个时钟周期的等待延迟后，以每个时钟周期 1 个字的速度传输，最多传输 7 个余下的数据字。假设这两种总线的时钟频率都是 100MHz，请问：

 - a) 总线 1 的带宽为多少（单位：Mbps）？
 - b) 总线 2 的带宽为多少（单位：Mbps）？

- c) 连续进行单个字的存储器读操作总线事务，总线 1 的数据传输率为多少（单位：Mbps）？
 - d) 连续进行单个字的存储器读操作总线事务，总线 2 的数据传输率为多少（单位：Mbps）？
 - e) 连续进行单个字的存储器写操作总线事务，总线 1 的数据传输率为多少（单位：Mbps）？
 - f) 连续进行单个字的存储器写操作总线事务，总线 2 的数据传输率为多少（单位：Mbps）？
 - g) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 1 的数据传输率是多少（单位：Mbps）？
 - h) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 2 的数据传输率是多少（单位：Mbps）？
6. 假定连接主存和 CPU 之间的同步总线具有以下特性：支持 4 字块和 16 字块（字长 32 位）两种长度的块传输，总线时钟频率为 200MHz，总线宽度为 64 位，每个 64 位数据的传送需要 1 个时钟周期，向主存发送一个地址需要 1 个时钟周期，每个总线事务之间有 2 个空闲时钟周期。若访问主存时最初 4 个字的存取时间为 148ns，随后每读 4 个字的时间为 26ns，则：
- a) 在 4 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？
 - b) 在 16 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？

===== 分割线：以下内容不在小程序上提交 =====

无