

## 考试科目名称 计算机组织结构（期中）

考试方式：闭卷          考试日期\_\_\_\_\_年\_\_月\_\_日    教师 任桐炜

系（专业）\_\_\_\_\_ 年级\_\_\_\_\_ 班级\_\_\_\_\_

学号\_\_\_\_\_ 姓名\_\_\_\_\_ 成绩\_\_\_\_\_

题号	一	二	三	四	五	六	七	八
分数								

### 一、（本题满分 10 分）

两台计算机 M1 和 M2 的处理器时钟频率分别为 500MHz 和 400MHz，但它们支持相同的指令集，其中包含 A、B、C、D 四种指令。假设这两台计算机都同时支持三种编译器 C1、C2 和 C3，这三种编译器对同一个程序所生成的指令条数相同，但各种指令所占比例不同。假设四种指令在 M1 和 M2 上运行时的平均时钟周期数和在三编译器所生成的指令中所占比例如下表所示。如果采用算术平均值来判断处理器在不同编译器下的综合性能，请问 M1 和 M2 哪个综合性能更好？

	M1 的 CPI	M2 的 CPI
A	3	2
B	1	2
C	4	3
D	6	5

	C1 生成指令	C2 生成指令	C3 生成指令
A	20%	50%	30%
B	30%	20%	25%
C	40%	10%	25%
D	10%	20%	20%

M1 的时钟周期为  $1s/500MHz=2ns$ ，M2 的时钟周期为  $1s/400MHz=2.5ns$ 。

M1 和 M2 运行 C1、C2、C3 所生成的指令时的平均时钟周期数为：

	C1 生成程序	C2 生成程序	C3 生成程序
M1	3.10	3.30	3.35
M2	2.70	2.70	2.85

所以 M1 和 M2 运行同一个程序由 C1、C2、C3 所生成的指令所需时间的比例为：

$$M1/M2 = (2ns * (3.10+3.30+3.35) / 3) / (2.5ns * (2.70+2.70+2.85) / 3) = 0.9455$$

所以 M1 的综合性能更好。

得分	
----	--

二、(本题满分 15 分)

以  $16K \times 4$  位的芯片为例, DRAM 芯片的构成为: 芯片内部包含  $16K=128 \times 128$  个单元(即 128 行、128 列), 每个单元可存储 4 位。已知对 DRAM 芯片异步刷新时, 芯片内每一行的所有单元同时刷新(每个单元里的所有位也是同时刷新); 不同行不得同时刷新。如果由多个芯片构成存储器, 各个芯片之间的刷新互不影响。请问:

- a) 如果希望构成  $256K \times 8$  位的存储器, 需要多少个  $64K \times 2$  位的 DRAM 芯片?
- b) 对于所构成  $256K \times 8$  位的存储器, 如果每次地址都是一次性传输, 至少需要多少根地址线?
- c) 假如采用异步刷新方式, 对于任意单元, 两次刷新闻隔不得超过  $2ms$ , 则存储器发送刷新信号的频率至少为多少(每对一行刷新都需要发送一次刷新信号)?

a)  $(256K/64K) \times (8/2)=16$  个

b) 共有  $256K=2^{18}$  个寻址单元, 且地址要求一次性传输, 共需要 18 根地址线。

c)  $64K=2^8 \times 2^8$ , 所以每个芯片内部有 256 行、256 列。由于各个芯片之间的刷新互不影响, 所以  $2ms$  内至少要刷新 256 次。所以发送刷新信号的频率至少为:  
 $1s/2ms \times 256=128KHz$ 。

得分	
----	--

三、(本题满分 10 分)

某计算机的主存地址空间大小为 64KB，按字节编址。Cache 采用 2-路组关联映射、LRU 替换和写回策略，能存放 4KB 数据。主存与 Cache 之间交换的数据块大小为 64 字节。已知 Cache 中每行的大小不要求为字节的整数倍，请问 Cache 的总容量（连同数据、标记等）至少为多少？

由于 Cache 中数据区的容量为 4KB，数据块的大小为 64B，所以 Cache 中共有  $4KB/64B=64$  行。

因为 Cache 采用了 2-路组关联映射，所以共有  $64/2=32$  组。

主存地址空间大小为 64KB，按字节编址，所以地址长度为 16 位。由于数据块大小为 64 字节，所以地址的最后 6 位为块内地址，前 10 位为块号。因为共有 32 组，所以标识某个数据块是否在 Cache 中的标记长度为  $10-5=5$  位。

因为采用 LRU 替换，所以每行需要 1 位来表示每组内即将替换的行；因为采用写回策略，所以每行需要 1 位的脏位；连同标记和数据，Cache 中每行的大小为： $5+1+1+64\times 8=519$  比特。

所以 Cache 的总容量为  $519\times 64=33216$  比特。

得分	
----	--

#### 四、(本题满分 15 分)

在研制某种处理器过程中,有两种不同的设计方案:

方案 1: 处理器的时钟频率为 1GHz。Cache 采用直接映射方式,块大小为 1 个字,指令和数据的缺失率分别为 3%和 5%。

方案 2: 处理器的时钟频率为 800MHz。Cache 采用 2-路组关联映射方式,块大小为 4 个字,指令和数据的缺失率分别为 1%和 2%。

采用某段示例程序对这两种设计方案进行测试。程序中有 30%的指令需要取 1 次数据,10%的指令需要取 2 次数据。该程序在 Cache 全命中时的 CPI 为 3。若每次访问 Cache 的时间为 1 个时钟周期,每次访问主存的时间为“块大小+4”个时钟周期(块大小指每个块包含多少个字)。请问采用哪种处理器设计方案更好?

假设示例程序包含  $N$  条指令,

采用方案 1 时,处理器的时钟周期为 1ns。每次访问主存需要 1+4=5 个时钟周期。所以执行示例程序所需要的时间为:  $N \times (3 + (3\% + (30\% + 10\% \times 2) \times 5\%) \times 5) \times 1\text{ns} = 3.275N \text{ ns}$

采用方案 2 时,处理器的时钟周期为 1.25ns。每次访问主存需要 4+4=8 个时钟周期。所以执行示例程序所需要的时间为:  $N \times (3 + (1\% + (30\% + 10\% \times 2) \times 2\%) \times 8) \times 1.25\text{ns} = 3.95N \text{ ns}$

所以采用方案 1 更好。

得分	
----	--

五、(本题满分 10 分)

假设某个虚拟存储系统按字节编址，逻辑地址为 40 位，物理地址为 36 位，页大小为 32KB。页表中，每个页表项包含有效位、修改位、使用位、存取方式这 4 个标识位，各占 1 位，且每个页表项的长度为字节的整数倍。快表中页表项的数量为 512 项，采用直接映射，快表中每行的大小不要求为字节的整数倍。请问快表的总容量（包含页表项、标记等）至少为多少？

因为页大小为 32KB，所以页内地址为 15 位。由于物理地址长度为 36 位，所以物理页号为  $36-15=21$  位。每个页表项的长度至少为  $4+21=25$  位。由于每个页表项长度必须为字节数的整数倍，所以每个页表项的长度为 32 位。

因为逻辑地址为 40 位，页内地址为 15 位，所以逻辑页号为  $40-15=25$  位。由于快表采用直接映射，且有 512 项，所以逻辑页号的前  $25-9=16$  位用于表示某个页表项是否在快表中。所以快表中每项的长度为  $32+16=48$  位。所以快表的总容量至少为： $48 \times 512 = 24576$  比特。

[141210026 宋奎熹，151250216 庄宇州]

得分	
----	--

六、(本题满分 15 分)

某个磁盘的磁道编号为 0~999。磁头寻道时，每跨越 1 个磁道所需的平均时间为 0.01ms (例如磁头从磁道 2 移动到磁道 3 需要 0.01ms)。磁盘的平均旋转速度为 6000 转/分钟。每个磁道上的扇区数量为 1000 个。

已知当前磁盘为空，有 5 个写入数据的任务同时到达

任务	1	2	3	4	5
开始写入的磁道	300	170	220	90	470
写入数据大小	3MB	40KB	1MB	500KB	600KB

假设磁头的初始位置为磁道 200，采用最短寻道时间优先算法 (即优先处理开始写入位置与当前磁头位置最接近的任务)，且每个磁道上都从 0 号扇区写入，多于 1 个磁道时向磁盘中心移动。请问完成这 5 个写入任务所需要的总时间为多少？

磁盘的平均旋转速度为 6000 转/分钟，所以磁盘旋转一周的时间为 10ms，平均旋转延迟为  $10\text{ms}/2=5\text{ms}$ 。读写每个扇区的时间为  $10\text{ms}/1000=0.01\text{ms}$ 。由于每个扇区可存储数据的大小为 512B，所以每个磁道可存储数据的总大小为  $512\text{B}\times1000=500\text{KB}$ 。

因为磁头的初始位置为磁道 200，根据最短寻道时间优先算法，优先处理任务 3。任务 3 需要写入的数据量为 1MB，所以会占用 2 个磁道加 48 个扇区。完成任务 3 后磁头位于磁道 222。所以完成任务 3 需要的时间为： $(222-200)\times0.01\text{ms}+(5\text{ms}\times3)+(10\text{ms}\times2+48\times0.01\text{ms})=35.70\text{ms}$ 。

根据最短寻道时间优先算法，优先处理任务 2。任务 2 需要写入 40KB，会占用 80 个扇区。完成任务 2 后磁头位于磁道 170。所以完成任务 2 需要的时间为： $(222-170)\times0.01\text{ms}+(5\text{ms}\times1)+(80\times0.01\text{ms})=6.32\text{ms}$ 。

以此类推，优先处理任务 4。任务 4 需要写入 500KB，会占用 1 个磁道。完成任务 4 后磁头位于磁道 90。所以完成任务 4 需要的时间为： $(170-90)\times0.01\text{ms}+(5\text{ms}\times1)+10\text{ms}=15.80\text{ms}$ 。

然后处理任务 1。任务 1 需要写入 3MB，会占用 6 个磁道加 144 个扇区。完成任务 1 后磁头位于磁道 306。所以完成任务 1 需要的时间为： $(306-90)\times0.01\text{ms}+(5\text{ms}\times7)+(10\text{ms}\times6+144\times0.01\text{ms})=98.60\text{ms}$ 。

最后处理任务 5。任务 5 需要写入 600KB，会占用 1 个磁道加 200 个扇区。完成任务 5 后磁头位于磁道 471。所以完成任务 5 需要的时间为： $(471-306)\times0.01\text{ms}+(5\text{ms}\times2)+(10\text{ms}\times1+200\times0.01\text{ms})=23.65\text{ms}$ 。

所以完成 5 个任务需要的总时间为： $35.70+6.32+15.80+98.60+23.65=180.07\text{ms}$ 。

得分	
----	--

七、（本题满分 10 分）

某计算机在信息传输中采用基于偶校验的海明码，对每个字节生成校验位。

假设所传输信息的十六进制表示为 3B47H，且将信息与校验码按照故障字的顺序排列后一起传输。如果传输中没有发生任何错误，写出所接收到信息（含校验码）的十六进制表示。

根据海明码的计算规则：

$$C1 = D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7$$

$$C2 = D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7$$

$$C3 = D2 \oplus D3 \oplus D4 \oplus D8$$

$$C4 = D5 \oplus D6 \oplus D7 \oplus D8$$

对各个字节计算出校验码：

$$3BH = 0011\ 1011B, \text{ 校验码 (C4C3C2C1) 为 } 0010$$

$$47H = 0100\ 0111B, \text{ 校验码 (C4C3C2C1) 为 } 1011$$

所以，将信息和校验码按照故障字的顺序排列后的二进制表示为：

$$0011\ 0101\ 0110\ 0100\ 1011\ 0111$$

十六进制表示为：3564B7H

得分	
----	--

八、(本题满分 15 分)

主存和 CPU 之间的总线宽度为 64 位，现有两种设计方案：

方案 1：支持 8 字块（字长 32 位）传输的同步总线，总线时钟频率为 100MHz，每个总线事务之间有 2 个空闲时钟周期。

方案 2：支持 16 字块（字长 32 位）传输的异步总线，每次握手时间为 20ns。

已知地址长度为 64 位，访问主存时最初 4 个字的存取时间为 148ns，随后每读 4 个字的时间为 26ns。请问这两种设计方案在读取数据时的数据传输率分别为多少？哪种设计方案的数据传输率更高？

对于方案 1，总线时钟频率为 100MHz，所以总线时钟周期为  $1/100\text{M}=10\text{ns}$ 。每个总线事务包括：首先，CPU 发送地址到主存，需要 1 个时钟周期；主存读开始的 4 个字，需要  $148\text{ns}/10\text{ns}=15$  个时钟周期；然后在准备后 4 个字的同时传输前 4 个字，前 4 个字的传输需要  $32 \times 4 / 64 = 2$  个时钟周期，后 4 个字的读取需要  $26\text{ns}/10\text{ns}=3$  个时钟周期；然后传输后 4 个字，需要 2 个时钟周期；最后有 2 个空闲的时钟周期。因此，每个总线事务的时间为  $(1+15+\max(2, 3)+2+2) \times 10 = 230\text{ns}$ ，数据传输率为  $8 \times 32\text{bit}/230\text{ns} = 1.1\text{Gbps}$ 。

对于方案 2，传送地址需要 1 次握手，准备开始 4 个字数据需要 148ns，同时需要完成 3 次握手；后面每准备 4 个字的数据，同时通过 8 次握手来传送数据（每 4 个字需要传输 2 次，每次需要 4 次握手），共 3 次；最后传送 4 个字的数据需要完成  $8-1=7$  次握手。因此，每个总线事务的时间为  $20+\max(148, 3 \times 20)+\max(26, 8 \times 20) \times 3+7 \times 20 = 788\text{ns}$ ，数据传输率为  $16 \times 32\text{bit}/788\text{ns} = 0.65\text{Gbps}$ 。

所以方案 1 的数据传输率更高。

[141210026 宋奎熹，151250216 庄宇州]