

“计算机组织结构”作业 10 参考答案

1. 假设一个同步总线的时钟频率为 50MHz，总线宽度为 32 位，每个时钟周期传送一个数据，该总线的带宽为多少（单位：Mbps）？

带宽为： $32\text{bit} * 50\text{MHz} = 1600\text{Mbps}$

2. 一个 32 位的微处理器，它有 16 位的外部数据总线，由 40MHz 输入时钟驱动。

- a) 假设一个总线事务需要的最短时间等于 4 个输入时钟周期，那么需要 16 个时钟周期的总线事务中，这个处理器可能维持的最大数据传输率是多少（单位：Mbps）？
b) 如果将它的外部数据总线扩展为 32 位，那么该总线的最大数据传输率提高到多少（单位：Mbps）？

a) 一个总线事务过程除了数据传送阶段外，还包括其他阶段，如传送地址和总线命令、准备数据等，所以，完成一个总线事务所用的所有时钟周期并不都用来传输数据。由于一个总线事务需要的最短时间为 4 个时钟周期，这表明在传输最少数据的情况下（占用 1 个时钟周期），依然需要 3 个时钟周期来传送其它信息。

假设一个总线事务占用 n 个时钟周期，那么最大数据传输率为：

$$16\text{bit} * (n-3)/n * 40\text{MHz} = 640(n-3)/n\text{Mbps}$$

例如，当 n 为 16 时，最大数据传输率为 520Mbps

b) 若采用 32 位总线宽度，则总线带宽可以提高到 $1280(n-3)/n\text{Mbps}$ 。这种措施的效果和加倍外部处理器总线时钟频率的效果相同。

补充：由于处理器是 32 位的，地址可能为 32 位。当采用 16 位数据总线时，需要 2 个时钟周期传递地址；而改成 32 位总线，只需要 1 个周期传递地址。原来所需要的 3 个额外时钟周期可能减少到 2 个，因此带宽可以提高到 $1280(n-2)/n\text{Mbps}$ ，优于加倍时钟频率。

[庄宇州, 151250216][宋奎熹, 141210026]

3. VAX SBI 总线采用分布式的自举裁决方案，总线上每个设备有唯一的优先级，而且有一根独立的总线请求线 REQ，SBI 有 16 根这样的请求线 (REQ0, ..., REQ15)，其中 REQ0 优先级最高，请问最多可有多少个设备连到这样的总线上？

由于优先级最低的设备所对应的请求线可以用于设置“总线忙”信号，则共可以连接 16 个设备。

4. 假设某存储器总线采用同步定时方式，时钟频率为 50MHz，每个总线事务传输 8 个字，每字 4 字节。对读操作，访问顺序是 1 个时钟周期接受地址，3 个时钟周期等待存储器读数，8 个时钟周期用于传输 8 个字。对于写操作，访问顺序是一个时钟周期接受地址，2 个时钟周期延迟等待，8 个时钟周期用于传输 8 个字，3 个时钟周期恢复和写入纠错码。对于以下访问模式，求出该存储器读写时在存储总线上的数据传输率（单位：Mbps）。

- a) 全部访问为连续的读操作。
b) 全部访问为连续的写操作。

- c) 65%的时间内全是读操作, 35%的时间内全是写操作
- d) 65%的访问为读操作, 35%的访问为写操作
- a) 8 个字用 $1+3+8=12$ 个周期, 故数据传输率为 $8 \times 4B / (12 \times 1/50M) = 1066.7 \text{ Mbps}$
- b) 8 个字用 $1+2+8+3=14$ 个周期, 故数据传输率为 $8 \times 4B / (14 \times 1/50M) = 914.3 \text{ Mbps}$
- c) $1066.7 \text{ Mbps} \times 65\% + 914.3 \text{ Mbps} \times 35\% = 1013.3 \text{ Mbps}$
 这里将两个数字直接加权应当是 1013.4, 但是如果将(a)和(b)中的未四舍五入前的数字进行加权, 则答案是 1013.3
- d) $8 \times 4B / ((12 \times 65\% + 14 \times 35\%) \times 1/50M) = 1007.9 \text{ Mbps}$
 应当对每个读写操作所需要的时钟周期加权平均, 而不是直接对数据传输率加权平均。因为加权的是访问次数, 而不是用于读或写的总时间

5. 假定在一个字长为 32 位的计算机系统中, 存储器分别连接以下两种同步总线。

总线 1 是 64 位数据和地址复用的同步总线, 能在 1 个时钟周期内传输一个 64 位的数据或地址。支持最多连续 8 个字的存储器读操作和存储器写操作总线事务。任何一个读写操作总是先用 1 个时钟周期传送地址, 然后有 2 个时钟周期的延迟等待, 从第 4 个时钟周期开始, 存储器准备好数据, 总线以每个时钟周期 2 个字的速度传送, 最多传送 8 个字。

总线 2 是分离的 32 位地址和 32 位数据的总线。支持最多连续 8 个字的存储器读操作和写操作总线事务, 读操作的过程为: 1 个时钟周期传送地址, 2 个时钟周期延迟等待, 从第 4 个时钟周期开始, 存储器准备好数据, 总线以每个时钟周期一个字的速度传输最多 8 个字; 对于写操作, 在第 1 个时钟周期内第 1 个数据字和地址一起传输, 经过 2 个时钟周期的等待延迟后, 以每个时钟周期 1 个字的速度传输, 最多传输 7 个余下的数据字。

假设这两种总线的时钟频率都是 100MHz, 请问:

- a) 总线 1 的带宽为多少 (单位: Mbps) ?
- b) 总线 2 的带宽为多少 (单位: Mbps) ?
- c) 连续进行单个字的存储器读操作总线事务, 总线 1 的数据传输率为多少 (单位: Mbps) ?
- d) 连续进行单个字的存储器读操作总线事务, 总线 2 的数据传输率为多少 (单位: Mbps) ?
- e) 连续进行单个字的存储器写操作总线事务, 总线 1 的数据传输率为多少 (单位: Mbps) ?
- f) 连续进行单个字的存储器写操作总线事务, 总线 2 的数据传输率为多少 (单位: Mbps) ?
- g) 每次传输 8 个字的数据块, 其中 60%的访问是读操作总线事务, 40%的访问是写操作总线事务, 总线 1 的数据传输率是多少 (单位: Mbps) ?
- h) 每次传输 8 个字的数据块, 其中 60%的访问是读操作总线事务, 40%的访问是写操作总线事务, 总线 2 的数据传输率是多少 (单位: Mbps) ?
- a) 总线 1 在传送数据时以每个时钟周期 2 个字的速度进行, 所以它的最大数据传输率为 $2 \times 32\text{bit} \times 100M = 6400\text{Mbps}$ 。
- b) 总线 2 在传送数据时以每个时钟周期 1 个字的速度进行, 所以它的最大数据传输

率为 $32\text{bit} \times 100\text{M} = 3200\text{Mbps}$ 。

c) 总线 1 虽然每个时钟周期可传 2 个字，但在单字传输总线事务中每次只需要传送一个字，每个总线事务占 $1+2+1=4$ 个时钟周期，因此连续进行单个字的存储器读总线事务时，总线 1 的数据传输率为 $4\text{B} \times 100\text{M}/4 = 800\text{Mbps}$ 。

d) 总线 2 每个时钟周期读一个字，一个单字存储器读总线事务占 $1+2+1=4$ 个时钟周期，因此连续进行单个字的存储器读总线事务时，总线 2 的数据传输率也为 800Mbps 。

e) 总线 1 的单字存储器写总线事务和单字存储器读总线事务的情况一样，因此，连续进行单个字的存储器写总线事务时，数据传输率也是 800Mbps 。

f) 总线 2 的单字存储器写总线事务占 $1+2=3$ 个时钟周期，因此连续进行单个字的存储器写总线事务时，其数据传输率为 $4\text{B} \times 100\text{M}/3 = 1066.7\text{Mbps}$ 。

g) 通过总线 1 进行存储器读或写 8 个字所用时间都为 $1+2+8/2=7$ 个时钟周期，所以在连续进行 8 个字的传送总线事务时，总线 1 的数据传输率为 $8 \times 4\text{B} \times 100\text{M}/7 = 3657.1\text{Mbps}$ 。

h) 2415.1Mbps

总线 2 的存储器读事务和存储器写事务所用时间不等。突发读 8 个字所用的时间为 $1+2+8=11$ 个时钟周期，突发写 8 个字所用的时间为 $1+2+7=10$ 个时钟周期，因此，当 60%是读操作总线事务，40%是写操作总线事务时，总线 2 的数据传输率为

$$8 \times 4\text{B} / ((11 \times 60\% + 10 \times 40\%) \times 1 / 100\text{MHz}) = 2415.1\text{Mbps}$$

注：应当对每个读写操作所需要的时钟周期加权平均，而不是直接对数据传输率加权平均。因为加权的是访问次数，而不是用于读或写的总时间。按读或写的总时间加权时，答案是 $8 \times 4\text{B} \times 100\text{MHz} / 11 \times 60\% + 8 \times 4\text{B} \times 100\text{MHz} / 10 \times 40\% = 2420.4\text{Mbps}$

[高衡，181250034]

6. 假定连接主存和 CPU 之间的同步总线具有以下特性：支持 4 字块和 16 字块（字长 32 位）两种长度的块传输，总线时钟频率为 200MHz ，总线宽度为 64 位，每个 64 位数据的传送需要 1 个时钟周期，向主存发送一个地址需要 1 个时钟周期，每个总线事务之间有 2 个空闲时钟周期。若访问主存时最初 4 个字的存取时间为 148ns ，随后每读 4 个字的时间为 26ns ，则：

- a) 在 4 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？
b) 在 16 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？

总线时钟频率为 200MHz ，因而总线时钟周期为 $1/200\text{M} = 5\text{ns}$ 。

a) 对于 4 字传送方式，每个总线事务由一个地址传送和一个 4 字的数据块传送组成。首先，CPU 发送地址到主存，需要 1 个时钟周期；主存读开始的 4 个字，需要 $148\text{ns}/5\text{ns} = 30$ 个时钟周期；然后在总线上传输 4 个字，需要 $4 \times 32/64 = 2$ 个时钟周期；最后，有 2 个空闲时钟周期。所以，一次总线事务总共需要 $1+30+2+2=35$ 个时钟周期，512 个字需 $512/4=128$ 个事务，因而整个传送需 $35 \times 128 = 4480$ 个时钟周期，得到总延时为 $4480 \times 5\text{ns} = 22400\text{ns}$ 。总线的数据传输率为 $(512 \times 4\text{B})/22400\text{ns} = 731.4\text{Mbps}$ 。

b) 对于 16 字块传送方式，从第二个 4 字开始，每读一个 4 字的时间为 26ns，相当于 $26\text{ns}/5\text{ns}=6$ 个时钟周期。一次总线事务总共需要 $1+30+3\times\max(6,2)+2+2=53$ 个时钟周期，512 字需 $512/16=32$ 个事务，因而整个传送需 $53\times32=1696$ 个时钟周期，总线的数据传输率为 $(512\times4\text{B})/(1696\times5\text{ns})=1932.1\text{Mbps}$ 。

（注意：这里 148ns 和 26ns 不是总线时钟周期的整数倍，主存会先准备好数据，等到下一个总线时钟周期开始时传输数据。）

===== 分割线：以下内容不在小程序上提交 =====