

Лабораторная работа №2. ПЛИС-устройства и разработка на языке SystemVerilog.

Цель

Цель данной лабораторной работы заключается в том, чтобы научиться использовать инструменты программируемых логических интегральных схем (ПЛИС/FPGA), чтобы разрабатывать и симулировать описание аппаратуры на SystemVerilog, а затем синтезировать его для ПЛИС. В ходе лабораторного занятия вы рассмотрите полный сумматор, а затем разработаете две схемы использующих конечные автоматы: структурную и поведенческую.

План работ

Лабораторная работа состоит из трех частей:

- [Описание инструментов](#), призванное ознакомить вас с процессом и инструментами разработки. Можете выполнить предлагаемые задания, а можете пропустить его и сразу приступить к выполнению заданий в любой среде на ваш выбор, например [EDA Playground](#),
- [Задание по разработке структурного описания конечных автоматов](#),
- [Задание по разработке поведенческого описания конечных автоматов](#).

Пожалуйста, открывайте запросы на исправление на гитхабе, если нашли ошибки в инструкциях к лабораторной или предлагайте ваши любые предложения по улучшению.