Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра информатики

Дисциплина: архитектура вычислительных систем

**ОТЧЁТ**

к лабораторной работе

на тему

Однотактный процессор

Выполнил: студент группы 053506

Слуцкий Никита Сергеевич

Проверил: Шиманский Валерий Владимирович

Минск 2022

# Цели лабораторной работы

Лабораторная работа разделена на три части:

В первой части этой лабораторной работы, вы расширите однотактный процессор RISC-V для поддержки дополнительных инструкций в зависимости от варианта.

Во второй и третьей частях вы будете проектировать многотактный процессор RISC-V на SystemVerilog и протестируете его на простой программе, написанной на машинном языке. Это свяжет воедино всё, что вы узнали из курса о цифровом проектировании, языках описания аппаратуры, языке ассемблера и микроархитектуре, а также даст вам возможность спроектировать и отладить сложную систему. В части 2 вы соберете и протестируете контроллер. В части 3 вы соберете тракт данных и протестируете всю систему.

# Часть 1. Однотактный процессор RISC-V

В файле src/riscvtest.txt находится код процессора, который вам предстоит изменить. На изобр. 1.1 показан полный однотактный процессор из книги. На изобр. 1.2 показано устройство управления, а на изобр. 1.3 показано АЛУ (Арифметико-логическое устройство). На таблицах 1.1 и 1.2 показаны таблицы истинности главного декодера и декодера АЛУ. На таблице 1.3 показано кодирование ImmSrc. На изобр. 1.4 показана тестовая программа для однотактного процессора RISC-V из книги.

**Вариант 5:**

Инструкция ***lui***.

**РЕШЕНИЕ:**

Код измененного модуля datapath в riscsingle.sv:

****

Схема однотактного процессора:

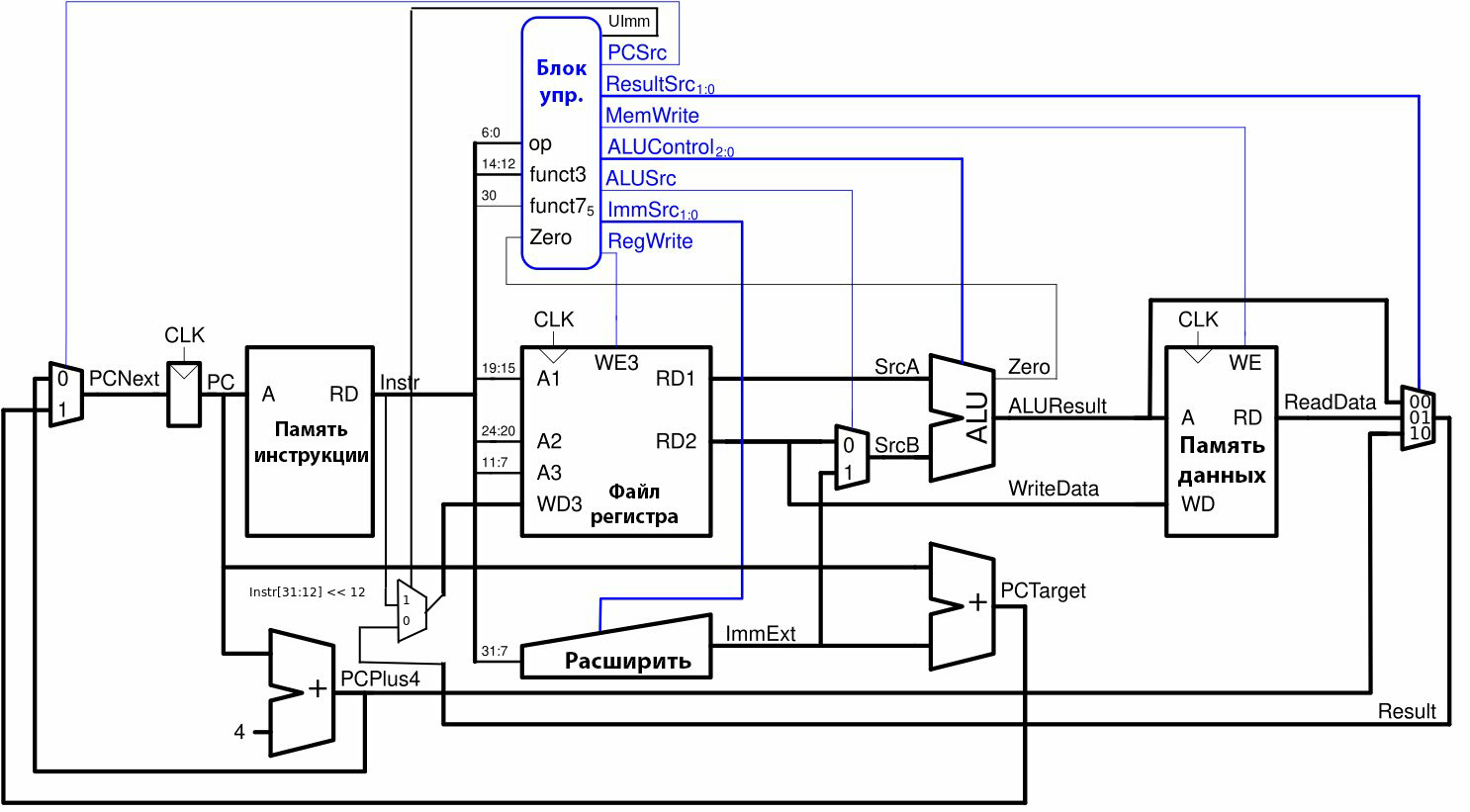
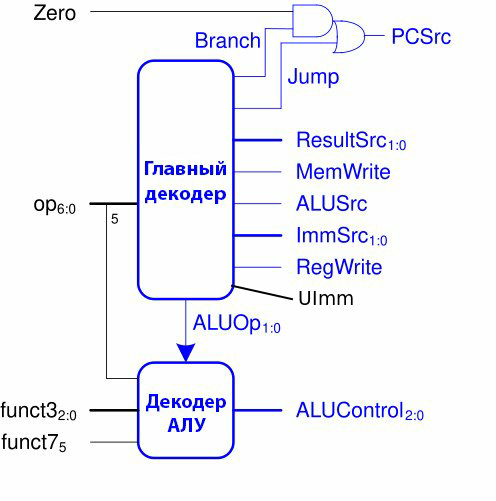
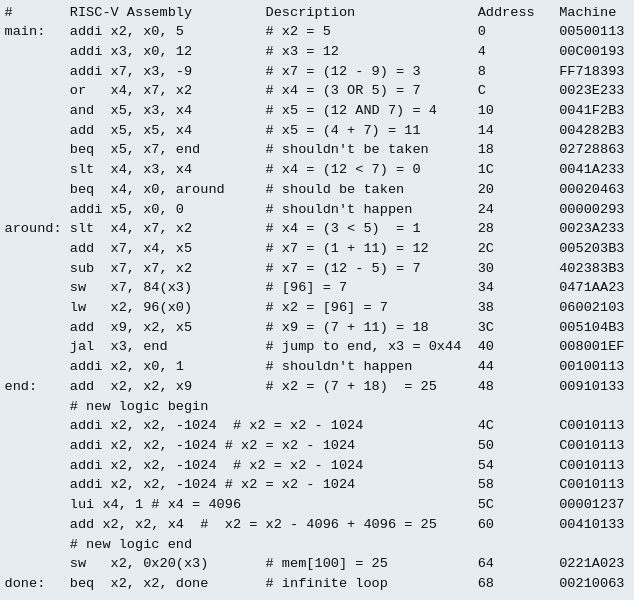


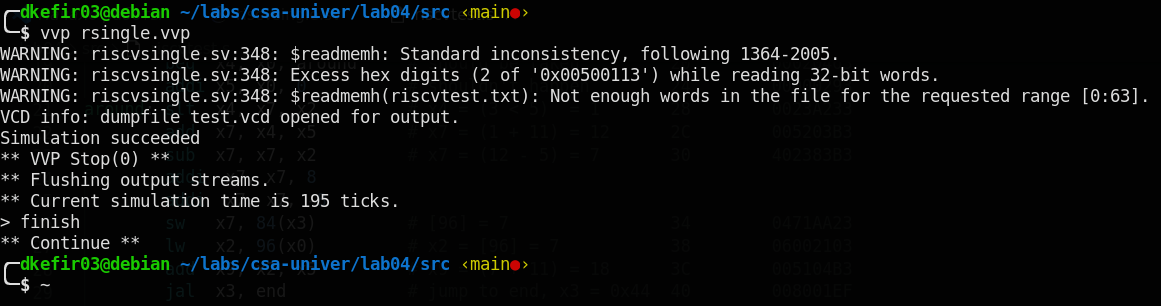
Схема измененного контроллера:



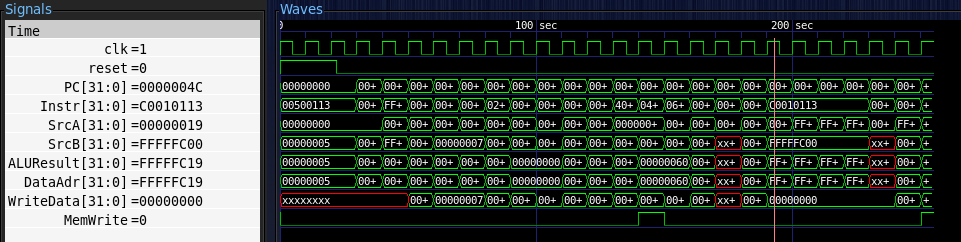
Измененный файл для тестов riscvtest.s:



Вывод программы:



Полученные осциллограммы симуляции:



# Часть 2. Многотактный контроллер RISC-V

Перед началом разработки контроллера, взгляните на следующие диаграммы. Все изображения и таблицы находятся в конце данной страницы.

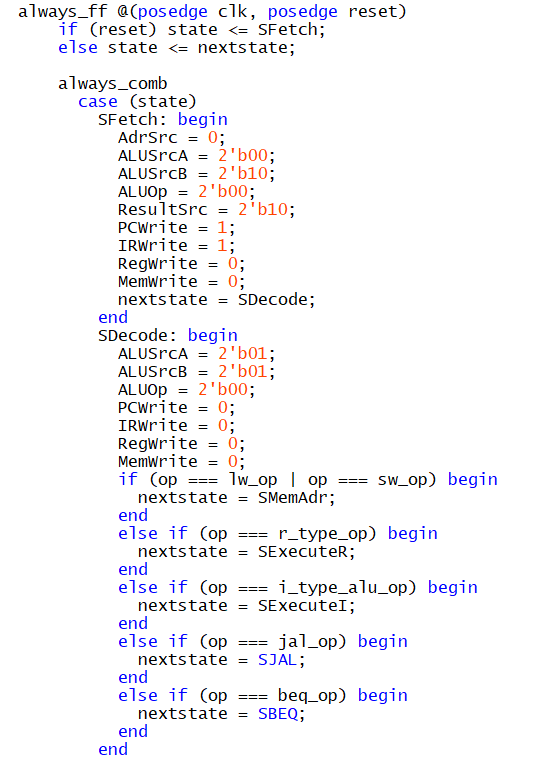
* На изобр. 2.1 показана диаграмма блока управления многотактным контроллером
* На изобр. 2.2 показана диаграмма многотактного управления главного конечного автомата
* Таблица 2.1 и пример языка ОА 1 (описания аппаратуры) определяют логику декодера АЛУ.
* Таблица 2.2 и пример языка ОА 2 определяют логику декодераинструкций.

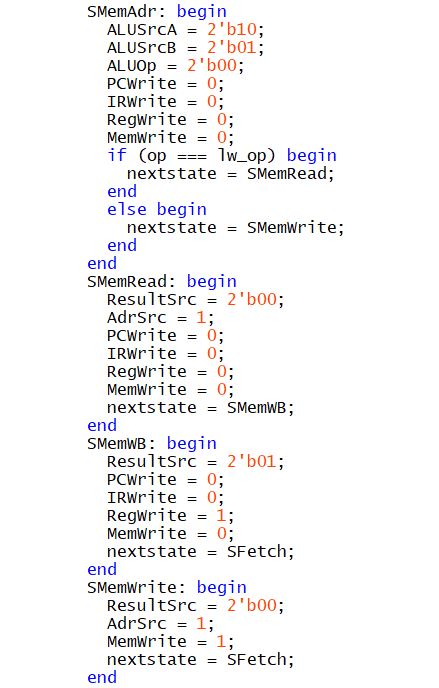
Напишите иерархическое описание многотактного контроллера на SystemVerilog. Когда вам не важны выводы, вы можете установить их в 0, чтобы они имели детерминированное значение для простоты тестирования.

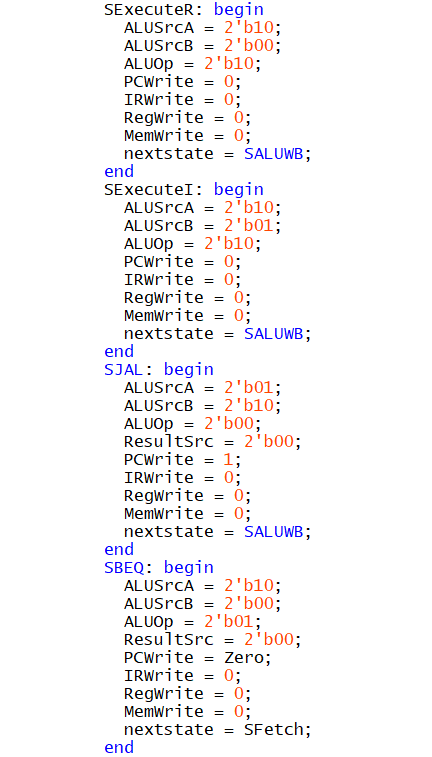
**РЕШЕНИЕ:**

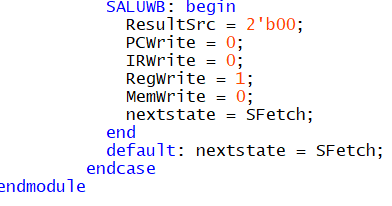
Полученный модуль controller в файле controller\_testbench.sv:



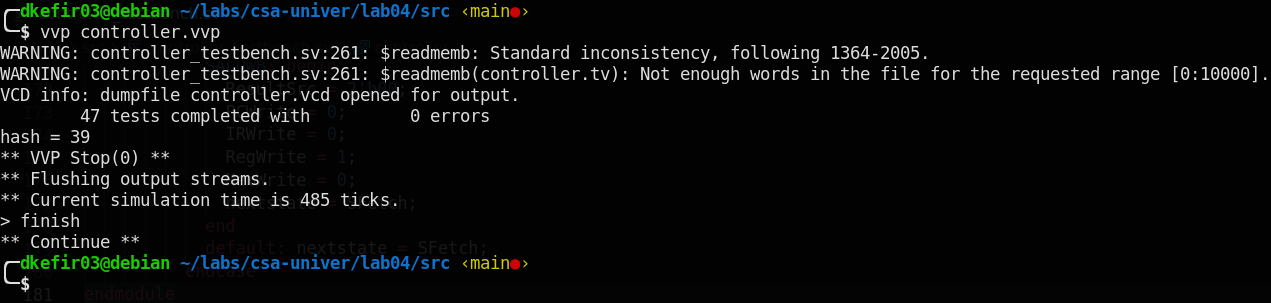








Вывод программы:



# Часть 3. Многотактный процессор RISC-V

На [изобр. 3.1](https://github.com/DimaPekutko/CSA-2022-053504/tree/main/lab04#%D0%B8%D0%B7%D0%BE%D0%B1%D1%80-1-%D0%BF%D0%BE%D0%BB%D0%BD%D1%8B%D0%B9-%D0%BC%D0%BD%D0%BE%D0%B3%D0%BE%D1%82%D0%B0%D0%BA%D1%82%D0%BD%D1%8B%D0%B9-%D0%BF%D1%80%D0%BE%D1%86%D0%B5%D1%81%D1%81%D0%BE%D1%80) показан полный многотактный процессор.

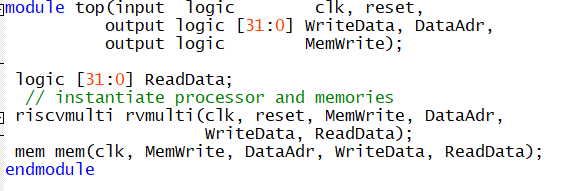
На [изобр. 3.2](https://github.com/DimaPekutko/CSA-2022-053504/tree/main/lab04#%D0%B8%D0%B7%D0%BE%D0%B1%D1%80-2-%D0%BC%D0%BD%D0%BE%D0%B3%D0%BE%D1%82%D0%B0%D0%BA%D1%82%D0%BD%D1%8B%D0%B9-%D0%BF%D1%80%D0%BE%D1%86%D0%B5%D1%81%D1%81%D0%BE%D1%80-%D1%81%D0%BE%D0%BF%D1%80%D1%8F%D0%B6%D0%B5%D0%BD%D0%BD%D1%8B%D0%B9-%D1%81-%D0%B2%D0%BD%D0%B5%D) (в конце лабораторной работы) показана иерархия высокого уровня однотактного процессора, включая связи между контроллером, трактом данных, памятью инструкций и памятью данных. Ваш многотактный процессор имеет только одну унифицированную память и немного другие сигналы управления, поэтому вам нужно будет изменить эти соединения. Нарисуйте схему, подобную изобр. 2, на которой показаны контроллер, тракт данных и модули памяти. Нарисуйте блок для модуля riscv, который должен охватывать контроллер и тракт данных. Пометьте сигналы, проходящие между блоками.

Напишите иерархическое описание процессора на SystemVerilog. Объявления некоторых модулей можете найти в riscvmulti.sv. Сигналы памяти топ-модуля выведены в целях тестирования. Используйте ваш контроллер из лабораторной работы 10 и любые общие строительные блоки Verilog, которые вам нужны (например, mux'ы, flop'ы, сумматоры, АЛУ, регистровый файл, немедленный расширитель и т.д.) из однотактного процессора.

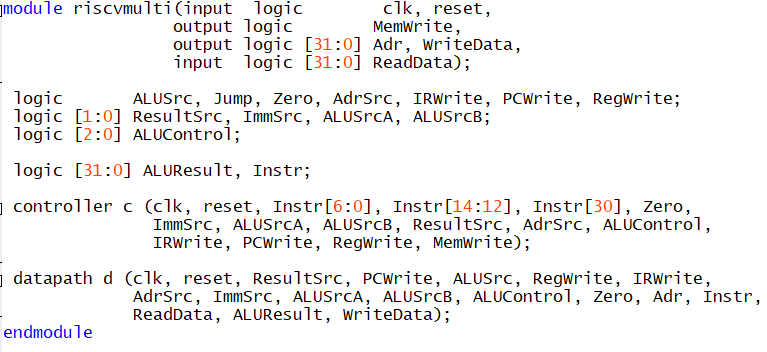
**РЕШЕНИЕ:**

Примеры модулей из файла riscmulti.sv:

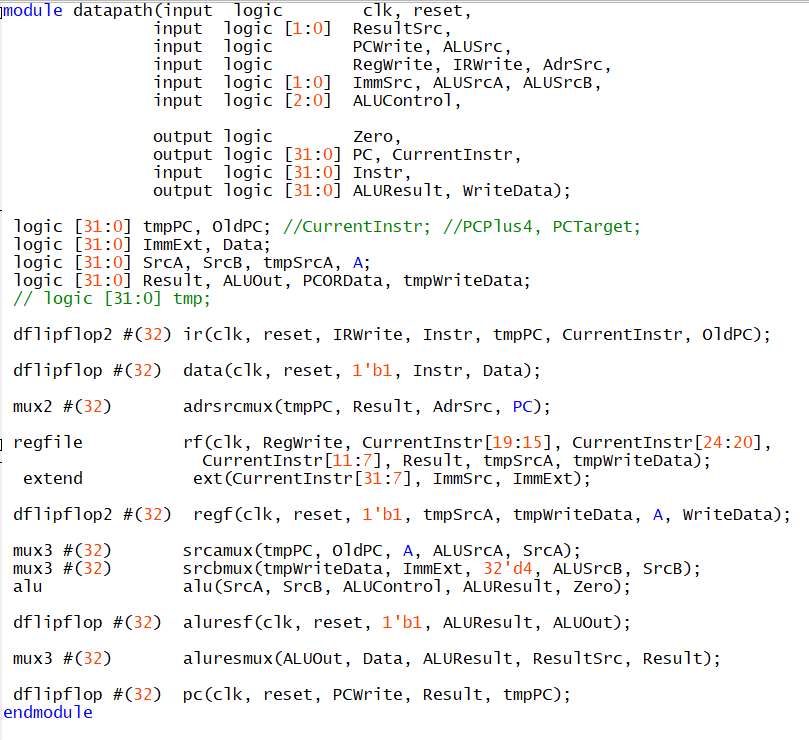
top:



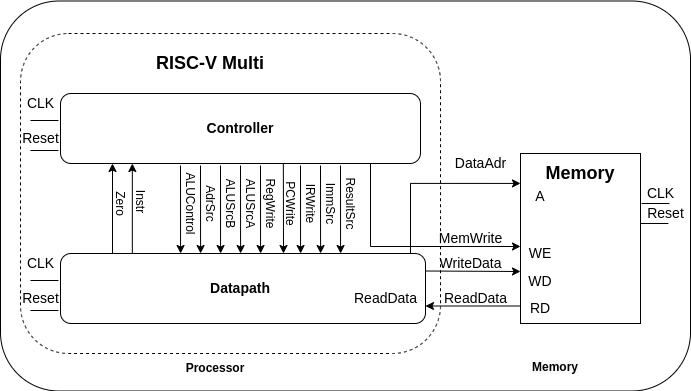
riscmulti:



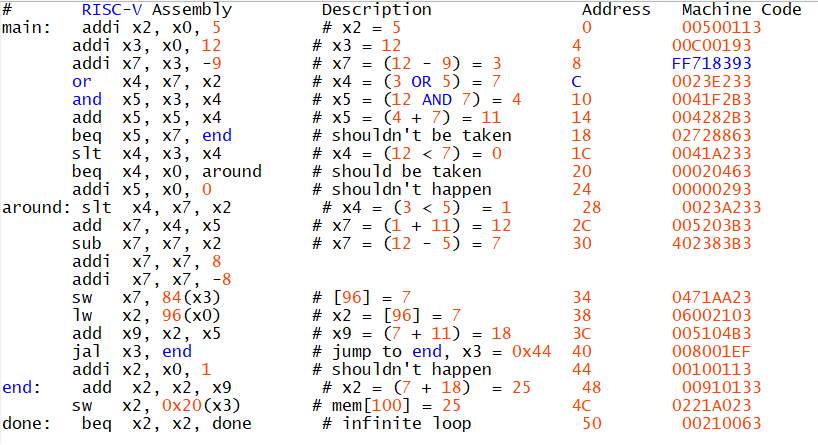
datapath:



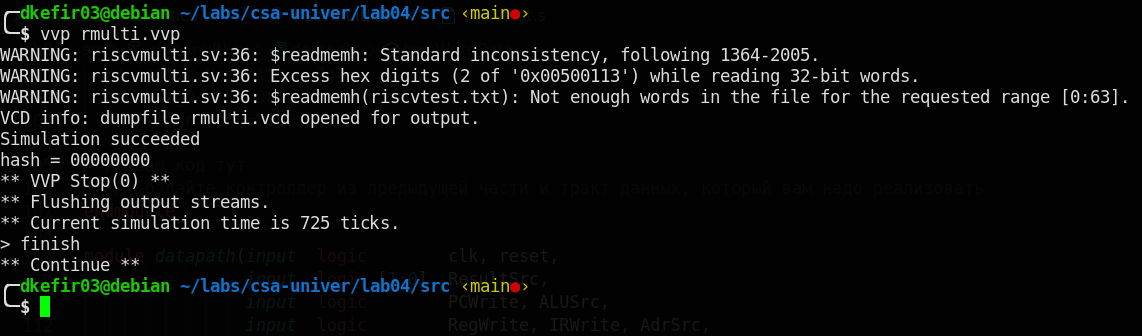
Полученная диаграмма иерархии:



Тестовые данные:



Результат работы программы:



Полученные осциллограммы симуляции:

# 

# 

# Выводы

В ходе лабораторной работы №5 мною была добавлена поддержка инструкции RISC-V ***lui*** для базового однотактного процессора RISC-V на языке SystemVerilog. Был разработан контроллер для многотактного процессора, работающий по принципу конечного автомата. Был написан и протестирован многотактный процессор RISC-V. Все сделанные задания были протестированы с помощью тестов и тестовых векторов, а также построены соответствующие осциллограммы симуляций. Цели работы можно считать достигнутыми.