

UP-TECH S2410/S2440/P270 DVP**经典开发平台 硬件说明书****简要目录**

一、经典开发平台硬件资源	第 2 页
二、经典开发平台的外部连接方式概况	第 3 页
三、S3C2410 ARM MPU 体系结构框图	第 5 页
四、经典开发平台硬件架构	第 6 页
五、部分电路原理说明	
◆ S3C2410 经典核心板	第 7 页
◆ S3C2440 经典核心板	第 8 页
◆ PXA270 经典核心板电路	第 10 页
◆ 经典平台主板电路	第 12 页
六、处理器资源占用表	第 26 页
七、经典开发平台 CPLD 逻辑说明	第 28 页
八、经典开发平台跳线设置说明	第 33 页
经典开发平台跳线及接插件分布图	第 34 页
九、经典开发平台接插件和扩展插座接口定义	第 35 页

限于印刷版面，电路原理图及 PCB 丝印等请参考高清晰 PDF 文件。

关于产品的警告：

1. 开发平台液晶屏下面的逆变器会产生近千伏的高压，请勿用手触及，以防触电！具体位置在平台



上标有 **Hi-Voltage** 符号的地方。

2. 由于本产品 PCB 开放，请勿使水、油、化学试剂等导电液体或腐蚀性液体流到开发平台 PCB 上，

避免在潮湿环境下使用本产品。

一、经典开发平台硬件资源

1. 核心板:

A) S3C2410 核心板: S3C2410 ARM CPU、64M SDRAM、64M NAND FLASH, 通过 280Pin 精密插座与主板连接。核心板上可以配置 2M 或 4M 容量的 Nor Flash AM29LV160/320, 硬件支持从 NorFlash 启动并可增加 NandFlash 容量。

B) PXA270 核心板: PXA270 XScale CPU、64M SDRAM、64M NAND FLASH, 16M Nor FLASH。

C) S3C2440 核心板: S3C2440A ARM CPU、64M SDRAM、256M NAND FLASH, 核心板上可以配置 2M 或 4M 容量的 Nor Flash AM29LV160/320。

经典平台的核心板接口设计完全兼容博创的 S3C2440 核心板、PXA270 核心板和 S3C2410 核心板, 在软件支持下, 三个核心板在经典开发平台主板上均可以实现全部硬件功能, 完全可以替换原有的 2410-S 和 270A 系列产品。

2. 双 100M EtherNet 网卡: 由两片 DM9000AE 构成的双网卡, 一般可只用其一。

3. 4 HOST / 1 DEVICE USB 接口: 从 CPU 的主 USB 口扩展为 4 个, 由 AU9254 构成 USB HUB。USB 从口保持处理器本身的 1 个。

4. 3 UART/IrDA: 2 个 RS232 串口。另有 1 个 RS485 串口, 1 个 IrDA 收发器, 均从处理器的 UART2 引出, 由 CPLD 内部逻辑进行选择。

5. 168Pin EXPORT: 提供一个 168Pin 扩展卡插槽, 引出所有总线信号和未占用资源。

6. LCD 和 VGA 接口: 标配 8 寸 16bit 真彩屏, 同时预留一个 24bit 接口。扩展了 VGA 接口和 AV 接口, 可以连接 VGA 显示器。

7. TouchScr: 采用 2410/2440 内部 ADC 构成的控制和转换电路, 或者 PXA270 的 AC97 CODEC 芯片的触摸屏控制器, 三者根据核心板的不同由软件设置 CPLD 逻辑进行选择。

8. AUDIO: CODEC 采用 UDA1341 和 UCB1400, 三者根据核心板的不同由软件设置 CPLD 逻辑进行选择, 具有放音、录音和线路输入等功能。功放电路由 LM386 构成, 板载扬声器可播放音频。

9. PS2 KEYPAD: 使用 ATMEGA8 单片机控制 2 个 PS2 接口和板载 17 键小键盘。两个 PS2 可接 PC 键盘和鼠标。

10. LED: 扩展 2 个数码管和 1 个 8x8 点阵发光管显示器, 均由 CPLD 逻辑驱动。

11. POWER SUPPLY、RESET、RTC 等必须资源。经典平台主板集成了 UP-LINK 调试电路, 可以直接用并口电缆连接计算机进行仿真、下载等

12. ADC: 板载 3 个电位器, 同时在板上设模拟电压输入专用接口。

13. IDE/CF 卡插座: 扩展有笔记本硬盘接口和 PCCARD 模式的 CF 卡接口电路, 使用 CPLD 芯片实现 PCCARD 逻辑。

14. SD 卡插座: 从 CPU 扩展 SD 接口。

15. IC 卡。也由 ATMEGA8 单片机控制。

16. 直流电机。扩展直流电机驱动电路, 由 PWM 控制。带有红外线测速电路。

17. CAN BUS: 设置 1 个 CAN 口, 采用 MCP2510 和 TJA1050 芯片构成。

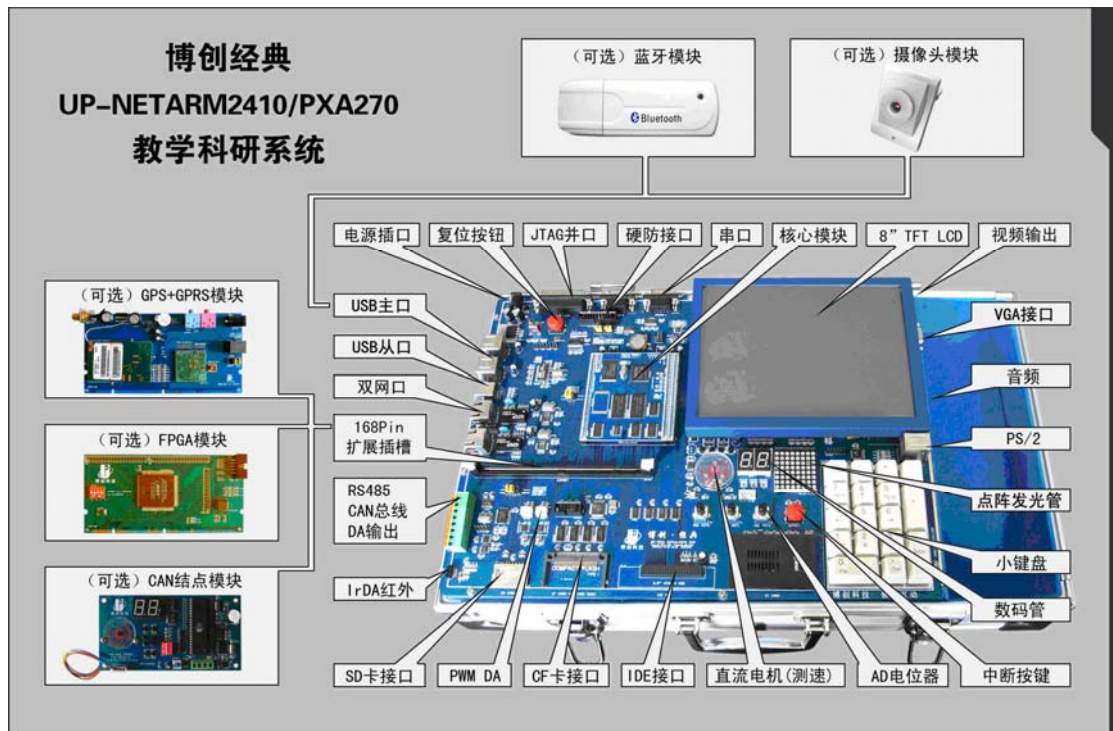
18. DA 输出: 采用 MAX504, SPI 总线操作, 输出模拟电压。

19. 设置了 PWM DA、IIC 存储器、IO 控制 LED 和可产生硬中断的按键等简单调试资源

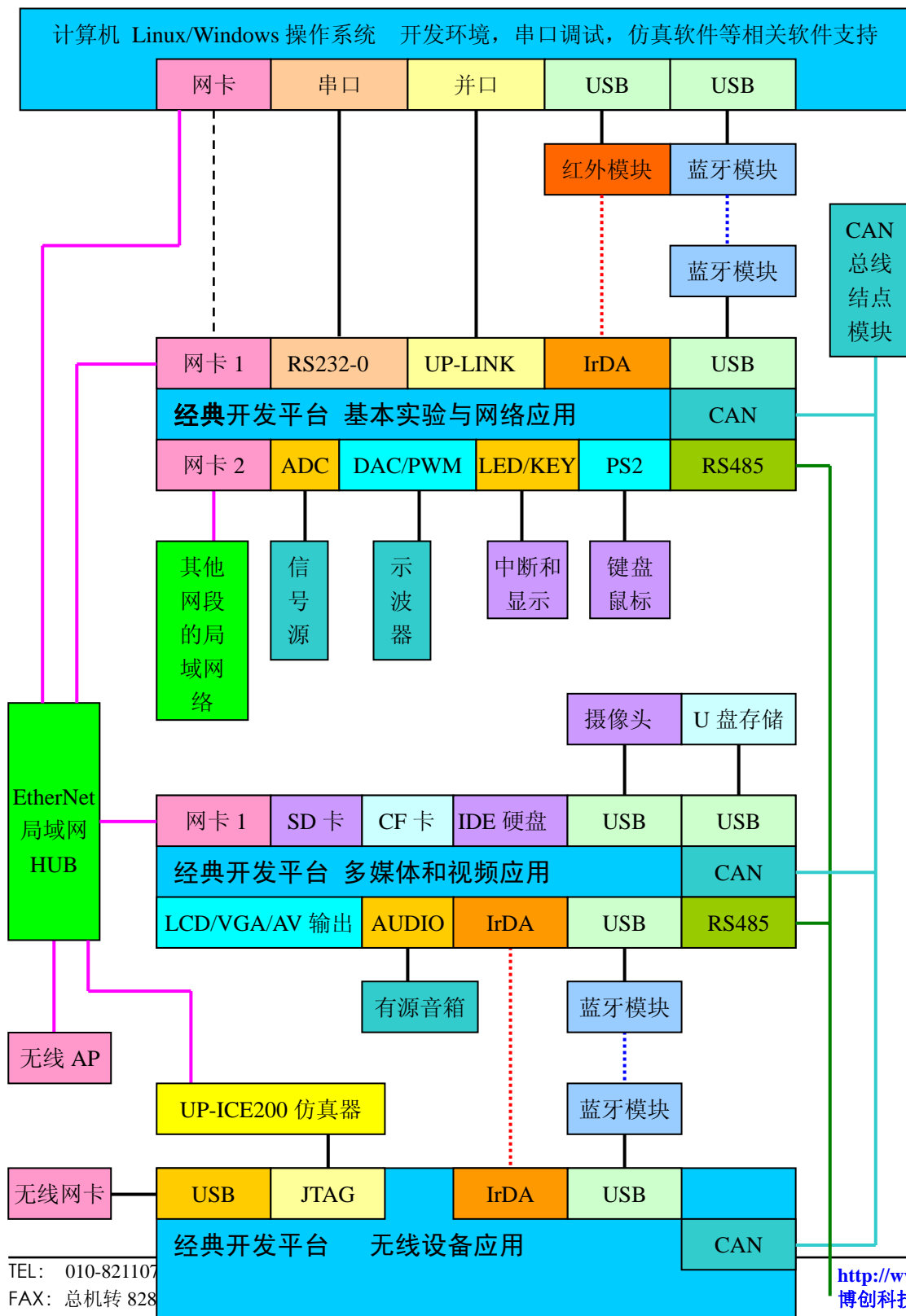
20. 可以提供配套的 GPRS/GPS、FPGA、WLAN、USB2.0、RFID、指纹识别等扩展板。

二、经典开发平台的外部连接方式概况

下图给出了经典开发平台的实物照片以及各部分说明，配套的扩展模块等等。



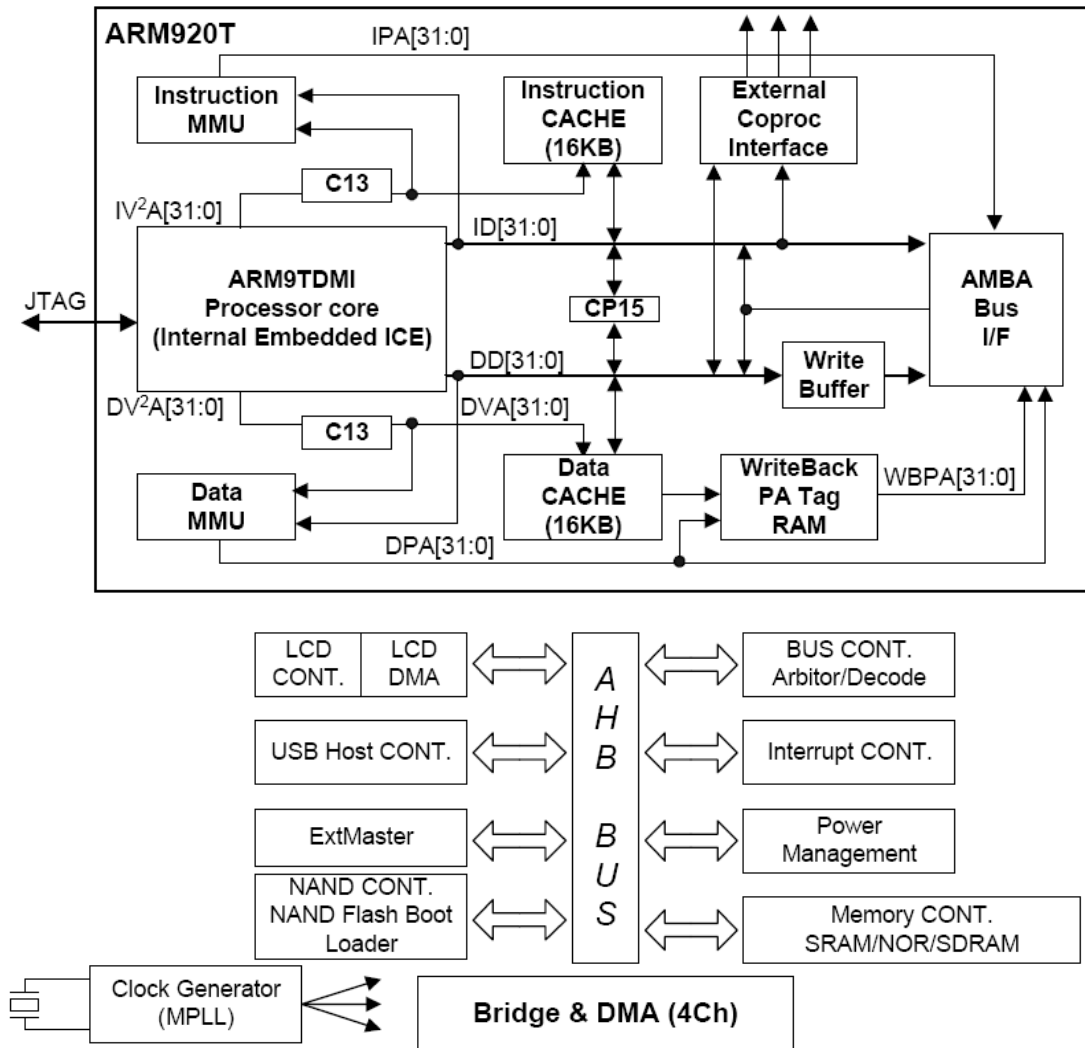
下图示例了经典开发平台之间以及与 PC 机之间的连接概况

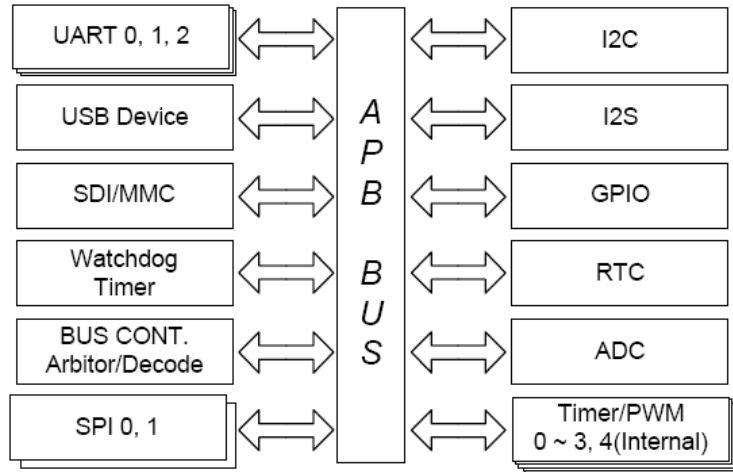


GPRS GPS RFID ZigBee 多种传感器

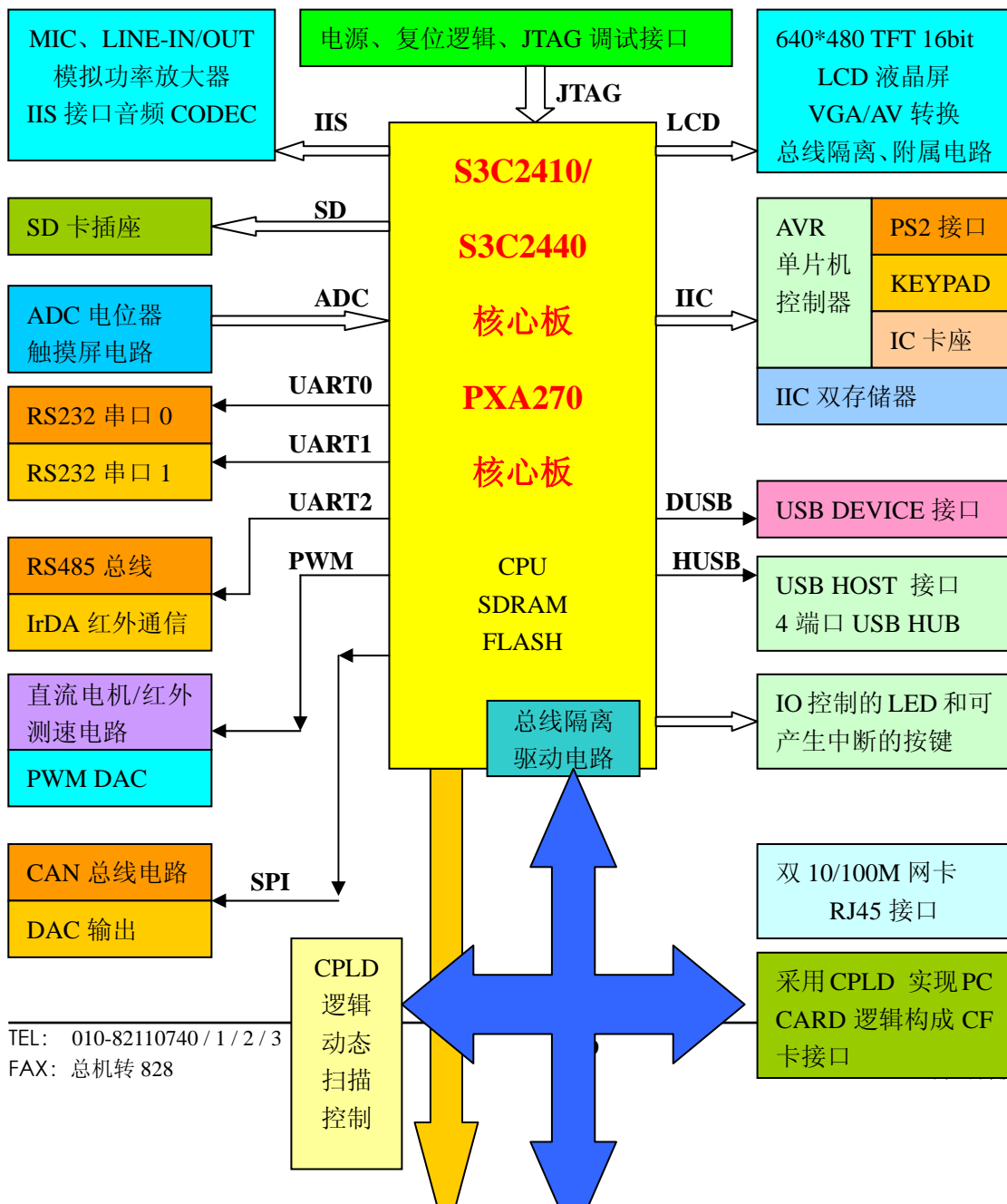
RS485

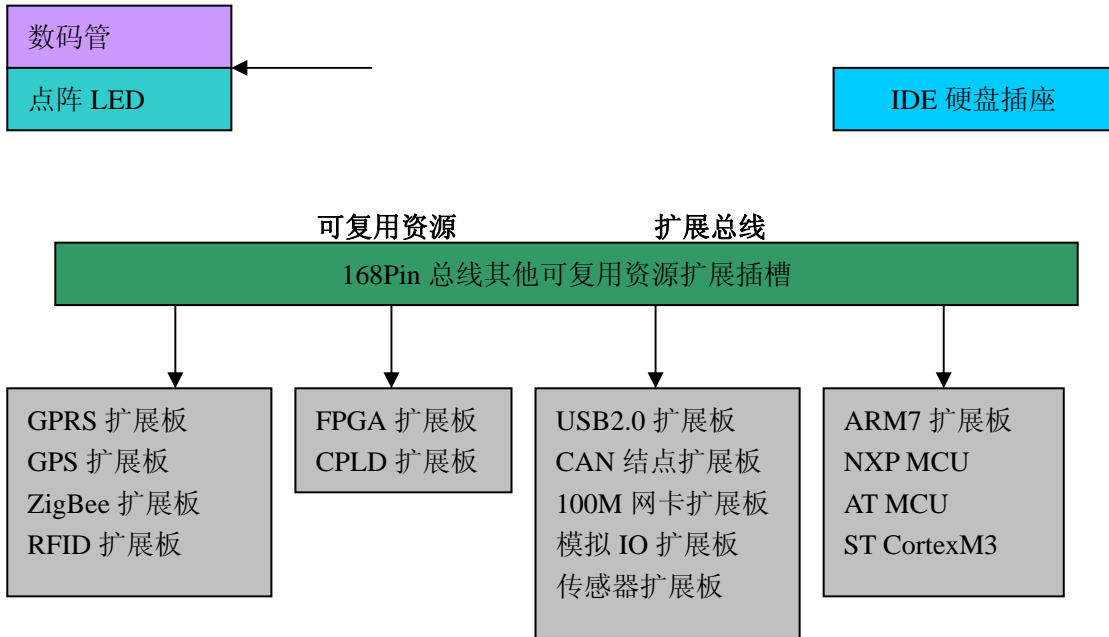
三、S3C2410 ARM MPU 体系结构框图





四、经典开发平台硬件架构，框图如下：

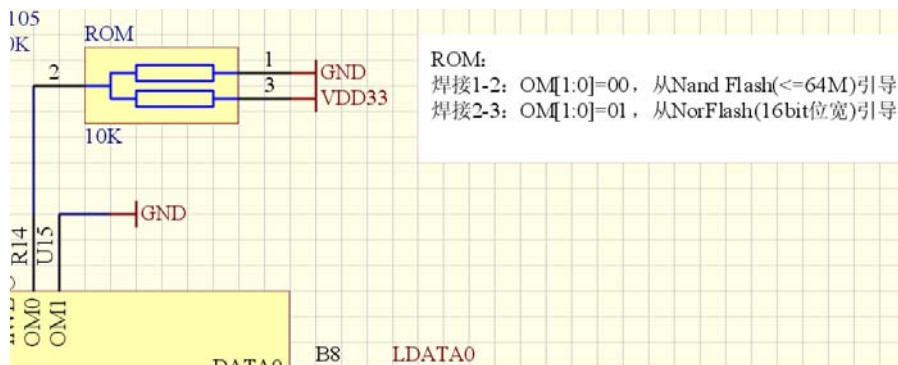




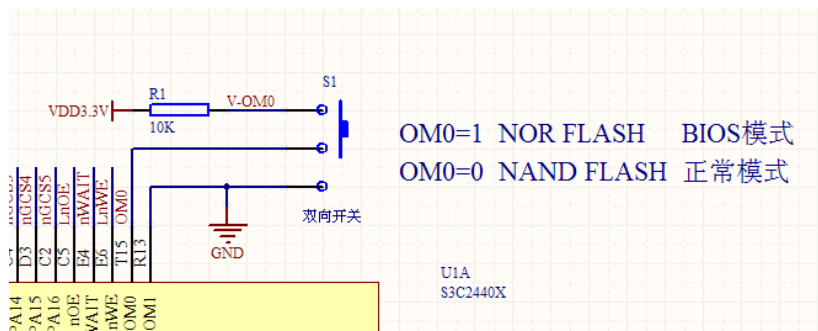
五、部分电路原理说明

◆ S3C2410/S3C2440 经典核心板

1. CPU 电路请参照 PDF 版原理图。S3C2410/S3C2440 的 OM0 和 OM1 两个引脚用来配置启动方式和 Bank0 的总线宽度。当 OM[1:0]=00 时从 NandFlash 启动，此时 Bank0 不能使用；当 OM[1:0]=01 时从 Bank0 启动，并配置为 16Bit 宽度，也就是从 NorFlash 启动。

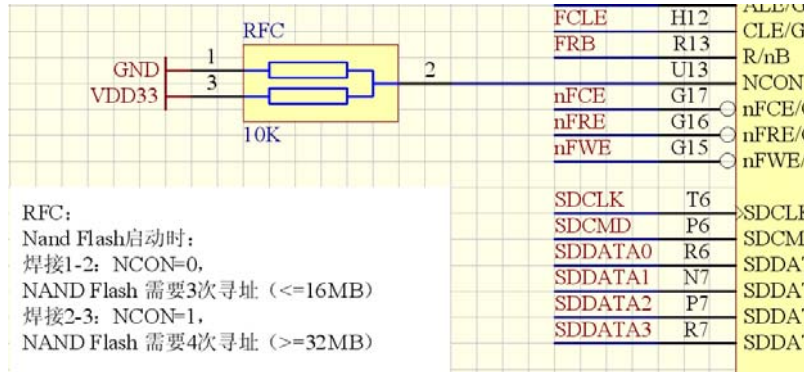


博创 2410 经典核心板上通过电阻跳线来选择启动方式

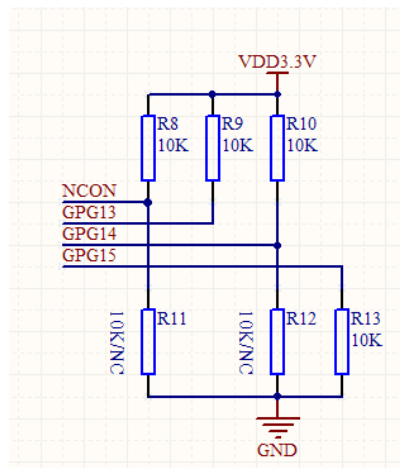


博创 2440 经典核心板上通过开关来选择启动方式

2. S3C2410 从 NandFlash 引导时,通过 NCON 脚的电平来配置 NandFlash 控制器的寻址字节数。从这点上看,无法从 128M 及以上容量的大块 NandFlash 引导,因为 128M Flash 的寻址方式和块页组织都有所变化。



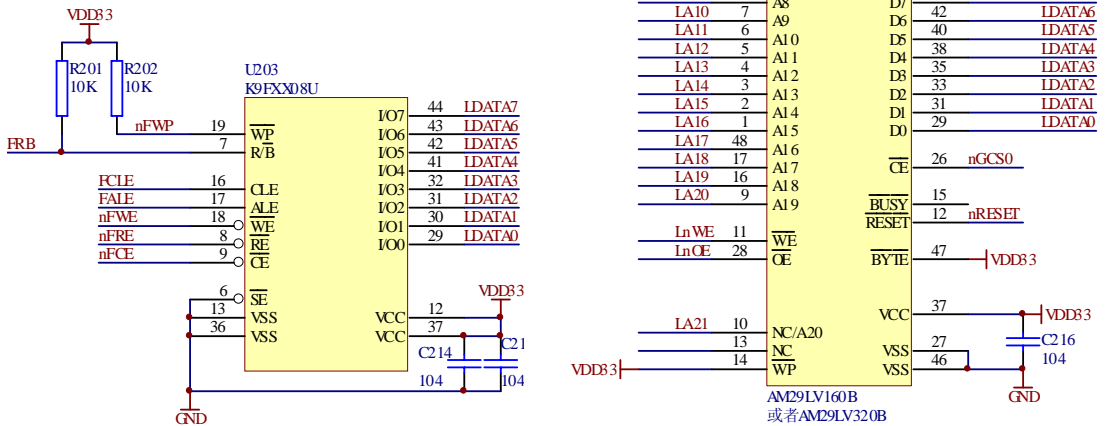
3. S3C2440 从 NandFlash 引导时,通过 NCON 脚和 GPG13、GPG14、GPG15 的电平来配置 NandFlash 控制器的寻址字节数。



4. K9F1208 是三星公司的 NandFlash 芯片,而 S3C2410 内部具有 Nand 控制器,所以 K9F1208 直接和 S3C2410 连接,并可以从 NandFlash 引导。AM29LV160 是 AMD 公司的 NorFlash,一般作为 BootROM 使用,需要接在 S3C2410 的 Bank0 上,核心板上设置为 16Bit 总线宽度。

NorFlash 的第 10 脚接 LA21 是为 4M 容量的 AM29LV320 预留的。

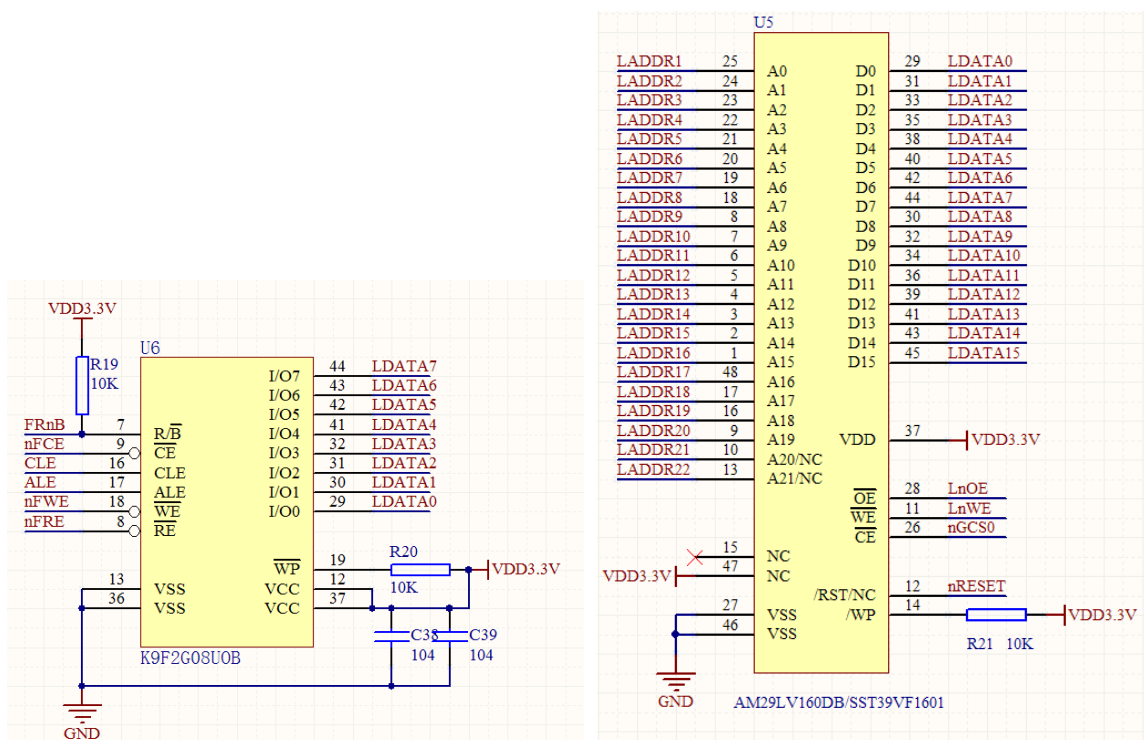
NandFlash 和 NorFlash 的原理图如下所示:



5. K9F2G08 是三星公司的 NandFlash 芯片，而 S3C2440 内部具有 Nand 控制器，所以 K9F2G08 直接和 S3C2440 连接，并可以从 NandFlash 引导。AM29LV160 是 AMD 公司的 NorFlash，一般作为 BootROM 使用，需要接在 S3C2410 的 Bank0 上，核心板上设置为 16Bit 总线宽度。

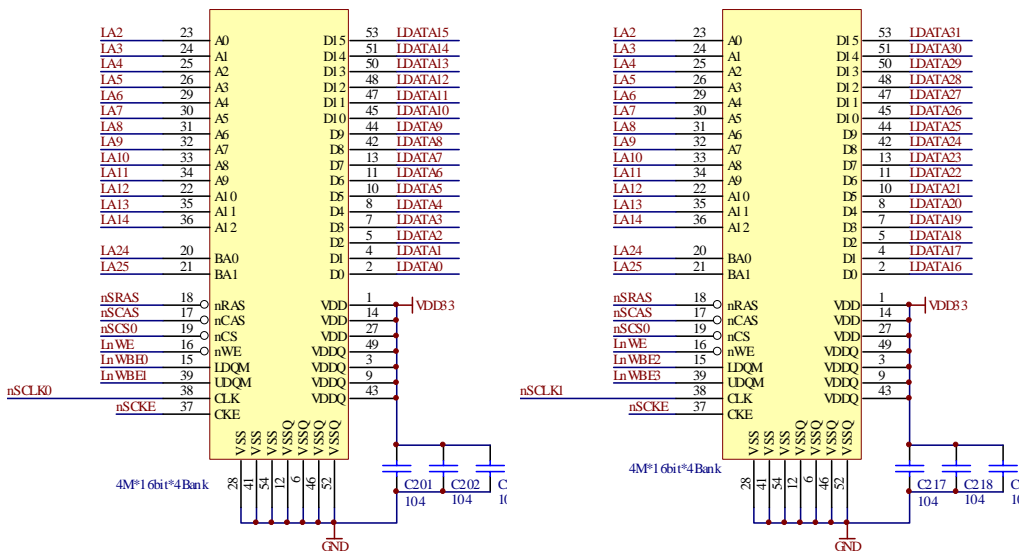
NorFlash 的第 10 脚接 LA21 是为 4M 容量的 AM29LV320 预留的。

NandFlash 和 NorFlash 的原理图如下所示：



6. 核心板的 SDRAM 采用两片 HY57V561620, 每片 32M 字节, 总的 SDRAM 为 64MB. HY57V561620 数据宽度 16Bit, 内部分为 4 个 Bank, 每 Bank 为 4M 字节。HY57V561620 第 20 和 21 脚 BA[1:0] 连接

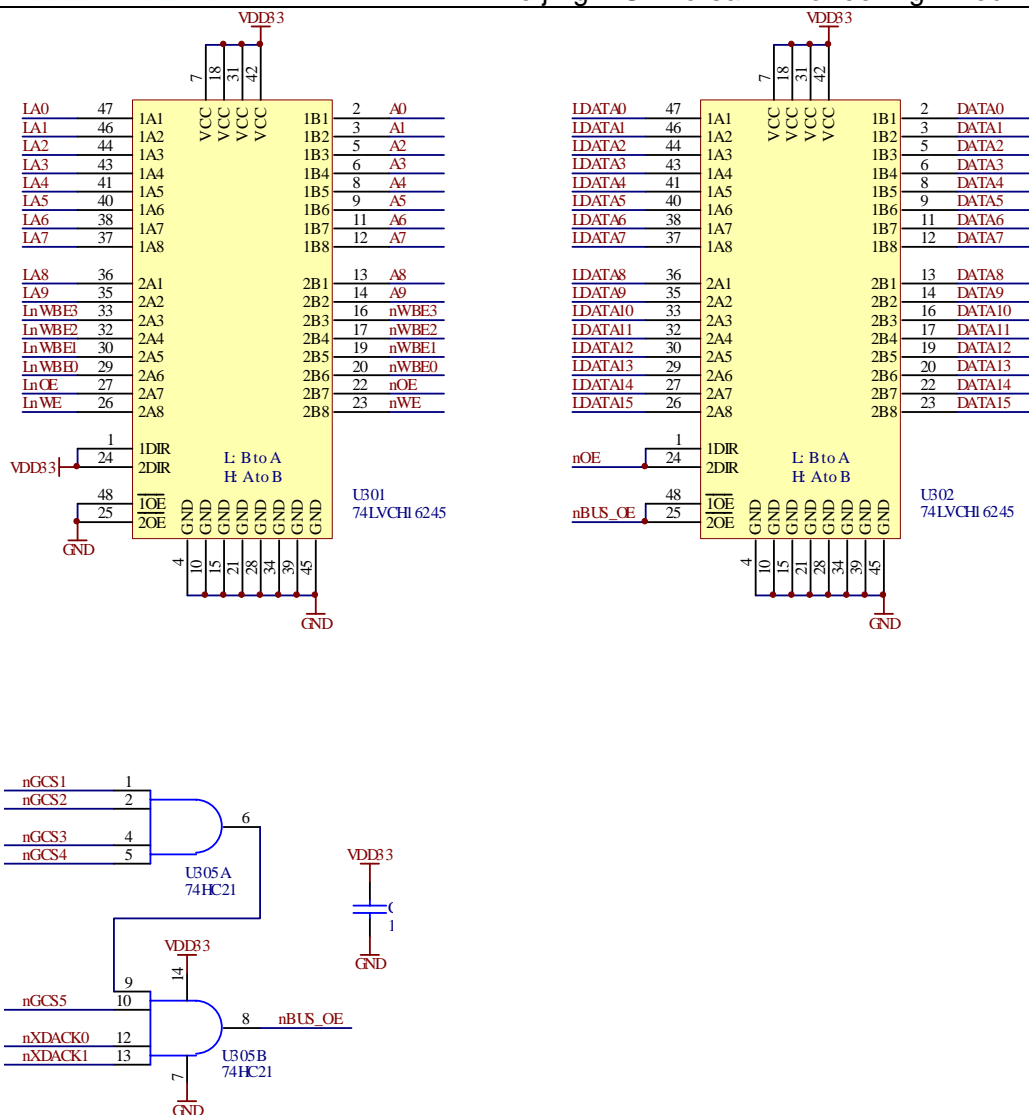
S3C2410/S3C2440 的 LA25:24。这里的 Bank 和 S3C2410 地址空间的 Bank 不是一个概念，SDRAM 连接到 S3C2410/S3C2440 的 Bank6 上。



7. 核心板上 ARM 处理器的数据、地址、控制信号统称为局部总线。NandFlash、NorFlash、SDRAM 等芯片都直接和 S3C2410/S3C2440 连接，这部分总线我们称为局部总线。局部总线上连接的芯片不可太多，为了减轻 CPU 的负担保证总线性能，必须设置总线隔离驱动芯片 74LVCH16245 分别隔离地址数据和控制信号，其外的总线我们称为扩展总线。从核心板插针引出的是扩展总线。经典平台主板上网卡芯片、CF 卡、IDE、CPLD 和扩展插槽上的设备都连接到扩展总线。

由于数据线是双向的，所以 74LVCH16245 芯片必须有方向控制信号，这里采用经过隔离后的写控制信号 nOE 作为数据线所在 74LVCH16245 芯片的方向控制线。当 nOE 有效时 74LVCH16245 芯片的数据传输方向是从扩展总线到局部总线；当 nOE 无效时反之。另外，必须注意，无论 CPU 对局部总线还是扩展总线上的芯片读数据时 nOE 都会有效，这样就必须对局部总线和扩展总线进行总线仲裁。74LVCH16245 芯片也作为局部总线的一个负载，和局部总线上其他芯片之中只能有一个芯片输出数据。核心板将扩展总线所具有五个片选信号 nGCS1、2、3、4、5 用 74HC21 相与后作为数据线所在的 74LVCH16245 芯片的输出使能控制线，只有当 CPU 对扩展总线读操作，也就是上述五个片选之一有效时，74LVCH16245 才能对局部总线输出数据，否则无论 OE 如何都呈现高阻态。核心板同时也考虑了外部 DMA 的数据传输，外部 DMA 从扩展总线上的芯片读取数据的过程和 CPU 寻址读取数据是类似的，就是数据都通过 74LVCH16245 传输到局部总线上，只是要用外部 DMA 的应答信号来使能 74LVCH16245 输出。

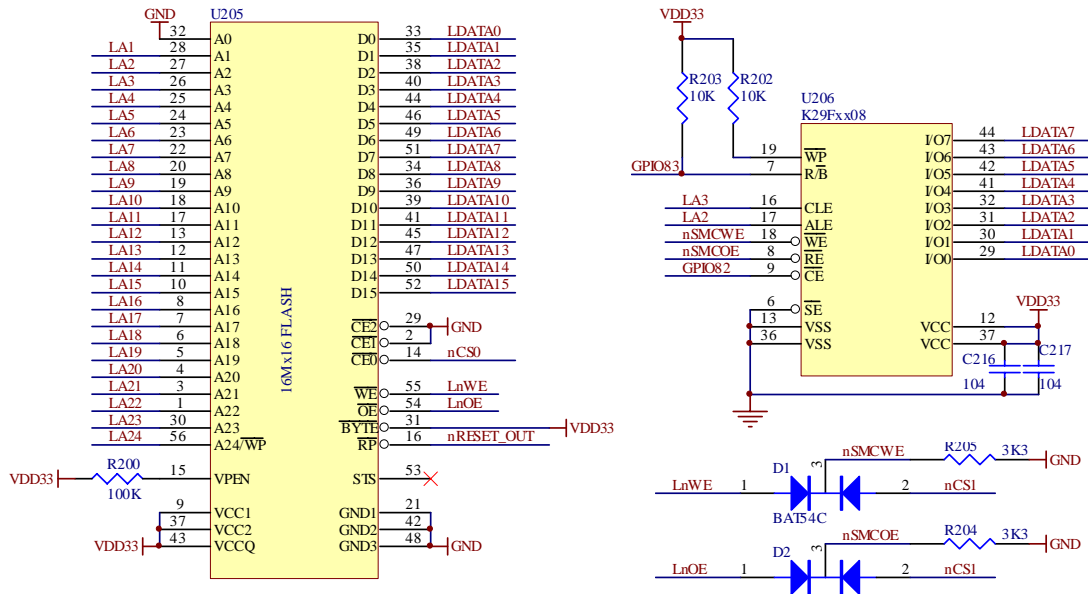
下图是地址、数据和控制信号隔离驱动电路和使能逻辑电路。



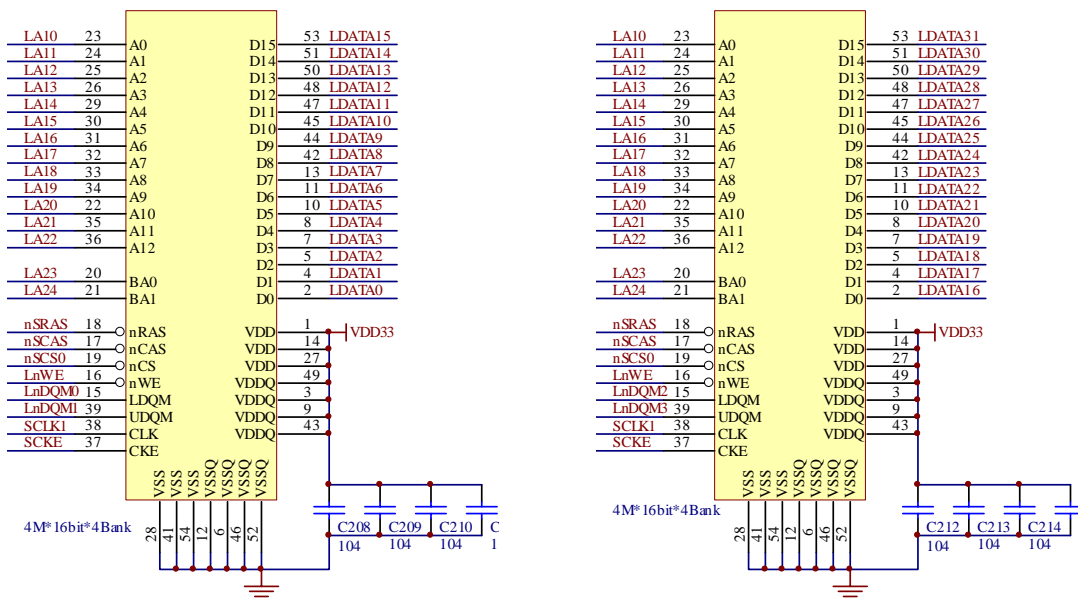
8. 核心板上的扩展总线和 IIC、SPI 等串行总线都是可以复用的，除了核心板上的芯片外还可以外接其他设备，另外还有一些核心板没有用到的处理器资源，都从插座引出到主板以连接其他硬件设备。核心板插座的具体位置和引脚定义请查看原理图和 PCB 说明。

◆ PXA270 经典核心板电路

9. 在 PXA270 核心板上，从 CPU 出来的数据、地址、读写控制等信号构成局部总线。Nor Flash、Nand Flash、SDRAM 直接挂在局部总线上。PXA270 核心板配置 16M Nor Flash 28F128J3，占用 Bank0 作为 BootROM；以及 64M Nand Flash K9F1208，占用 Bank1，通过二极管构成的或门电路产生芯片所需的正确时序。Nand Flash 的片选信号 CE 必须用 CPU 的 IO 端口控制，并且由 Bank1 片选 nCS1 和读写信号 LnWE、LnOE 共同产生 Nand Flash 的读写信号，用地址线 LA2、LA3 的组合来区分 Nand Flash 的命令、地址、数据周期。

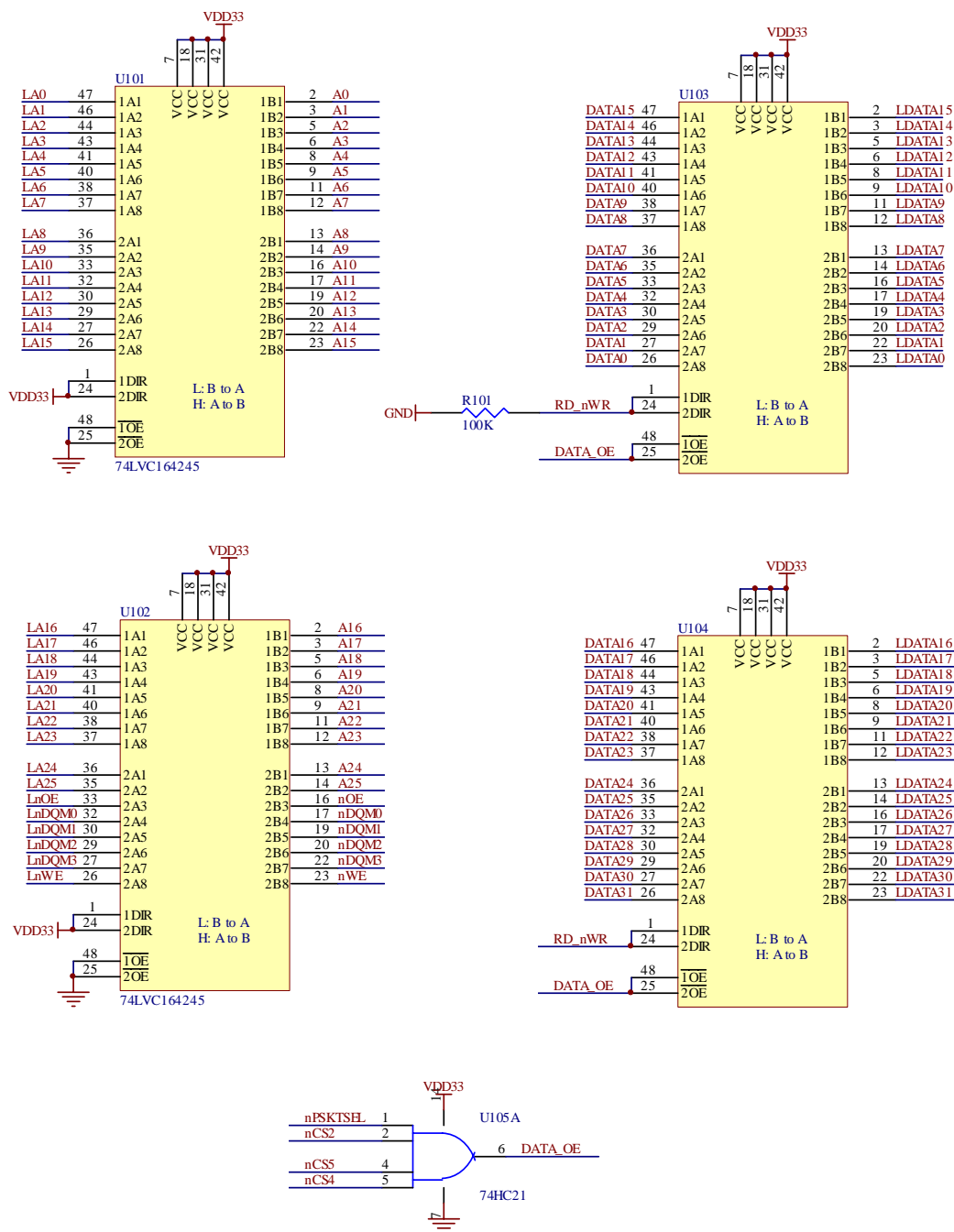


10. PXA270 核心板上配置两片 SDRAM 芯片 HY57V561620, 构成 32 位总线宽度 64M 容量的随机读写存储器。SDRAM 芯片需要接在 CPU 的专用 Bank 上。



11. 在核心板上局部总线经过四片 74LVCH16245 驱动后引出核心板, 作为扩展总线引到主板上其他外设以及 168Pin 扩展槽。由于数据线是双向的, 所以 74LVCH16245 芯片必须有方向控制信号, 这里采用 PXA270 处理器专门提供的读写方向信号 RD_nWR 作为数据线所在 74LVCH16245 芯片的方向控制线。当 RD_nWR 为高时 74LVCH16245 芯片把扩展总线上的数据传输到局部总线上; 反之亦反。另外, 必须注意, 当 CPU 对局部总线上的芯片读数据时 RD_nWR 一样会起作用, 这样就必须对局部总线和扩展总线进行总线仲裁, 否则 74LVCH16245 的输出会破坏局部总线状态。将扩展总线所具有的四个片选信号 nPSKTSEL、nCS2、4、5 用 74HC21 相与后作为数据总线所在的 74LVCH16245 芯片的输出使能控制信号, 只有当系统对扩展总线进行读操作, 也就是上述四个片选之一有效时, 74LVCH16245 才能对局部总线输出数据, 否则无论 RD_nWR 如何都呈现高阻态。这点在其他需要用 245 芯片隔离双向数据总线的地方都需

要注意到。



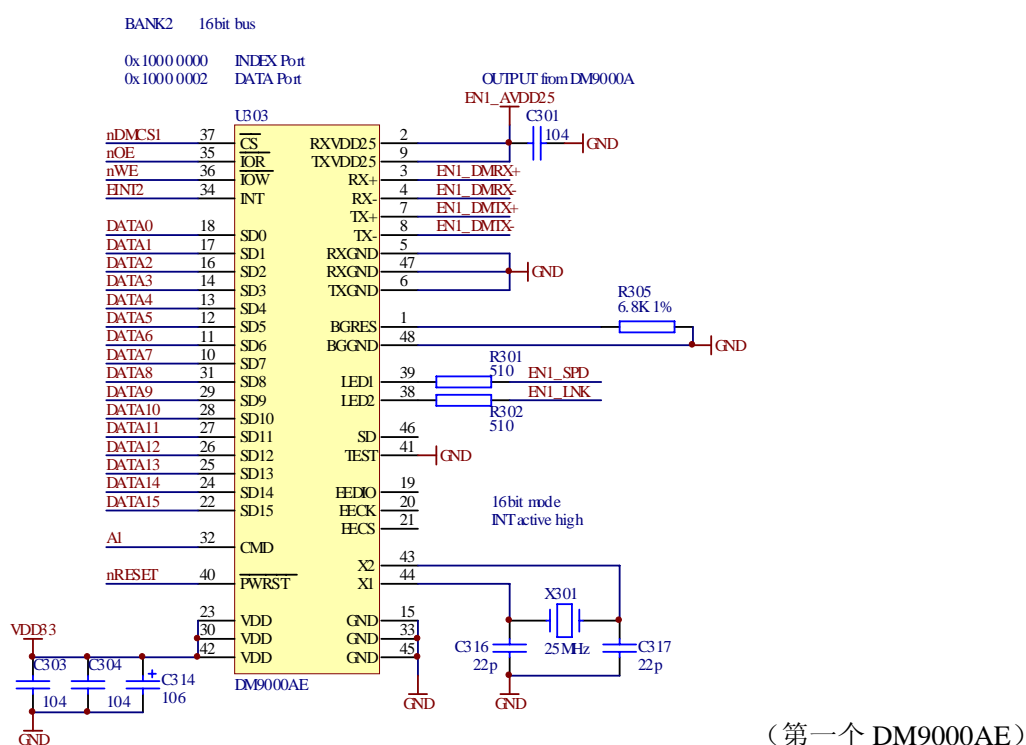
◆ 经典平台主板电路

12. 经典平台的以太网芯片采用 DM9000AE，这是一个比较精巧的电路，性能也很不错。DM9000AE 是 16Bit 总线宽度，接在 S3C2410/S3C2440 的 Bank2 上（或 PXA270 的 Bank2 上），用一个简单的逻辑（包含在 CPLD 芯片 U702 内）为两个 DM9000AE 分配不同的地址。DM9000AE 的第 32 脚 CMD 用来指示当前数据总线是 Index 端口还是 Data 端口，经典平台则将 1 根地址线 A1 接到此脚，以此区分读写的是命令/地址还是数据（这点不同于其他具有多位地址线的芯片）。然后用地址线 A2 区分两个网卡。

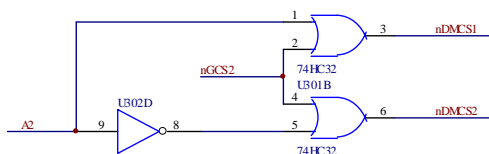
对于 S3C2410/S3C2440 核心板，经典平台上第一个 DM9000AE 的 Index 端口的地址是 0x1000 0000，Data 端口的地址是 0x1000 0002，第二个 DM9000AE 的 Index 端口的地址是 0x1000 0004，Data 端口的地址是 0x1000 0006。对于 PXA270 核心板，经典平台上第一个 DM9000AE 的 Index 端口的地址是 0x0800 0000，Data 端口的地址是 0x0800 0002，第二个 DM9000AE 的 Index 端口的地址是 0x0800 0004，Data 端口的地址是 0x0800 0006。驱动程序中只以两个物理地址访问对应的 DM9000AE。两个网卡分别使用中断 EINT2 和 EINT3（PXA270 的 GPIO100 和 GPIO101）。

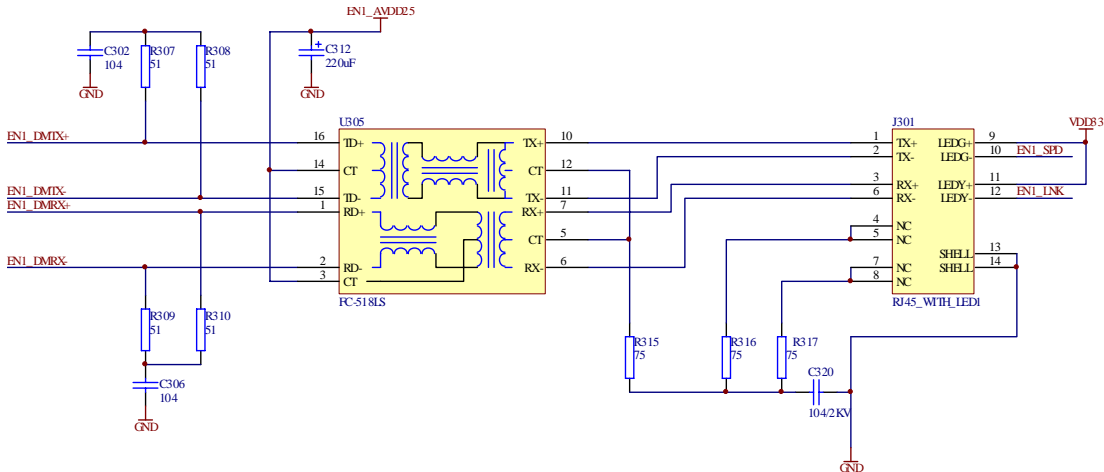
DM9000AE 输出 2.5V 的参考电压用于模拟部分。芯片和网络变压器的连接也非常简洁，网络变压器芯片一侧的收发线圈中心都接 2.5V 的参考电压。由于这种电路板没有金属外壳也就没有外壳地，所以 RJ45 插座就直接到 PCB 地了。

DM9000AE 具有收发线对自适应功能，收发线对可以自动翻转为正确连接方式，也就是用交叉线和对等线都可以。

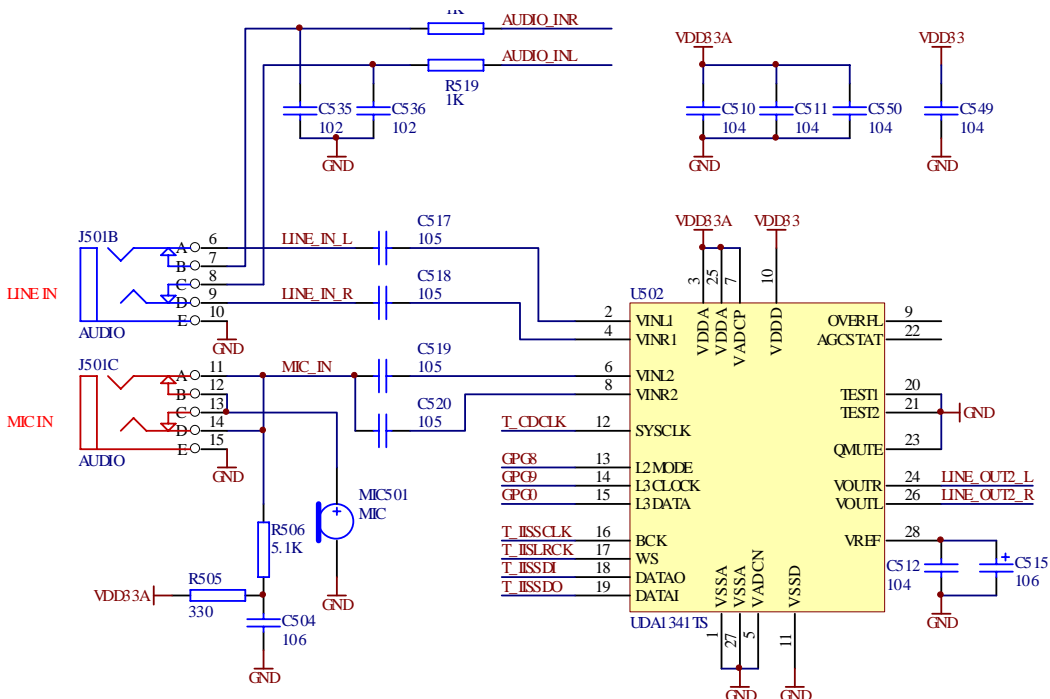


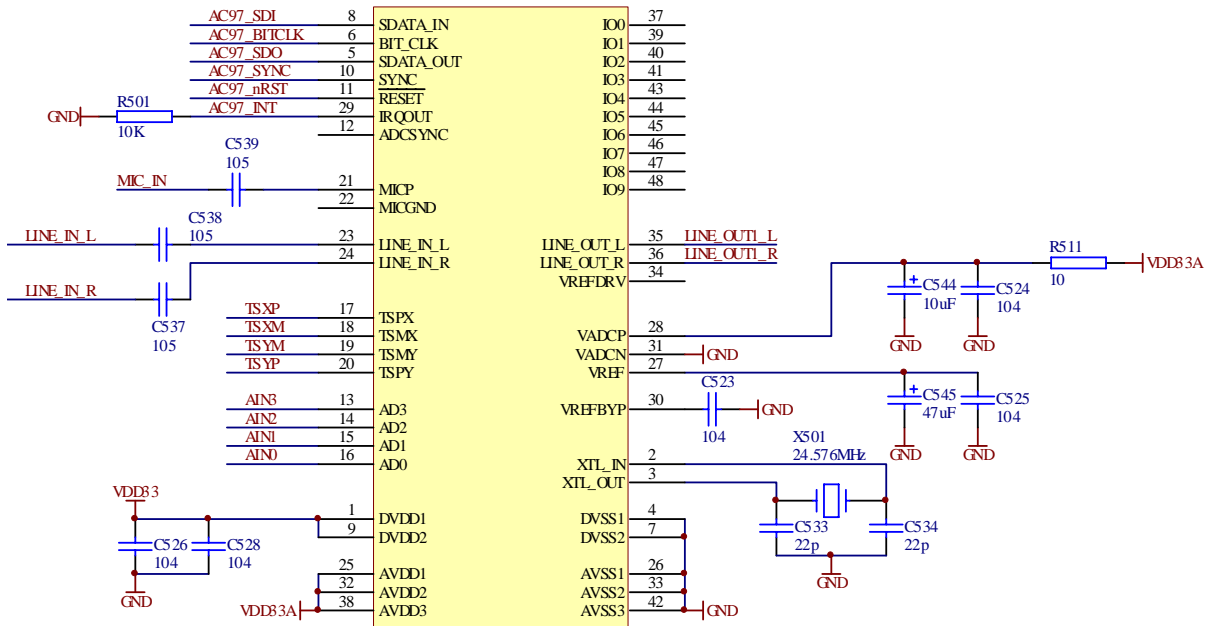
CPLD 内部逻辑等效电路:



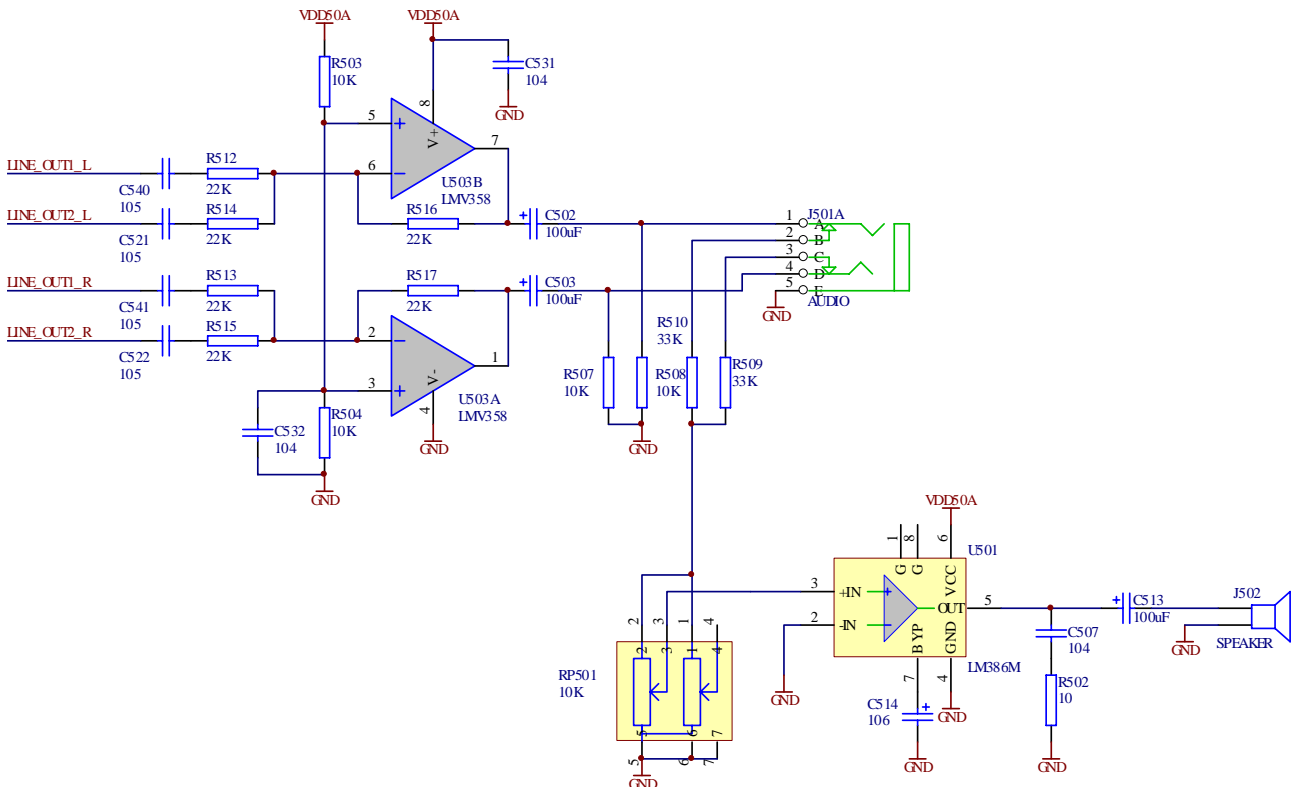


13. 音频电路由型号为 UDA1341（供 S3C2410/S3C2440 核心板用，IIS 总线接口）和 UCB1400（供 PXA270 核心板用，AC97 总线接口）的两片 CODEC 芯片构成。在核心板插座上，2410/2440 的 IIS 总线和 270 的 AC97 总线是共用几根信号线的，依靠 CPLD 内部逻辑由软件设置确定连接到 UDA1341 或 UCB1400。两个芯片的输出经过 LM358 混合后，作为总模拟输出。音频电路提供耳机输出，线路输入以及 MIC 输入功能。配合软件可以实现录音，放音，传话等功能。S3C2410/S3C2440 对 UDA1341 的 L3 控制接口是用 GPG8、9、0 模拟的。UCB1400 同时还是 PXA270 核心板的触摸屏控制器，AC97 中断连接到 PXA270 的 GPIO36。





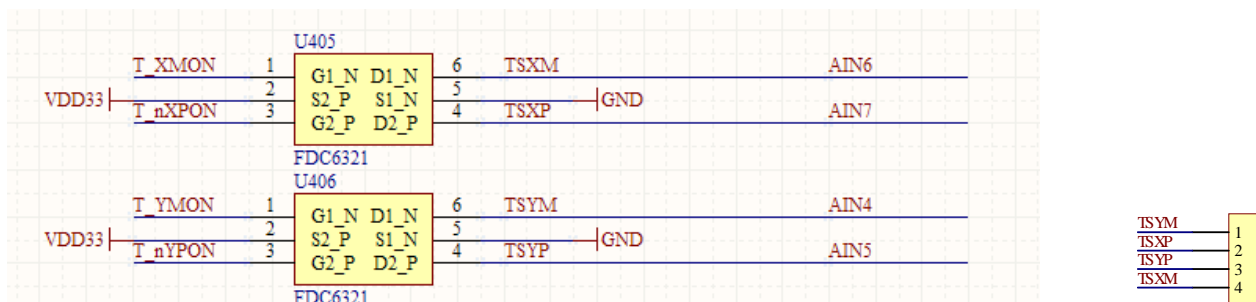
经典平台使用 LM386 音频功放芯片驱动扬声器，在此将两个声道的信号混合后只驱动一个扬声器。



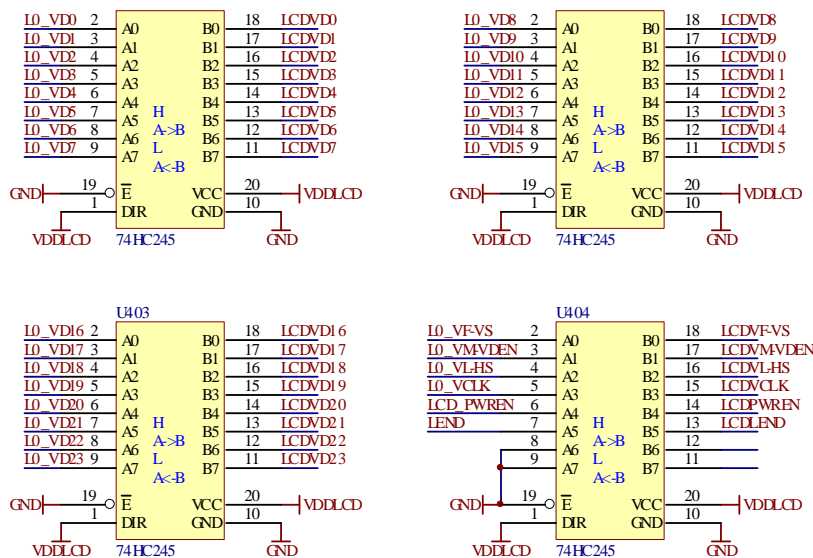
14. 经典平台触摸屏电路有两套，对于 S3C2410 核心板，是用 2410 内部 ADC 构成，外接 2 个双 MOS 管器件即可。S3C2410 内部 ADC 提供了专门的触摸屏接口，可以产生 XMON、nXPON 等开关信号，控制外部 MOS 管切换加在电阻式触摸屏上的电压，并用自身 ADC 完成模数转换。2440 核心板内部集成

了触摸屏完整的控制电路，直接连接四线电阻屏，对于 PXA270 核心板，是利用音频芯片 UCB1400 内的触摸屏控制器实现触摸功能的。在使用 PXA270 核心板的时候，CPLD 逻辑会关闭双 MOS 管器件，以避免 XMON、nXPON 等信号的影响。

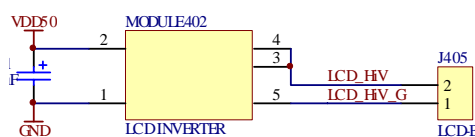
开发平台通过一个 8 针薄膜线插座连接 8 寸触摸屏；另提供一个 4 针插座，可以连接其他类型的触摸屏。



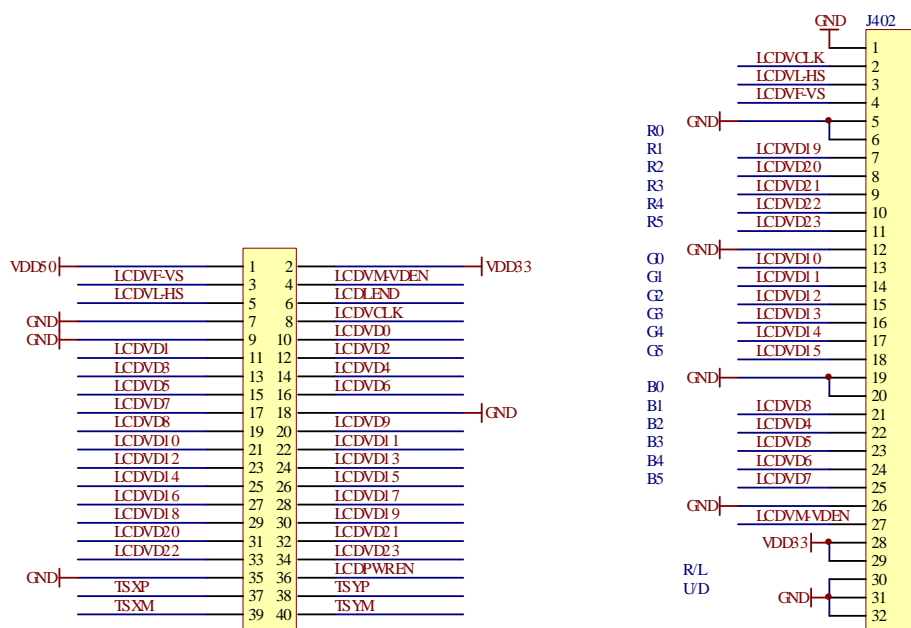
15. LCD 电路是将核心板的 LCD 信号线经过 4 片 74HC245 芯片隔离驱动后连到插座上的，经典平台提供一个 32Pin 的薄膜线插座，连接 8 寸 16bit TFT 液晶屏。另外提供一个 40 脚的双排母座包括所有 LCD 信号（S3C2410/S3C2440 核心板可提供最高 24bit 输出，PXA270 则只有 16bit 输出）和触摸屏信号，用户可以在此扩展其他显示电路，连接其他型号的 LCD。



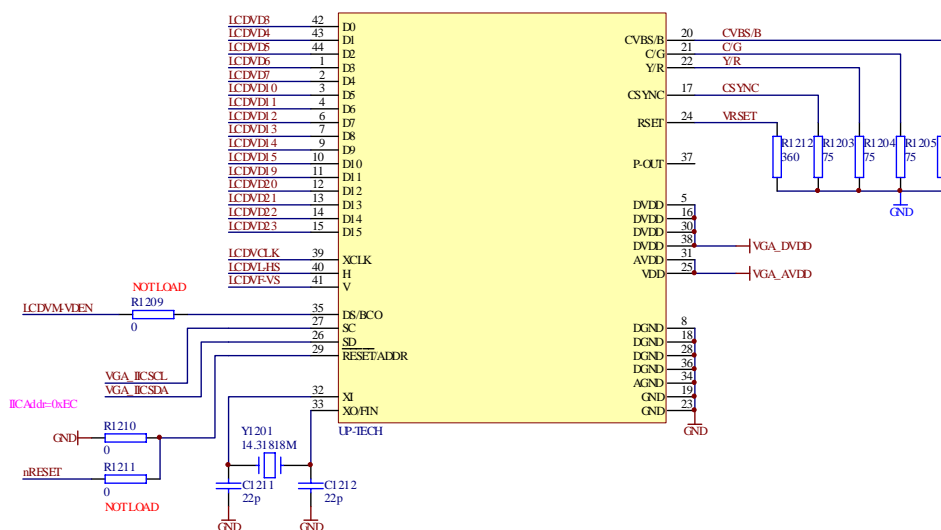
对于采用 CCFL 灯管做背光的液晶屏必须配置一个逆变器来产生交流高压：

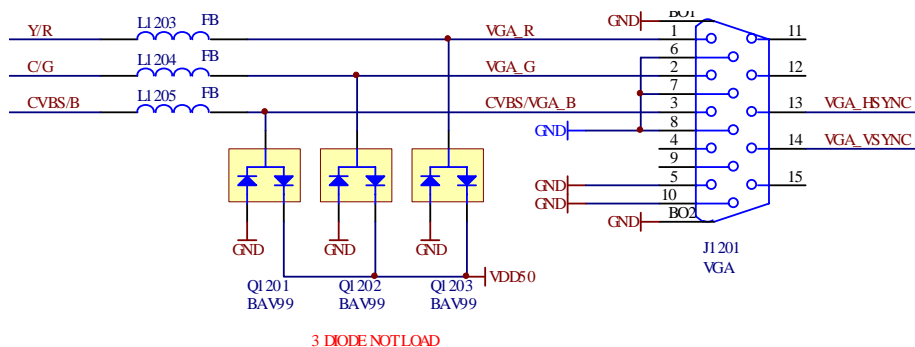


注意这部分电路有高压电击危险。

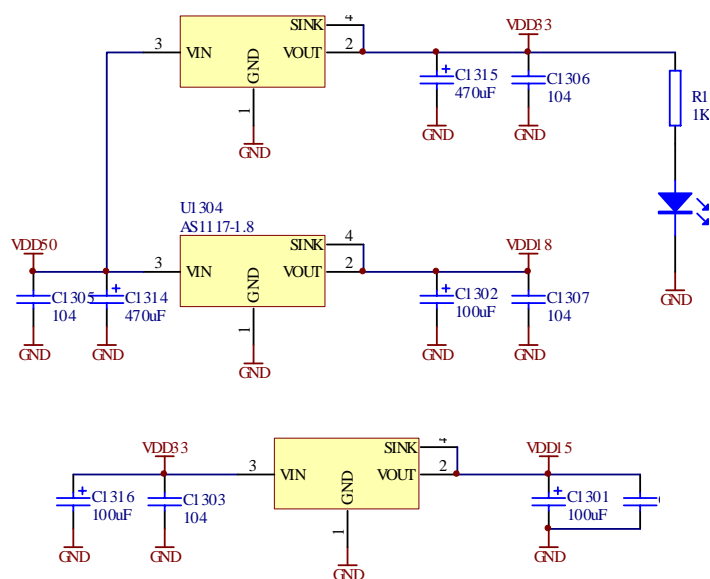
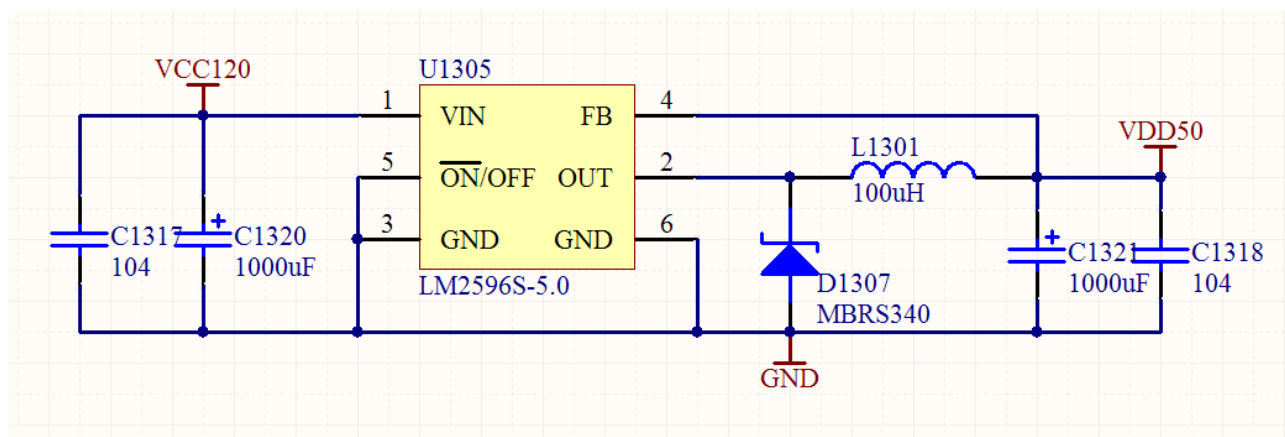


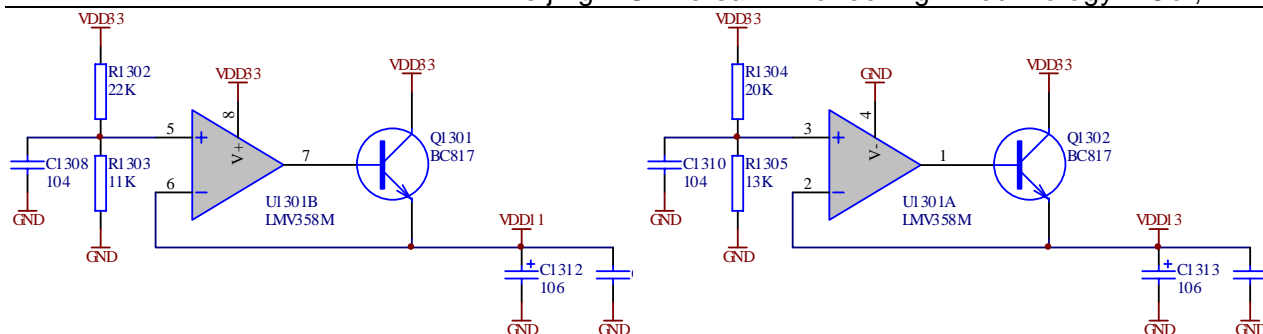
16. 经典平台具备了 VGA 输出功能,是将核心板的 LCD 信号转成模拟信号再汇同同步时钟形成的 VGA 信号,同时转换芯片也具备 AV 视频输出功能,CPU 通过 IIC 总线控制该芯片的工作模式。



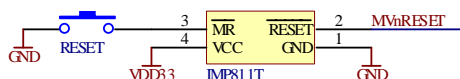


17. 经典开发平台电源电压为直流 12V，12V 电压直接供给 LCD 背光逆变器，经 DC-DC 电路 LM2596 降压到 5V，供给音频功放芯片、LCD、电机、硬盘、CAN 总线等电路使用。5V 电压经过 LDO 芯片 LM1085-3.3V、AS1117-1.8V、AS1117-1.5V 分别得到 3.3V、1.8V 和 1.5V 的工作电压，经典平台上的芯片多数使用了 3.3V 电压，而 1.8V 是供给 S3C2410 内核使用的，1.5V 是供给 PXA270 用的。另外还用 LM258 和三极管构成了两个简单的稳压源，为 PXA270 提供 1.3V 和 1.1V 电压。

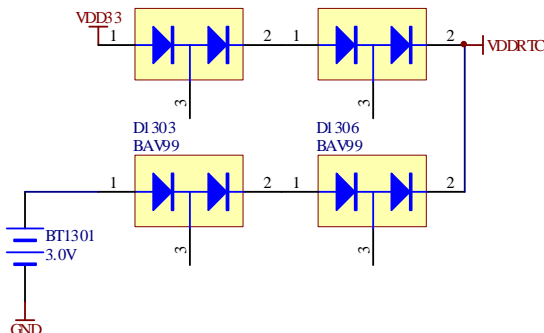




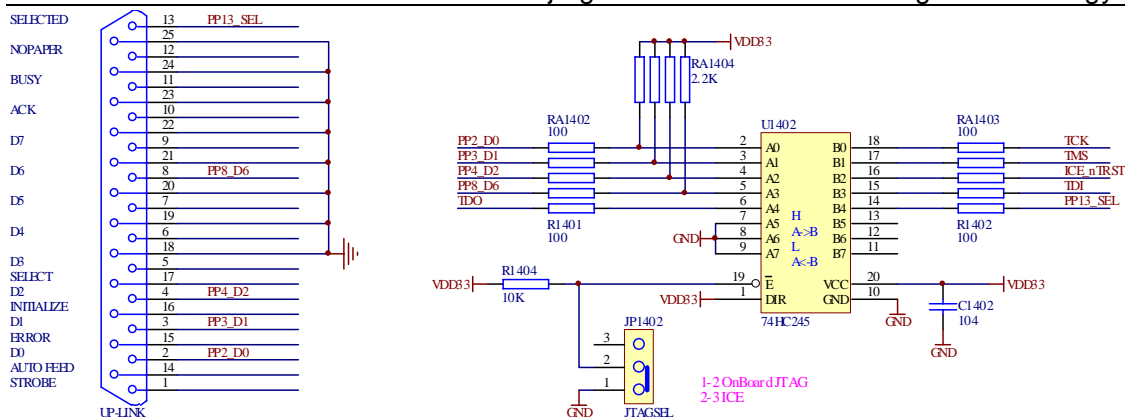
18. 硬件复位电路由 IMP811T 构成，实现对电源电压的监控和手动复位操作。经典主板复位电路设置专用逻辑：IMP811T 的复位电平可以使 CPU JTAG (nTRST) 和板级系统 (nRESET) 全部复位；来自仿真器的 ICE_nSRST 信号只能使板级复位；来自仿真器的 ICE_nTRST 可以使 JTAG (nTRST) 复位。nRESET 反相后得到 RESET 信号。复位信号的逻辑是由 CPLD 完成的。



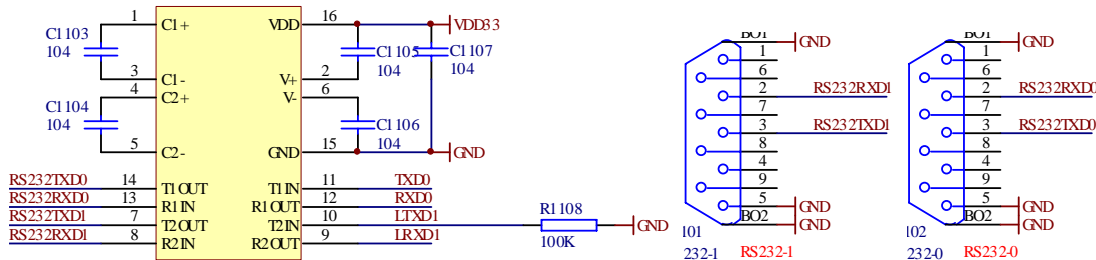
19. RTC 电路的电压是 1.8V，实际是将电池电压或 3.3V 电压经过两个 BAV99（等价于 4 个二极管串联）降压后得到的。



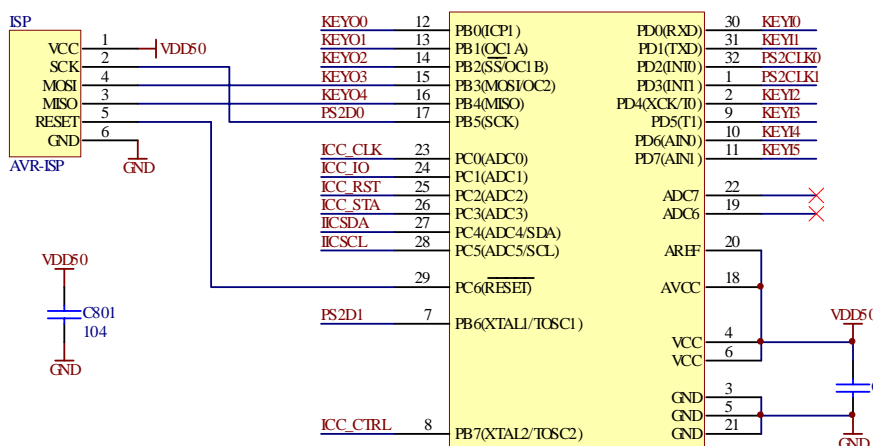
20. 经典平台集成了 UP-LINK 下载电缆电路，使得只使用并口电缆连接计算机就能完成 FLASH 编程和调试工作。使用并口延长电缆连接计算机的 DB25 母座和经典平台的 DB25 公座，下图表明了 UP-LINK 电路的电路连接。通过跳线设置可以使能或关闭这个电路，当 UP-LINK 被关闭时可以使用外配的硬件仿真器。平台上保留一个 20Pin 标准 JTAG 插座供其他仿真器使用。

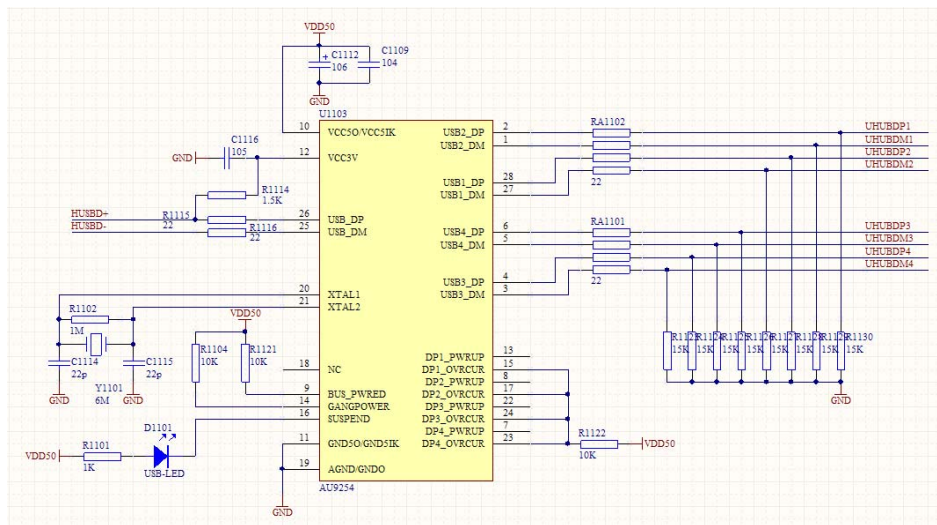


21. 开发平台提供 2 个 RS232 串口，分别对应 S3C2410 的 UART0 和 UART1，或者 PXA270 的 FF UART 和 BT UART。用 MAX3232 芯片做 TTL-RS232 电平转换。

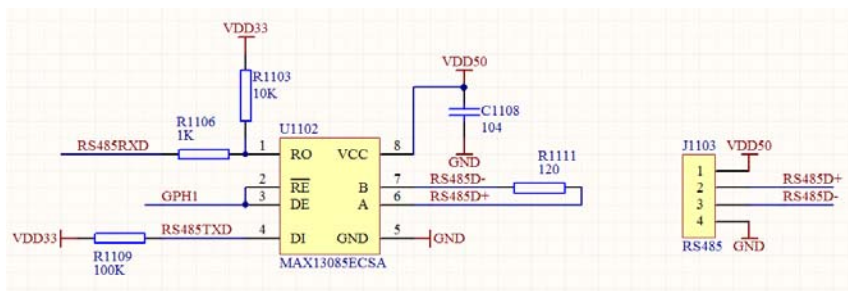


22. 17 键小键盘和 PS2 接口、IC 卡接口都由一片 ATMEGA8 单片机控制，通过 IIC 总线接到 CPU 的。电路中对 IICSDA 和 IIC_SCL 两个信号都接有 3.3K 上拉电阻。

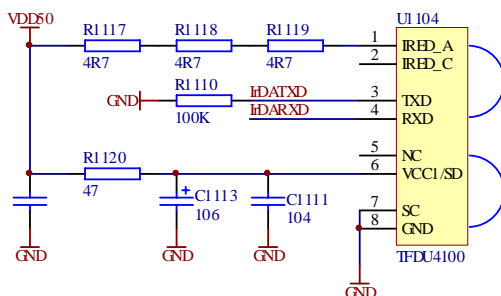




24. 经典开发平台上, S3C2410/S3C2440 核心板的 UART2 (或 PXA270 核心板的 ICP UART) 通过 CPLD 内部逻辑可以分配给 RS485 总线、IrDA 红外和扩展插槽。由芯片 MAX13085 完成 TTL 到差分信号的转换, RS485 方向控制线占用 S3C2410/ S3C2440 的 GPH1 (PXA270 的 GPIO41)。RS485 总线用夹线式接线端子引出, 同时提供一个 4 针排针。

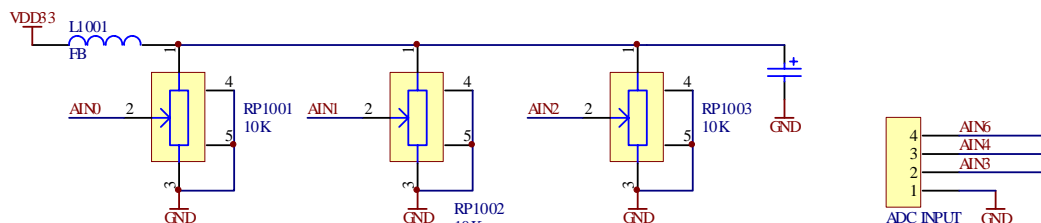


25. 采用 TFDU4100 红外收发器件构成 IrDA 红外电路。该电路没有 UART 握手信号、CTS 和 RTS 等, 需要软件设置 UART2 为半双工串口红外模式。当使用 RS485、IrDA 或者扩展槽上的 UART2 时注意 CPLD 逻辑的设置。

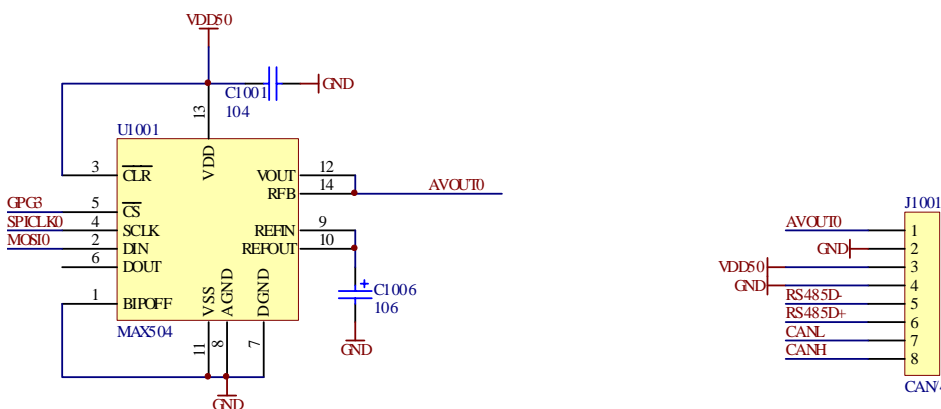


26. S3C2410/S3C2440 的 ADC 是 8 路复用的，开发平台上的 3 个 ADC 电位器对应 AIN0-2，触摸屏电路使用 AIN5 和 AIN7。另外 AIN3、4、6 用 4 芯排针座引出，供用户接入其他模拟信号之用。ADC 电路的参考电压 VREF 固定为 3.3V 电压，输入电压范围是 0 到 3.3V。

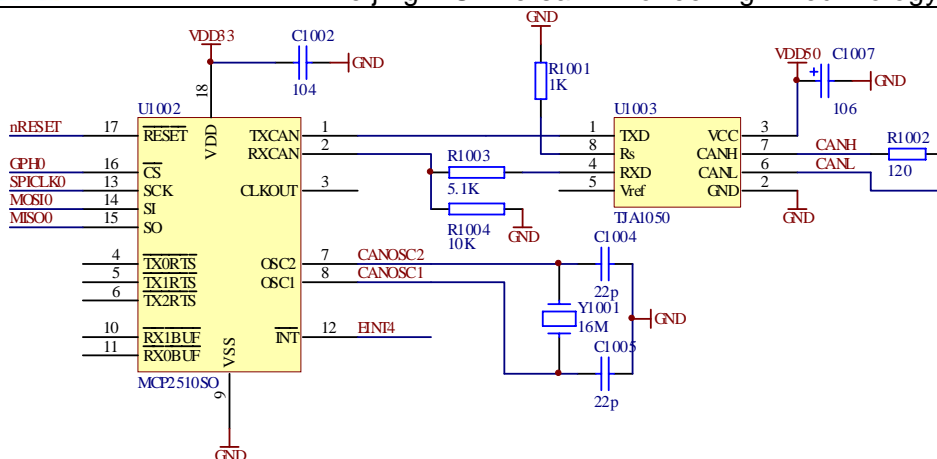
PXA270 处理器没有 ADC 输入，所以插 PXA270 核心板时 ADC 电位器一般不起作用，但经典平台电路中把 AIN0-2 三个信号也连接到了 AC97 CODEC 芯片 UCB1400 上，所以通过 AC97 还是可以使用这 3 个模拟输入的。



27. DAC 电路芯片采用串行接口的 MAX504，通过 SPI 总线接到 CPU，MAX504 的片选线占用 S3C2410/S3C2440 的 GPG3（270 的 GPIO14）。模拟输出电压用夹线式接线端子引出。

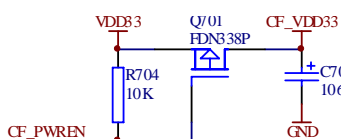


28. CAN 总线电路采用 MCP2510 作为控制器，TJA1050 作为驱动器。MCP2510 通过 SPI 总线和 CPU 连接，片选线占用 S3C2410/S3C2440 的 GPH0（PXA270 的 GPIO35），中断占用 S3C2410/S3C2440 的 EINT4（PXA270 的 GPIO102）。CAN 总线接口也采用接线端子引出，同时对外提供 5V 供电。



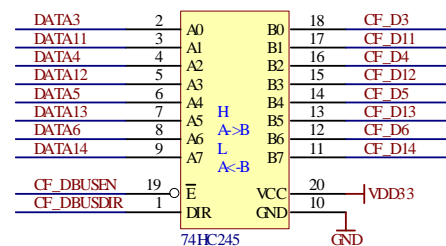
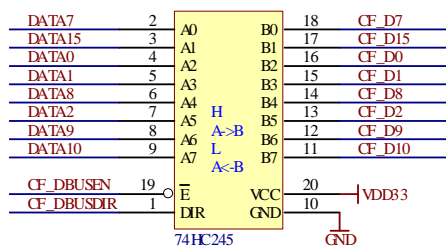
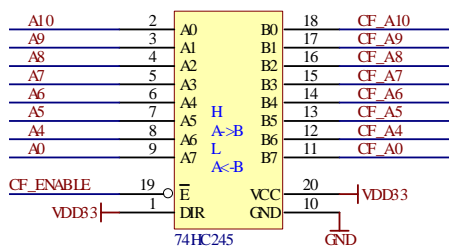
29. 经典开发平台上设置了 PCCARD 模式的 CF 卡接口,采用 CPLD 芯片 EPM240 实现 PCCARD 接口的逻辑。由于 PXA270 和 S3C2410/S3C2440 三种核心板下,CF 卡的接口逻辑是完全不同的,所以 CPLD 内具备了两套逻辑,由软件根据核心板不同来选择。S3C2410/S3C2440 的 CF 逻辑是从 2410-S 平台简化而来,由于 S3C2410 处理器没有 CF 卡接口,所以需要外部做出相关的逻辑。而 PXA270 内带 PCCARD 接口,所以外部逻辑就相对简单多了。CF 卡接口的中断信号接到 S3C2410/S3C2440 的 INT7 (PXA270 的 GPIO99)

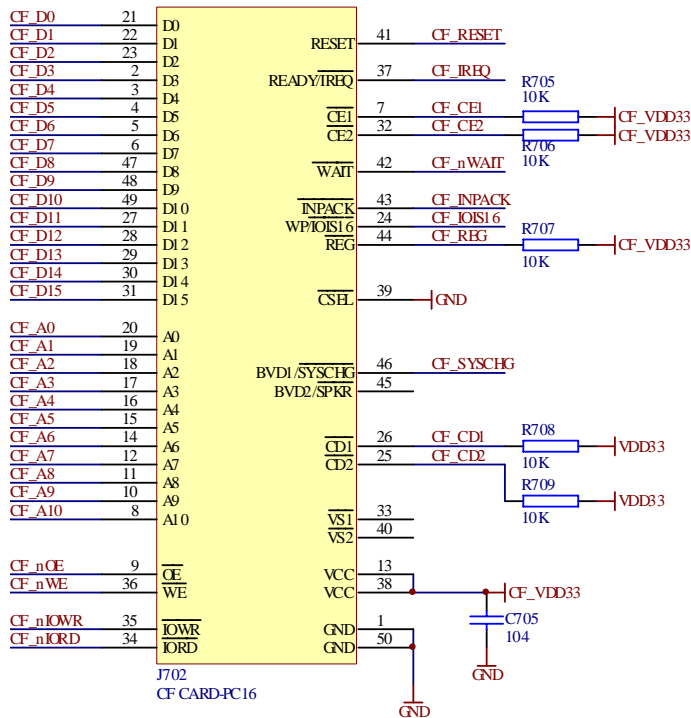
CF 卡的电源由 PMOS 管 FDN338 作为开关,受 CPLD 控制。在 CPLD 内部设置了若干寄存器,软件可以根据需要设置这些寄存器内容,包括 CF 卡电源控制,以支持带电插拔。



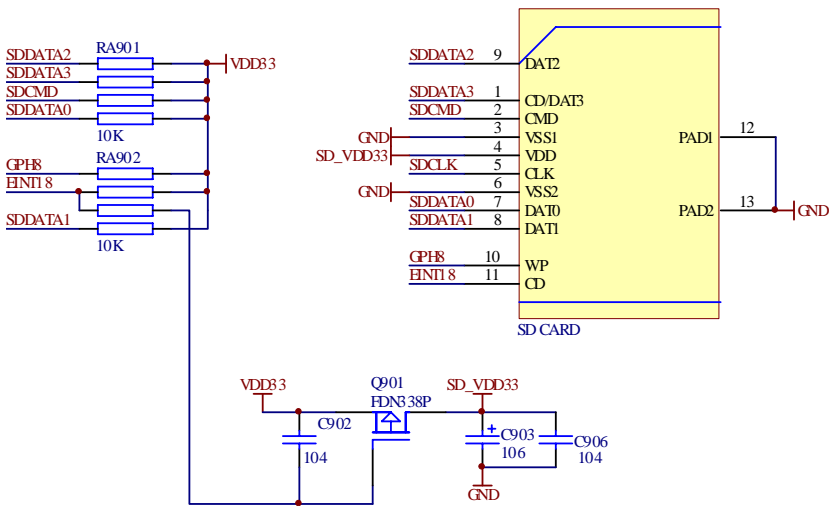
为了保护 CPU 总线和支持热插拔,在 CF 插入之前,地址线 and 数据线等信号都对 CF 卡接口呈高阻态,电路中设置了 3 片 74HC245 作为隔离芯片。74HC245 的使能和方向都受 CPLD 逻辑控制。

关于 CPLD 逻辑的具体情况请参考后文。

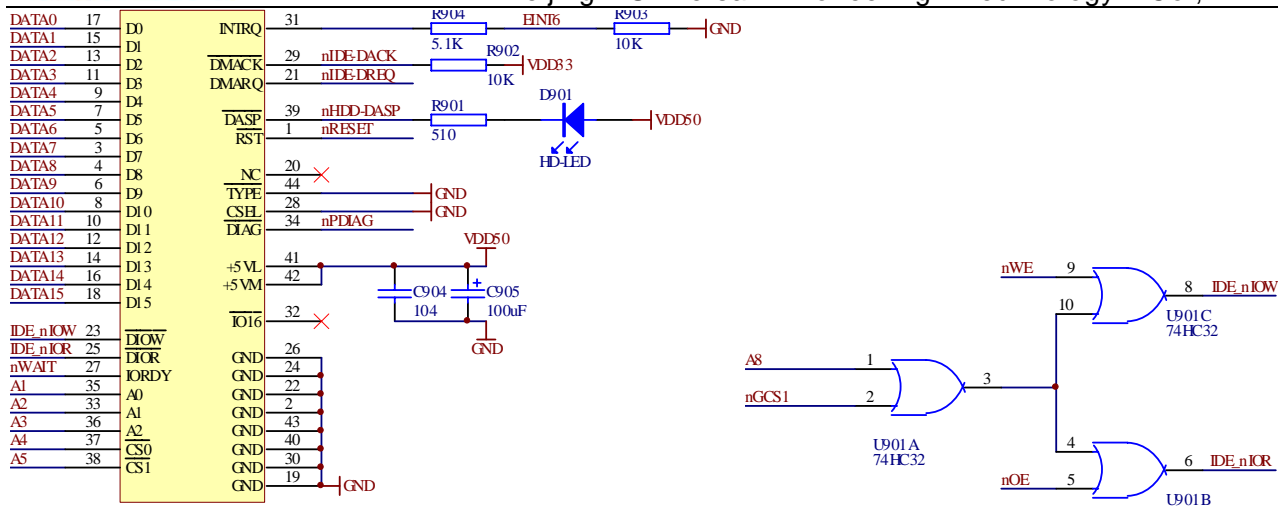




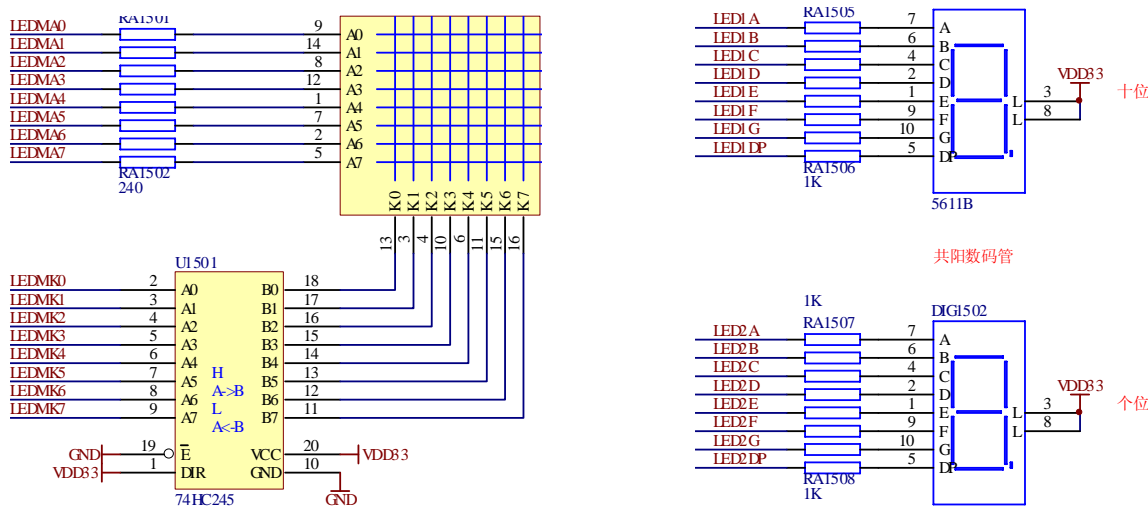
30. 开发平台提供 SD/MMC 卡接口，直接利用 S3C2410/S3C2440 或 PXA270 的 MMC 总线构成。电路中用 P 沟道 MOS 管 FDN338P 作为 SD 卡的电源开关，只有卡插到位后才为 SD 卡提供电源。SD 卡插卡中断占用 S3C2410/S3C2440 的 EINT18 (PXA270 的 GPIO105)。



31. 开发平台提供 IDE 硬盘接口。IDE 接口是直接连接到系统扩展总线上的，不支持热插拔。并且 IDE 设备没有独立的片选信号，所以电路中由 CPLD 逻辑控制 IDE 接口的读写信号。IDE 接口是连接到 S3C2410 的 Bank1 (PXA270 的 Bank4) 的，当 nGCS1 (nCS4) 有效时才产生 IDE 接口的 nIOW 和 nIOR 读写控制信号。同时在此 Bank 上还有其他一些资源，主要是 CPLD 内部寄存器，在此是用地址线 A8 来区分 IDE 设备和其他寄存器的。下图给出此逻辑的等效电路。IDE 接口占用中断 INT6 (PXA270 的 GPIO98)

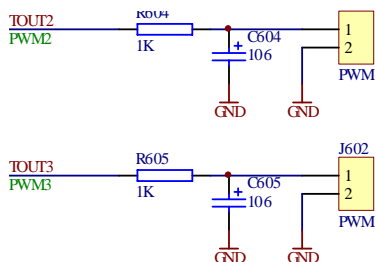


32. 开发平台设置 2 个 7 段数码管和一块 8X8 点阵 LED 模块，均由 CPLD 控制。CPLD 内部定义了两个 8 位并行锁存器，连接到系统扩展总线上，并为其分配了访问地址，以静态方式驱动两个数码管。CPLD 内部设计了较为复杂的时序逻辑和显示缓冲以动态方式驱动 8X8 点阵 LED 模块，并在默认状态下显示水平滚动的“UPTECH”字样。

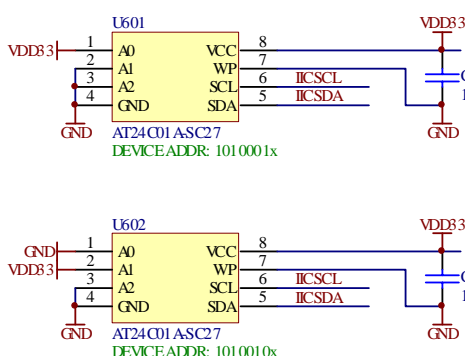


点阵 LED 驱动器逻辑中设置了 8 个字节的缓冲区，每个字节按位对应点阵 LED 模块上的一列 8 个点。驱动器中的扫描电路会将缓冲区的内容不断输出到 LED 模块，CPU 可以读写此缓冲区，从而可以更新现实内容。CPLD 内定义了“UPTECH”的字模，在上电后自动将此字模填充到缓冲区，并产生时序定期更新字模在缓冲区的位置，从而实现字符的滚动效果。当 CPU 第 1 次写缓冲区之后，驱动器停止“UPTECH”字符显示，继而可以接受 CPU 写入的数据并加以显示。

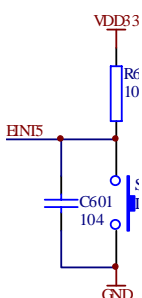
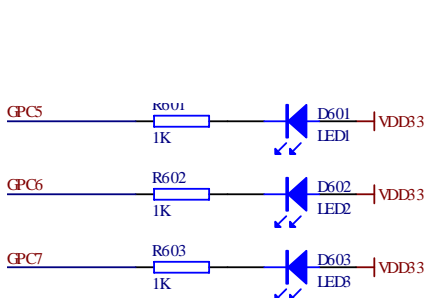
33. 经典开发平台将 S3C2410 的 PWM 定时器输出都引到了扩展槽，并分别用定时器 2 和 3 构成了 PWM DA 电路。PWM 波形经过阻容滤波后形成模拟电压，可以用示波器观察其波形变化。这种 DA 电路性能较差，只能提供一般的模拟电压信号。PXA270 只有一组 PWM 信号给直流电机使用了，在这里需要将 ICP UART 对应的引脚定义为 PWM 输出，并在 CPLD 逻辑中正确选择，就可以使用这个 PWM DA 电路了。



34. 开发平台将处理器的 IIC 总线引到了扩展槽，并在板上设置了 2 个 IIC 接口的 EEPROM 芯片 AT24C01。这 2 个芯片的 IIC 设备地址不同，第 1 个是 1010001x，第 2 个是 1010010x。软件可以将一些参数保存在 EEPROM 中。



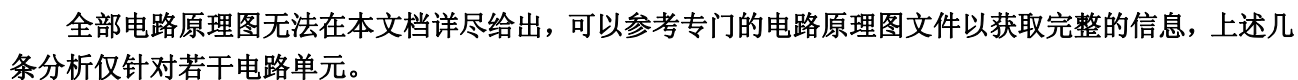
35. 开发平台设置了 3 个 GPIO 控制的 LED，和 1 个可直接产生外部硬件中断的按键。这些资源在调试程序或学习 ARM 体系结构时将发挥良好的作用。LED 分别使用 S3C2410/S3C2440 的 GPC5, GPC6, GPC7 (PXA270 的 GPIO0, GPIO1, GPIO52) 三个 GPIO，按键接到 INT5 中断 (PXA270 的 GPIO97)



36. 经典开发平台配置一个直流电机，受 CPU 的 PWM 输出控制，可实现软件调速。并设计有红外线转速传感器，装在电机轴上的圆盘每旋转一圈便产生一个脉冲，该脉冲送给 S3C2410/S3C2440 的计数输入端 TCLK1 (PXA270 的 CLK_EXT)，软件可以实现转速测量从而达到闭环控制的目的。

下图给出的是全桥驱动电路的半桥，电路中用非门实现 3.3V 逻辑电平到 5V 电平的转换，以及隔离上下推拉驱动三极管，在 PWM 方波正常的情况下，上下推拉三极管正常的导通和截止，不会出现同时导通的现象。

测速电路采用一个红外反射开关来检测电机圆盘是否旋转到敏感区域。电机圆盘底面大部分涂成黑色，只有一条半径方向的白色条形区域，当白色区域旋转到红外反射开关上方后，反射回去的红外线使得红外接受管导通，经过放大和施密特整形后送给 CPU 作为计数脉冲。



	S3C2410/S3C2440 核心板				PXA270 核心板			
资源	BANK	INT	IO	其他	BANK	INT	IO	其他
核心板								
CPU								

SDRAM	6			局部总线	SDCS			局部总线
NorFlash	0				0			局部总线
NandFlash				局部总线	1		GPI082、83	局部总线
LED			GPG12					
主板								
网卡 1	2	2		INDEX 0x10000000 DATA 0x10000002	2	GPI0100		INDEX 0x08000000 DATA 0x08000002
网卡 2	2	3		INDEX 0x10000004 DATA 0x10000006	2	GPI0101		INDEX 0x08000004 DATA 0x08000006
IDE 硬盘	1	6		地址 0x08000000 ---0x080000FF	4	GPI098		地址 0x10000000 ---0x100000FF
CF CARD	5	7		PCCARD 模式	3	GPI099		PCCARD 模式
CAN 总线		4	GPH0	SPI 总线		GPI0102	GPI035	SPI 总线
MMC/SD 卡		18	GPH8	MMC 总线		GPI0105	GPI0108	MMC 总线
RS232-0				UART0				FFUART
RS232-1				UART1				BTUART
RS485			GPH1	UART2			GPI041	ICPUART
IrDA				UART2				ICPUART
音频			GPG8、9、0	IIS 总线		GPI036		AC97 总线
触摸屏			GPG12/13/14/15	AIN5/7				AC97 总线
LCD				LCD 总线				LCD 总线
VGA+AV				LCD 总线 IIC 总线				LCD 总线 IIC 总线
AD				AIN0/1/2				AC97 总线
DA			GPG3	SPI 总线			GPI014	SPI 总线
USB 4 HOST				USB 总线				USB 总线
USB DEVICE		10		插入检测		GPI024		插入检测
PS2 接口				IIC				IIC
小键盘				IIC				IIC
IC 卡接口				IIC				IIC
中断按钮		5				GPI097		
LED			GPC5/6/7				GPI0 0/1/52	
IIC 存储器				IIC 总线				IIC 总线
PWM DA				PWM2、3				ICPUART 重定义
数码管	1			地址 0x08000100	4			地址 0x10000100
点阵发光管	1			地址 0x08000102	4			地址 0x10000102
直流电机				PWM0/1 输出和计数器输入 TCLK1				PWM0/1 输出和计数器输入 CLK_EXT
扩展插座	3、4	0/1		扩展总线	5	GPI094/ 95		扩展总线
			GPC5/6/7				GPI0 0/1/52	
			GPG1				GPI0104	

			GPH9/10				CLK_CH0/1
			CPLDI00/1			CPLDI00/1	
				TOUT0/1/2/3			TOUT0/1/GPIO37/ GPIO40
				TCLK0/1			GPIO38/CLK_EXT
				nRSTOUT			nRSTOUT
				IIC			IIC
				UART1、2			UART1、2
				SPI0/1			SPI0/1

七、经典开发平台 CPLD 逻辑说明

经典平台上有两片 CPLD，第 1 片控制网卡、IDE 的逻辑、串口选择、CF 卡逻辑等。第 2 片控制音频和触摸屏选择、LED 矩阵和数码管等。对软件而言，两片 CPLD 可以看作同一外设，有的寄存器分开放在两片 CPLD 内的。

一、网卡、IDE、复位等逻辑对软件透明，无需设置。

- 1、网卡 1 和网卡 2，对于 270 和 2410/2440 核心板，都在 Bank2 上。当 nGCS2 为 0 时，A2 为 0 则选中网卡 1，A2 为 1 则选中网卡 2。对于每个网卡芯片，A1 为 0 访问 INDEX 端口，A1 为 1 访问 DATA 端口。

物理地址：

2410/2440 核心板：网卡 1：INDEX：0x1000 0000 DATA：0x1000 0002
 网卡 2：INDEX：0x1000 0004 DATA：0x1000 0006
 270 核心板： 网卡 1：INDEX：0x0800 0000 DATA：0x0800 0002
 网卡 2：INDEX：0x0800 0004 DATA：0x0800 0006

- 2、IDE 接口和其他一些资源占用同一个 Bank，2410/2440 核心板是 Bank1，270 核心板是 Bank4。当 A8 为 0 时选中 IDE 接口，A8 为 1 时选中其他资源，后面逐步说明。

物理地址范围：

2410/2440 核心板：IDE 接口：0x0800 0000---0x0800 00FF
 其他设备：0x0800 0100---0x0800 011E
 270 核心板： IDE 接口：0x1000 0000---0x1000 00FF
 其他设备：0x1000 0100---0x1000 011E

- 3、复位逻辑仅提供各复位电平之间的逻辑与关系。

二、CPLD 内部包括核心板选择寄存器，并据此对音频和触摸屏等资源进行选择，以及控制串口选择的寄存器，数码管和矩阵 LED 寄存器，还有 PXA270 核心板下的 CF 卡相关寄存器。这些寄存器都和 IDE 接口共享同一个 Bank，2410 核心板是 Bank1，270 核心板是 Bank4。当访问所有 IDE 之外的资源（下列寄存器）时，必须保证 A8 为 1。另外，CPLD 的总线宽度是 8 位，内部寄存器均定义为 8 位，CPU 该 Bank 的总线宽度可定义为 16 位，读写忽略高 8 位，只取低 8 位有效。

- 1、核心板选择寄存器 默认值 0xAA 地址 A4A3A2A1=1100

此寄存器用于指定当前核心板类型，目前支持 2410/2440 和 270.

选择 S3C2410 核心板： 0xAA

选择 S3C2410 核心板： 0xCC

选择 PXA270 核心板： 0x55

实际上，此寄存器低 4 位控制 CPLD1，就是 CF 插座附近的，高 4 位控制 CPLD2，音频电路附近的。寄存器写入值非 0x55 时便默认为 2410 核心板。读出值与写入值相同。

核心板选择寄存器将直接对音频和触摸屏电路进行切换，无需另外设置。

物理地址：

2410/2440 核心板：0x0800 0118

270 核心板： 0x1000 0118

- 2、串口 1、2 和 PWM 选择寄存器

默认值 0xC0 地址 A4A3A2A1=1010

位	7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---	---

定义	1	1	X	X	X	U2H	U2L	U1
----	---	---	---	---	---	-----	-----	----

Bit7 和 Bit6 必须写入 11，否则写入值无效，串口将不接任何外设。

X 读出为 0，写入无效；其余读出值与写入值相同。

U2H:U2L 位 控制 UART2 外设选择

- 0 0 168Pin 扩展槽
- 0 1 RS485 总线
- 1 0 IrDA 红外
- 1 1 PWM DA （仅对 270 核心板有效）

U1 位 控制 UART1 外设选择

- 0 168Pin 扩展槽
- 1 RS232（DB9 插座）

当核心板选择寄存器为 2410 核心板时，PWM DA 输出是连接到 2410 核心板的 TOUT2 和 TOUT3 信号的；当为 270 核心板时，并且 U2H:U2L=11 时，PWM DA 输出是连接到 270 核心板的 UART2 上，此时 CPU 必须将 UART2 的 TXD 和 RXD 两个引脚配置为输出并为 PWM 定时器功能。当然，如果 U2H:U2L 为其他值时，270 核心板无法驱动 PWM DA，CPLD 输出为 0。

物理地址：

2410/2440 核心板：0x0800 0114

270 核心板： 0x1000 0114

3、GPIO 寄存器

CPLD 驱动 3 个 GPIO，其中 GPIO2 和 GPIO1 可做输入输出并可配置，引出到扩展槽；另 1 个 GPIO0 输出驱动 NumLock 发光管。

默认值 0x00 地址 A4A3A2A1=1011

位	7	6	5	4	3	2	1	0
定义	NL	X	DIR2	DIR1	OUT2	OUT1	IN2	IN1

Bit1 和 Bit0 只读，写入值无效；X 读出为 0，写入无效；其他读出值与写入值相同。

NL 位 控制 NumLock 发光管，CPLD 输出电平与该位值对应，写 0 亮，写 1 灭。

DIR2 和 DIR1 位分别设置 GPIO2 和 GPIO1 的方向，即输入或输出。当设置为输出时，OUT2 和 OUT1 位值和 CPLD 输出电平对应，写 0 低电平，写 1 高电平；当设置为输入时，IN2 和 IN1 位值和 GPIO 引脚的实际电平对应，软件可读回。

实际上 GPIO2 和 GPIO1 在 CPLD1 上，GPIO0 在 CPLD2 上。

物理地址：

2410/2440 核心板：0x0800 0116

270 核心板： 0x1000 0116

4、数码管寄存器

CPLD 以静态方式驱动 2 个 7 段数码管，显示内容和寄存器值对应。

默认值 0xFF 熄灭 地址 A4A3A2A1=1000（十位） 1001（个位）

位	7	6	5	4	3	2	1	0
定义	DP	G	F	E	D	C	B	A

读出值与写入值相同。数码管各笔画位置以及数字符号的段码查其他文档。

物理地址：

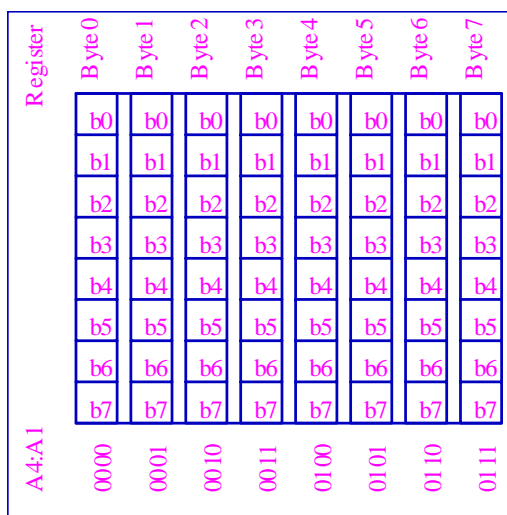
2410/2440 核心板：0x0800 0110—0x0800 0112

270 核心板： 0x1000 0110—0x1000 0112

5、点阵 LED 寄存器组

CPLD 以动态扫描方式驱动 8×8 点阵 LED，显示内容和寄存器组值对应。CPLD 内部包含在点阵 LED 上显示滚动效果的 UPTECH 字样的代码，此功能在系统复位后自动运行，在 CPU 首次写入点阵 LED 寄存器时停止，之后显示内容由所写内容决定。

点阵 LED 寄存器组共 8 个字节寄存器，地址 A4:A1=从 0000 到 0111，按地址递增顺序分别对应点阵 LED 模块从左到右的 8 个列。每个字节寄存器对应一列，字节寄存器内 8 个位对应该列的 8 个 LED，从 Bit0 到 Bit7 分别对应从上到下的 LED。



物理地址：

2410/2440 核心板：0x0800 0100、0x0800 0102、0x0800 0104。。。。 0x0800 011E

270 核心板： 0x1000 0100、0x1000 0102、0x1000 0104。。。。 0x1000 011E

三、2410 核心板 CF 卡寄存器

这个寄存器仅针对 2410 核心板，寄存器从 2410-S 平台上的寄存器压缩过来的。

必须选择 2410 核心板后才能访问此寄存器。对于 2410 核心板，此寄存器和 CF 卡接口共占 Bank5，A26=1 时访问寄存器，A26=0 时访问 CF 卡。

默认值 0x00 不加电不使能 地址 A26=1

位	7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---	---

读出	REG	MEM_IO	CD2	CD1	ENABLE	IREQ	SYSCHG	IOIS16
写入	REG	MEM_IO	RESET	X	ENABLE	PWREN	X	X

此寄存器读出值和写入值不全相同，有的位读出值含义与写入值不同。

其中 REG 位经过反相后输出到 CF 卡(REG 信号),RESET 位直接输出到 CF 卡(卡复位信号),MEM_IO 位是内部信号,用于指定访问对象是 Memory 空间还是 IO 空间。ENABLE 位是使能 CF 卡总线的信号,PWREN 是开关 CF 卡电源的信号。

物理地址: 2410 核心板: 寄存器: 0x2c00 0000

CF 卡: 0x2800 0000—0x2bff ffff

四、270CF 卡寄存器组

270CF 卡寄存器组包括中断标识寄存器、中断掩码寄存器、CF 卡控制寄存器,这 3 个寄存器和第二节描述的寄存器相同,也是与 IDE 设备在同一个 Bank,270 核心板是 Bank4,访问时 A8 必须为 1。必须选择 270 核心板后才能访问这些寄存器。

实际上 CF 卡的片选线,对 2410 核心板是 nGCS5,对 270 核心板的则是 nCS3 (nPSKTSEL)。

1、270CF 卡中断标识寄存器

默认值 0x00 地址 A4A3A2A1=1101

位	7	6	5	4	3	2	1	0
定义	X	X	X	X	X	CF_IRQ	SYSCHG	CF_CD

X 读出为 0,写入无效;其他读出值与写入值相同。

物理地址:

2410/2440 核心板: 0x0800 011a

270 核心板: 0x1000 011a

2、270CF 卡中断掩码寄存器

默认值 0x00 地址 A4A3A2A1=1110

位	7	6	5	4	3	2	1	0
定义	X	X	X	X	X	CF_IRQ	SYSCHG	CF_CD

X 读出为 0,写入无效;其他读出值与写入值相同。

物理地址:

2410/2440 核心板: 0x0800 011c

270 核心板: 0x1000 011c

270CF 卡的中断处理基本上保持了原来 PXA270-S 平台上 FPGA 内的逻辑功能,只是将寄存器压缩到 8 位,涉及 CF 的中断位定义如上表。

CF_IRQ 是来自 CF 卡的中断信号,SYSCHG 是来自 CF 卡的状态改变信号,CF_CD 是插拔卡检测信号。当 CF 卡产生 IRQ 或 SYSCHG 有效电平时,中断标识寄存器相应位置 1;当插或拔 CF 卡时,CPLD 内有去抖动逻辑,检测到插座开关变化后会中断标识寄存器的 CF_CD 位置 1。如果中断标识寄存器的某位置 1,并且中断掩码寄存器的对应位为 1 则会向 CPU 产生中断请求信号,可通过清零中断掩码寄存器相应位来屏蔽中断。当产生中断后,软件需要读取中断标识寄存器的值来判断具体中断源,对于 CF_IRQ 和 SYSCHG 两个中断源来说,软件必须先对 CF 卡操作以清除其中断请求状态,然后写中断标识寄存器清除相应标志位。CF_CD 检测电路产生的是脉冲信号,所以软件响应中断完毕后只需写中断标识寄存器清除相

应标志位。当有多个标志位置位时，软件在写中断标识寄存器清除某标志位时会产生新的中断请求，使得 CPU 可以再次响应中断。软件可以按查询标志位顺序定义优先级。

对于 PXA270 核心板来说，CPLD 产生的 CF 卡总中断请求信号连接到 PXA270 处理器的 GPIO99 上。软件响应中断时要处理好 GPIO 中断清除、CPLD 内寄存器标志位清零、原始中断源清除等关系。

3、270CF 卡控制寄存器

默认值 0x00 地址 A4A3A2A1=1111

位	7	6	5	4	3	2	1	0
定义	X	X	PowerOn	Enable	Reset	CF_IRQ	SYSCHG	CF_CD

第 2 到 0 位只读，写入无效。X 读数为 0，写入无效；其他读出值与写入值相同。

物理地址：

2410/2440 核心板：0x0800 011e

270 核心板： 0x1000 011e

这里的 3 个控制信号，和 PXA270-S 平台略有不同。电源控制 PowerOn 和使能信号 Enable 分开了，可同时写 1 以打开电源并使能接口逻辑。CF 卡复位信号 Reset 位直接连到插座。

2410/2440 和 270 的 CF 卡逻辑不尽相同，尤其是 270 处理器本来就包含了 PCCARD 接口的若干主要信号。当选择 2410 或 270 核心板时，CF 卡接口将自动连接到相应的逻辑。同时根据各自的使能信号进行三态控制。

八、经典开发平台跳线设置说明

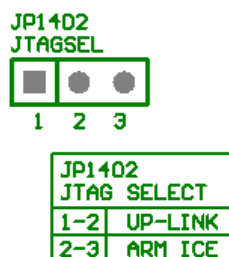
PCB 上所有“EXPORT”丝印字符表示 168Pin 扩展槽。

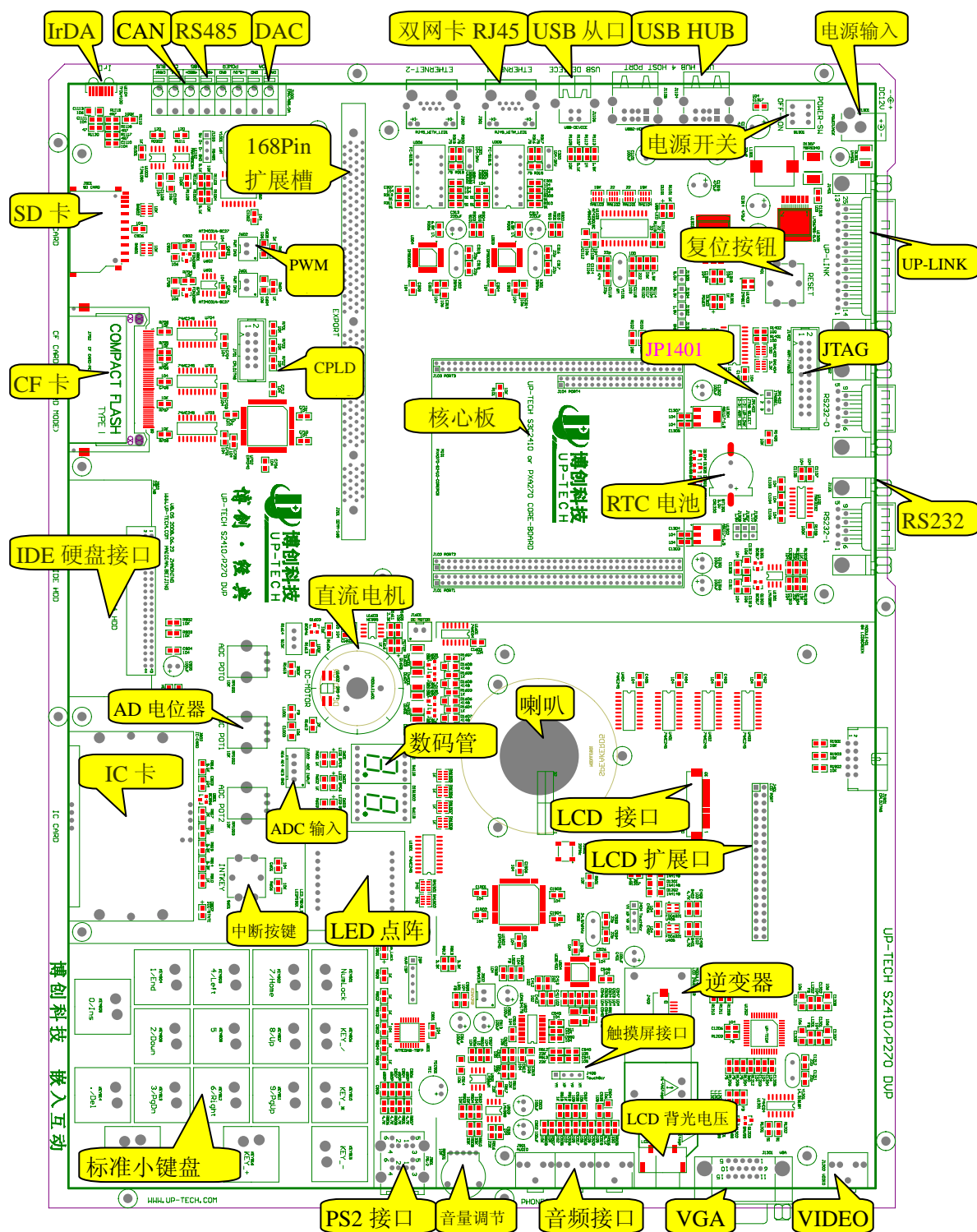
经典平台只有如下一个跳线：

JP1402 JTAGSEL：选择 JTAG 电路，位置 JTAG20 插座下方。

1—2： 使能板载的 UP-LINK JTAG 电路。

2—3： 使用外部的 JTAG 电缆或者 ARM ICE 仿真器。

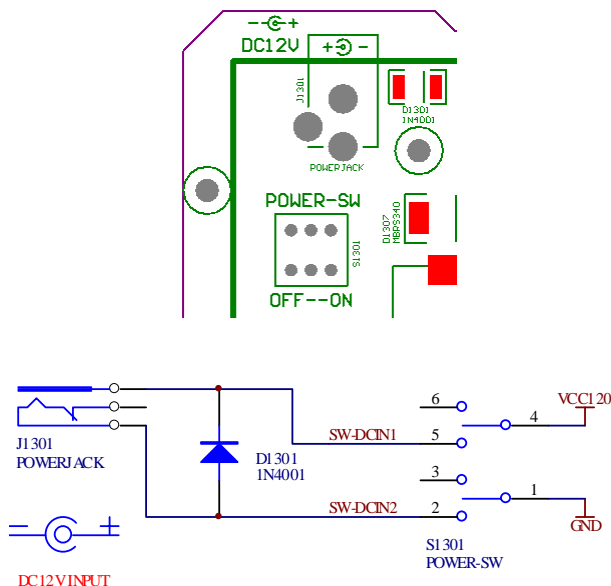




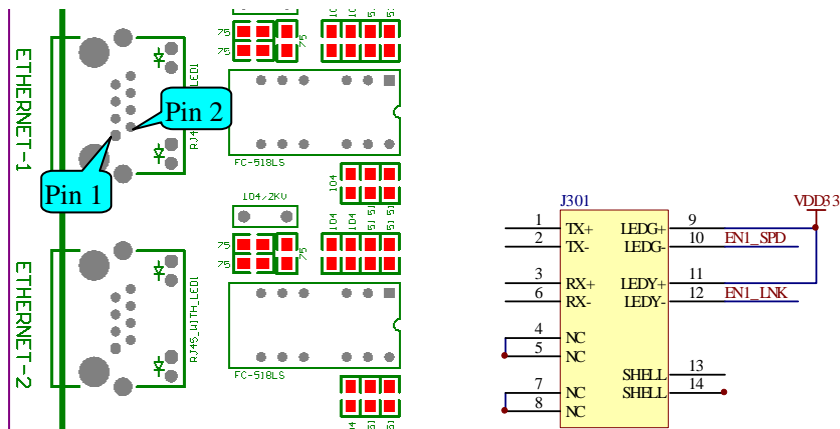
经典开发平台跳线及接插件等分布图

九、经典开发平台部分接插件和扩展插座接口定义

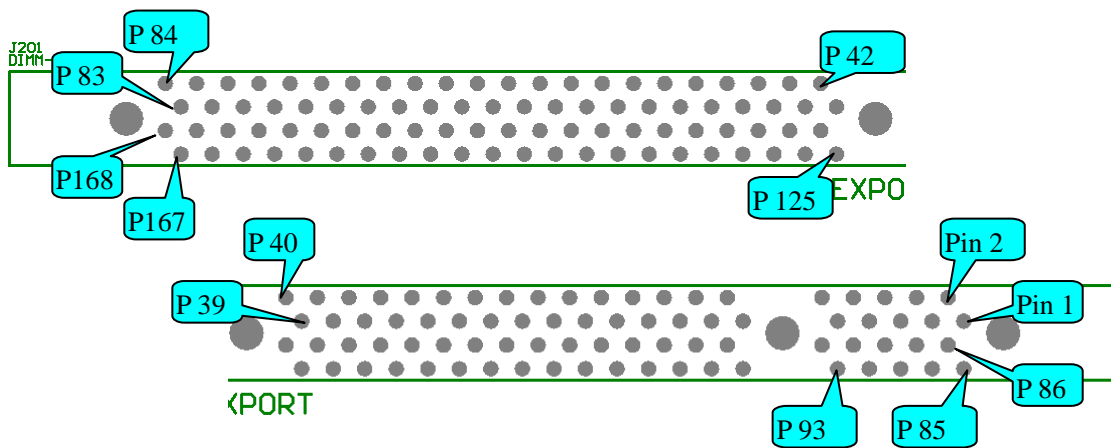
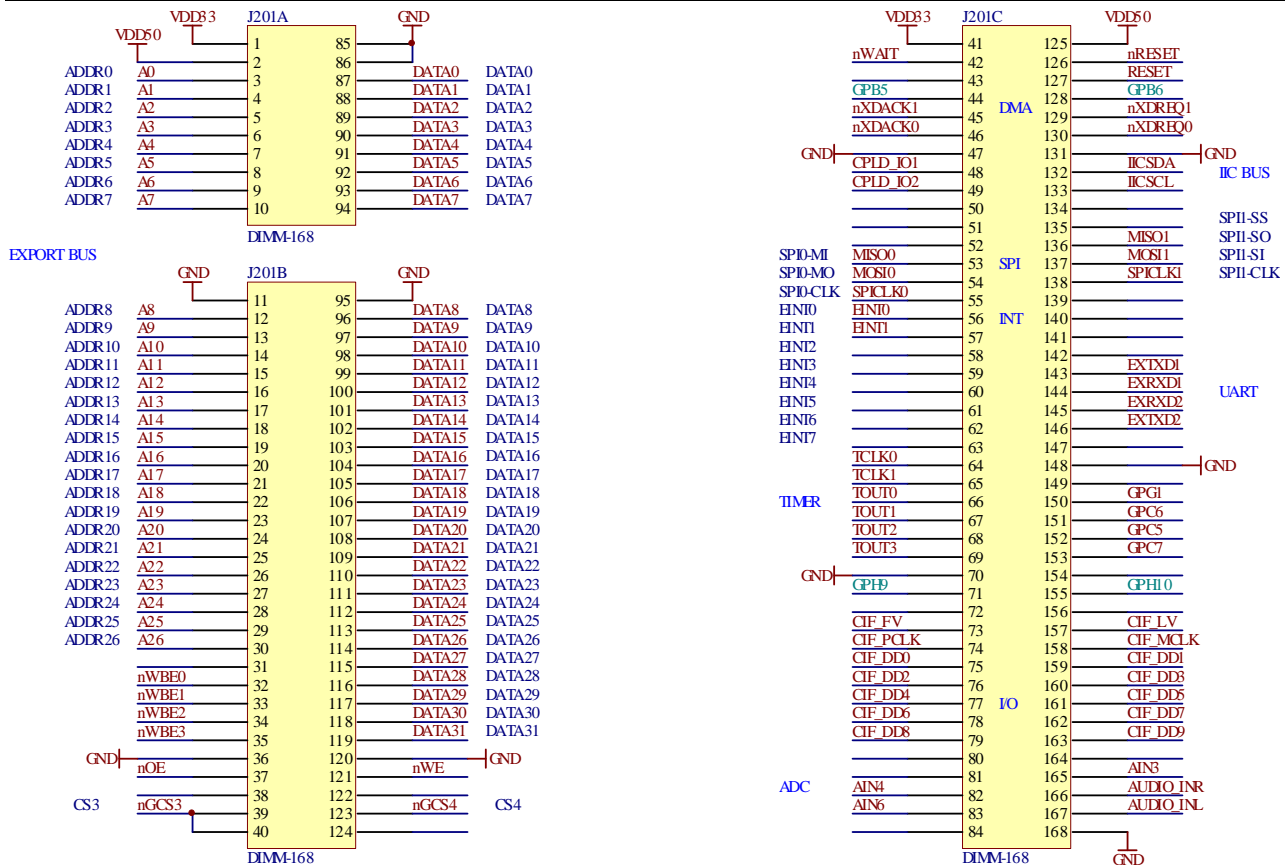
1. 电源输入插座和电源开关：需要外配 AC220V—DC12V2A 的交流适配器，5mm 孔式插头，孔芯正极，筒壳负极。电源开关为双刀双掷摇头开关，扳到左边关闭电源，扳到右边打开电源。



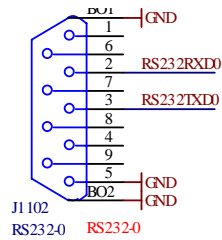
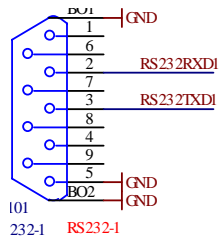
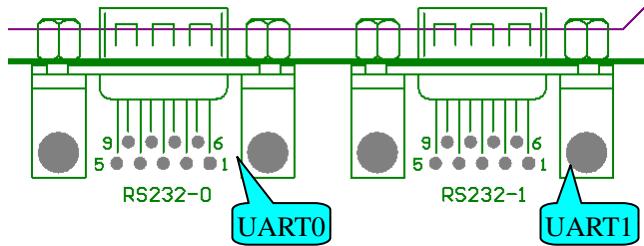
2. 以太网 RJ45 网卡接口，这是标准的 RJ45 接口。上面的接口是网卡 1 的，下面的是网卡 2 的，各网卡的系统资源说明参考电路原理说明部分。



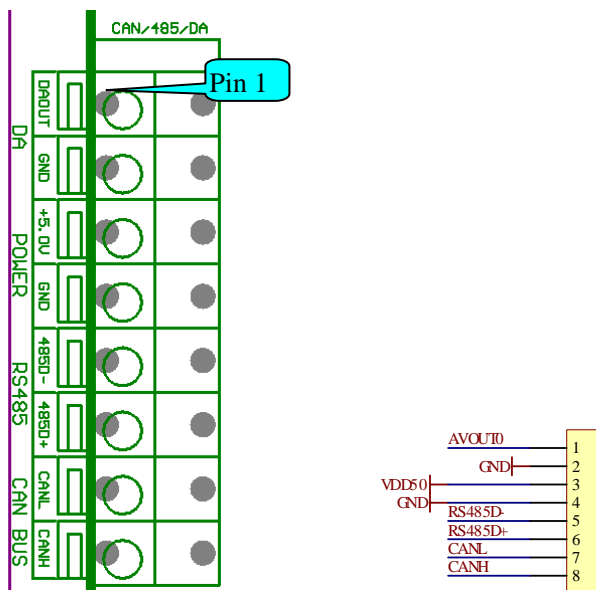
3. 168Pin 扩展槽。该扩展槽上提供了所有的总线、可复用信号、电源及未使用资源。下图给出了扩展槽各引脚的定义以及插座上引脚位置的示意。这个插座实际上是以以前 PC 机 SDRAM 内存条的标准插座 DIMM168，从网上可以查到此插座的尺寸，以便设计扩展板 PCB。博创科技提供 DIMM168 插座到排针插座的转接板，方便用户用导线将插座的信号引出。



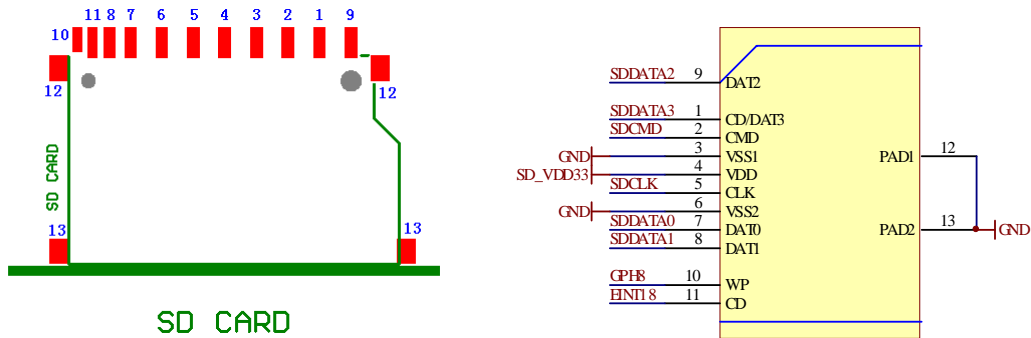
4. RS232 串口采用 DB9 公座，为 3 线串口模式。经典平台分别将 CPU 的 UART0 和 UART1 经过电平转换引出为 RS232-0 和 RS232-1 两个 DB9 标准串口。下图给出了这两个插座以及引脚定义。开发平台和 PC 机通讯必须用两端都为 DB9 母头的交叉线连接。



5. DAC 输出、RS485 总线和 CAN 总线都用夹线式接线端子引出， 包括一个 5V 对外电源共 8 片端子整合在一起。下图给出了这个端子的引脚定义。

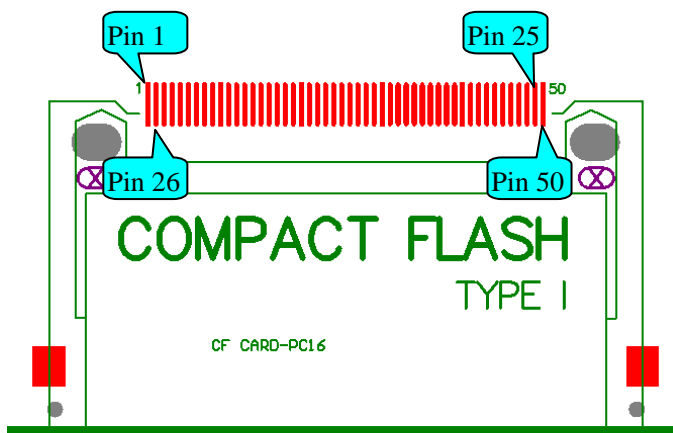


6. SD 卡电路采用标准 SD 卡接插件。下图表明了插座各引脚编号和原理图的对应。SD 卡插座上有插拔卡检测开关，电路中用这个检测信号控制 SD 是否上电，并通知 CPU 有卡插入或拔出，从而实现带电插拔卡功能。

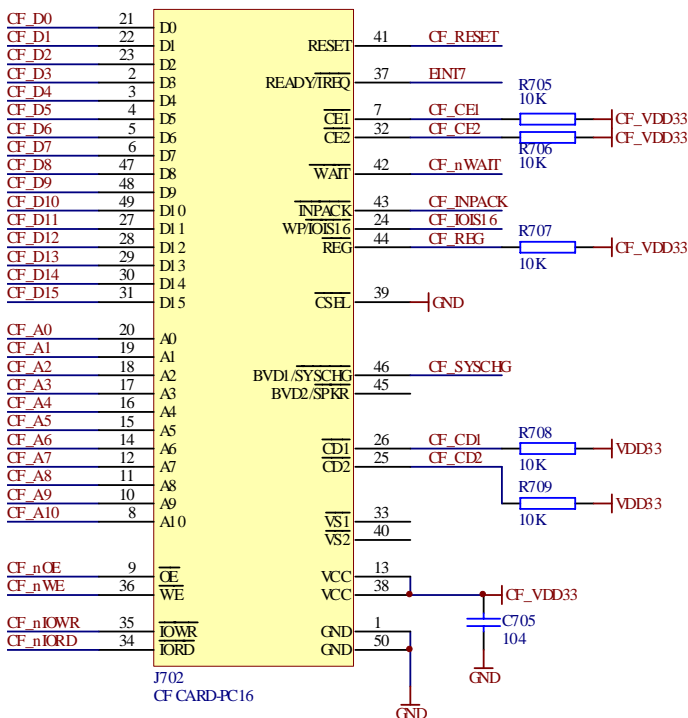


SD CARD

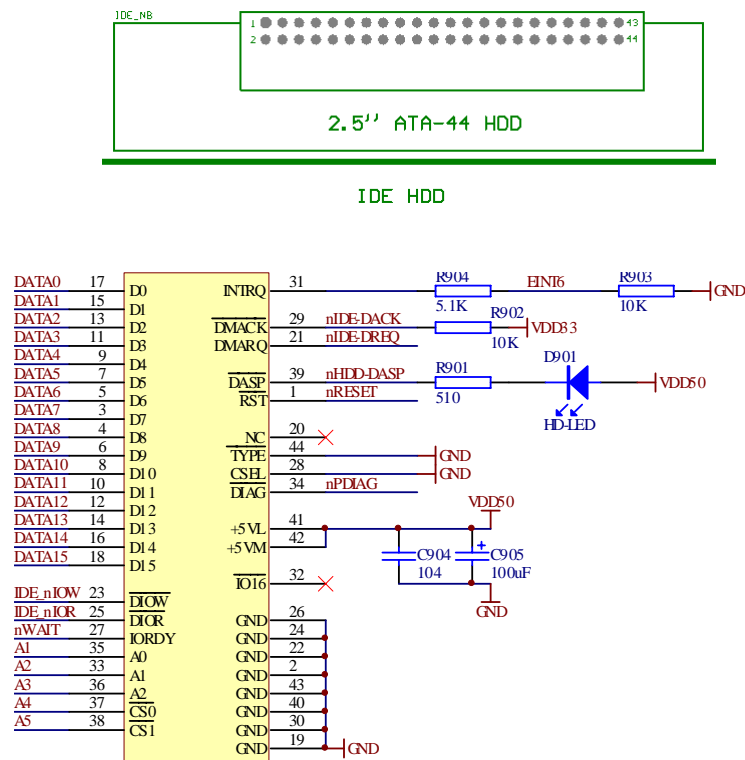
7. CF 卡采用标准插座，下图表明插座引脚编号和原理图的对应。CF 插座上的很多控制信号接到 CPLD 上，数据线和地址线也接到了隔离芯片上。关于 CF 卡的引脚定义，读写模式等参看 CF 卡规范。



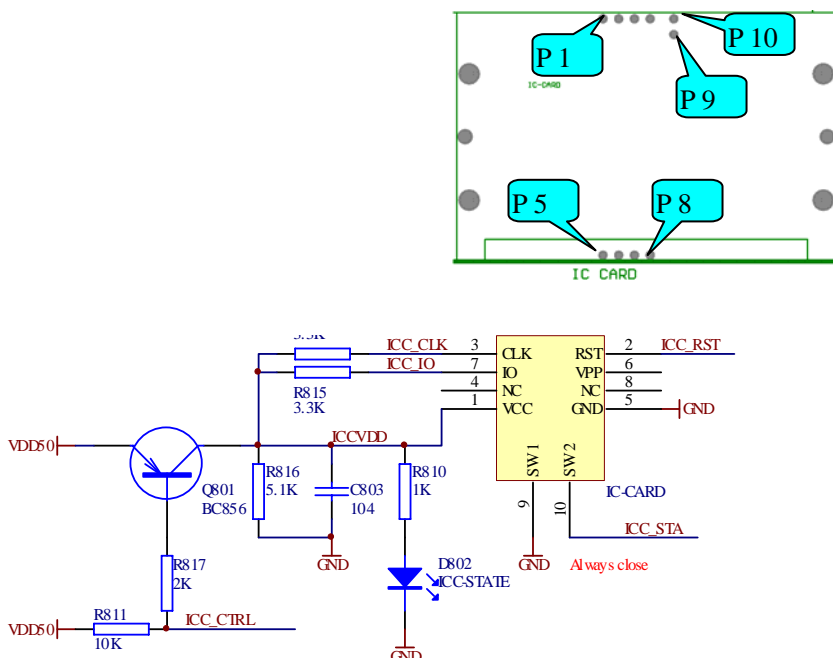
CF CARD (PC-CARD MODE)



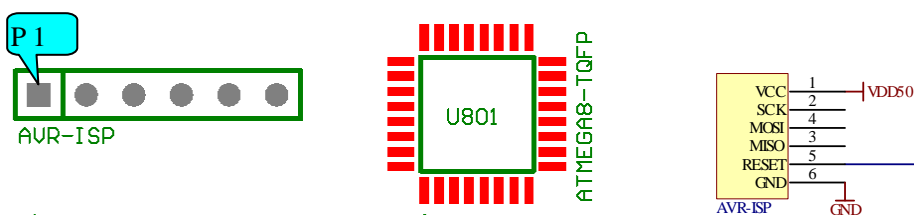
8. IDE 硬盘接口采用标准 2.5 寸硬盘插座，下图表明插座引脚编号和原理图的对应。



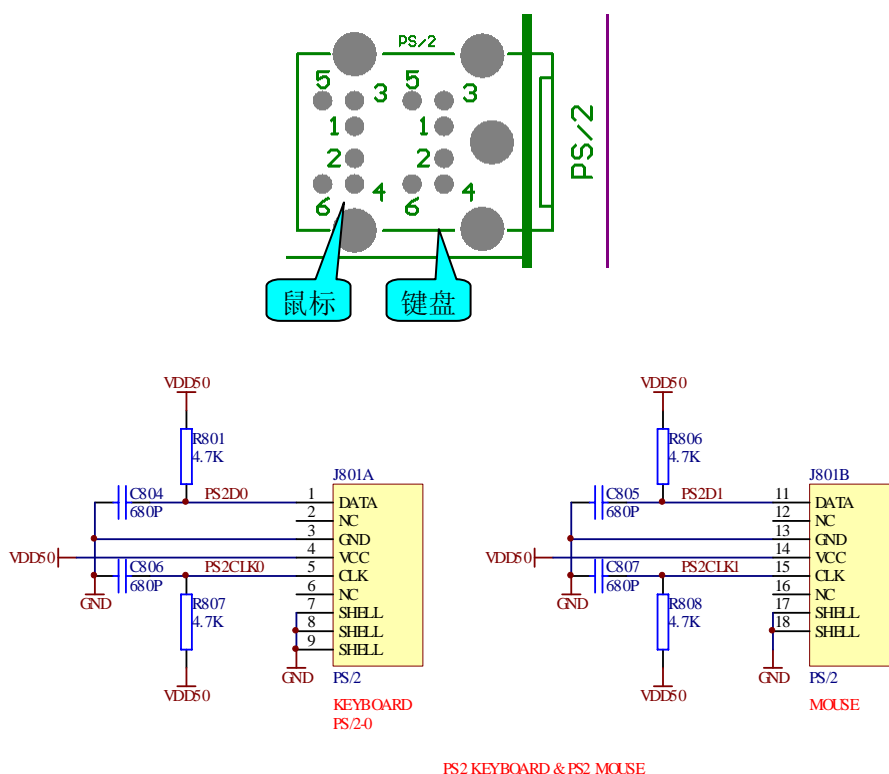
9. IC 卡采用标准插座，下图表明插座引脚编号和原理图的对应。



10. ATMEGA8 的 ISP 接口如下图所示。AVR-ISP 插针是 ATMEGA8 单片机的在系统编程接口，用于烧写程序。用户一般不必关心该接口，出厂时单片机功能已经固化：控制 IC 卡、PS2 接口和板载 KEYPAD。

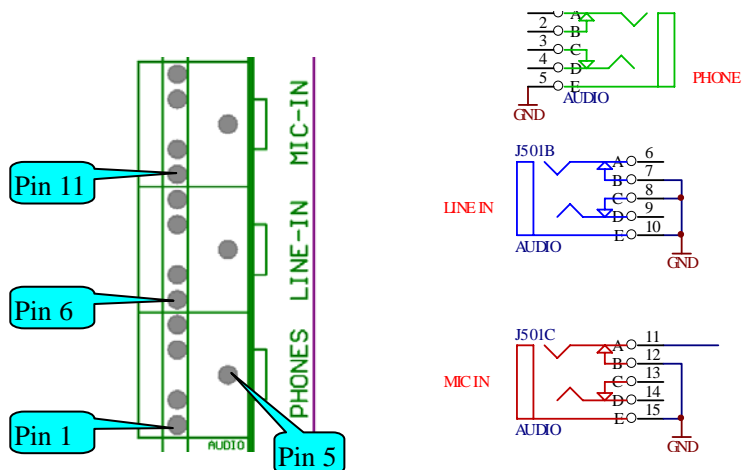


11. PS2 接口采用上下结构的标准插座，上边绿色接口为鼠标接口，下边蓝色的为键盘接口。下图表明插座引脚编号和原理图的对应。

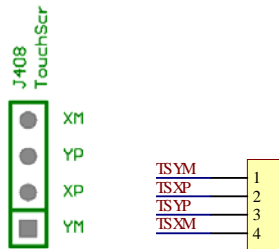


PS2 KEYBOARD & PS2 MOUSE

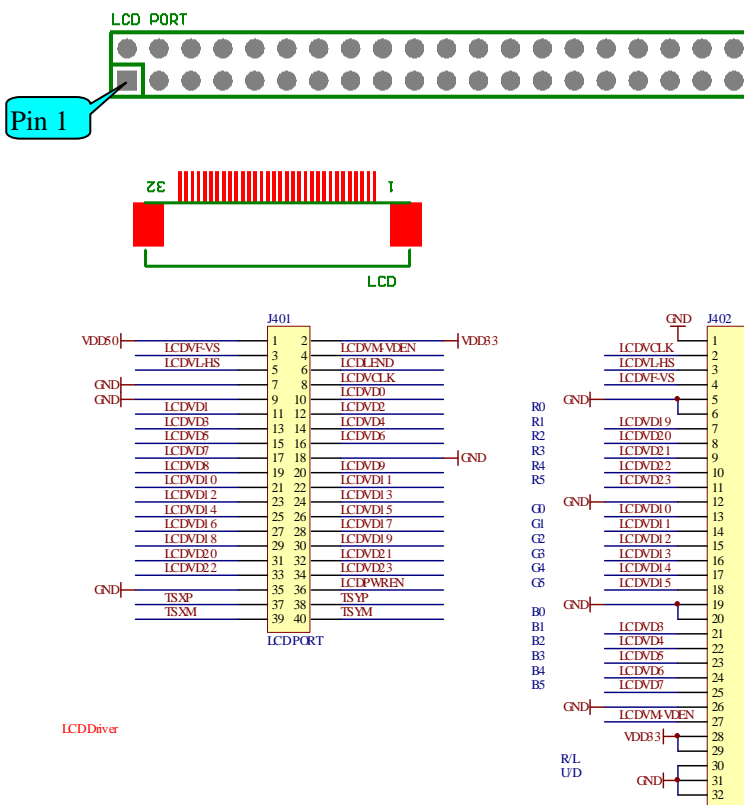
12. 音频接口，包括 MIC 输入，线路输入，耳机输出，和喇叭输出，前三者采用标准 3.5mm 立体声音频接插件，后者采用一般的带卡连接器。喇叭输出插座焊在 PCB 背面，2410 经典平台 PCB 上可装有小喇叭。



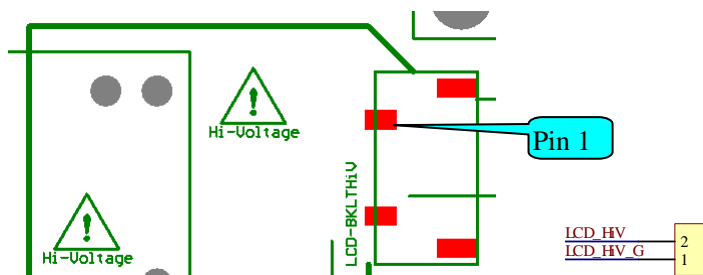
13. 触摸屏接口根据触摸屏引线形式采用 4Pin 插针，线序如下。主板上预留了 2 个这样的插针，在不同位置。可以适应大部分 4 线电阻式触摸屏。



14. LCD 液晶屏接口，经典平台装配分辨率 640×480 的 8 寸 18bit TFT 彩色 LCD。但 S3C2410 配置为 16 位 RGB 5: 6: 5 输出模式，所以液晶屏接口的 R 和 B 就将最低位接地了。为了使得用户可以接驳其他型号的 LCD，经典平台提供一个 40Pin 排母，包含了 24bit TFT LCD 全部信号和触摸屏输入接口。

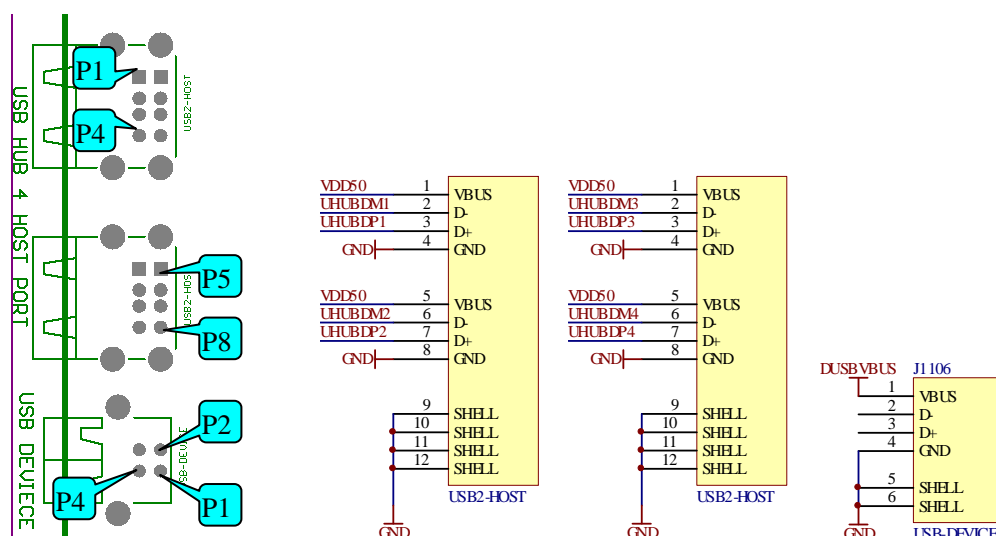


这种面积较大的 LCD 屏一般采用 CCFL 背光，需要配置逆变器提供高压交流电源。下图是液晶屏的背光电源线插座。

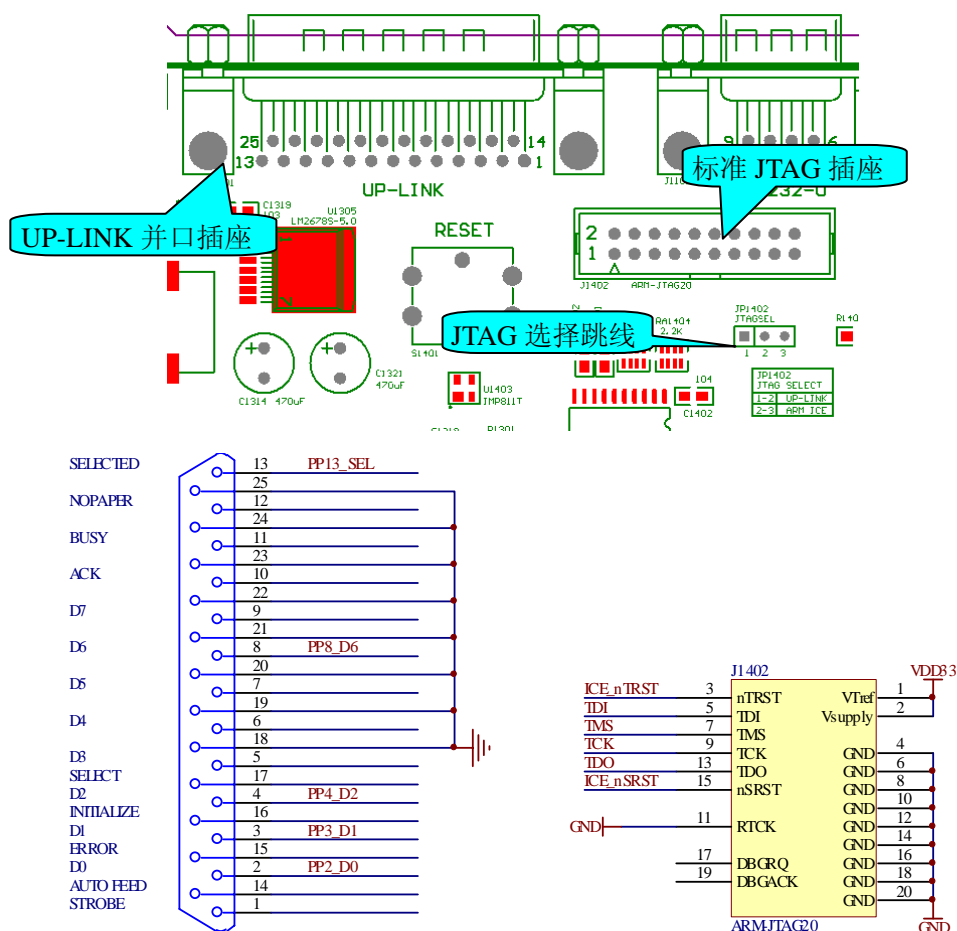


注意图中标有危险警告字样的区域，逆变器输出高压，小心电击。

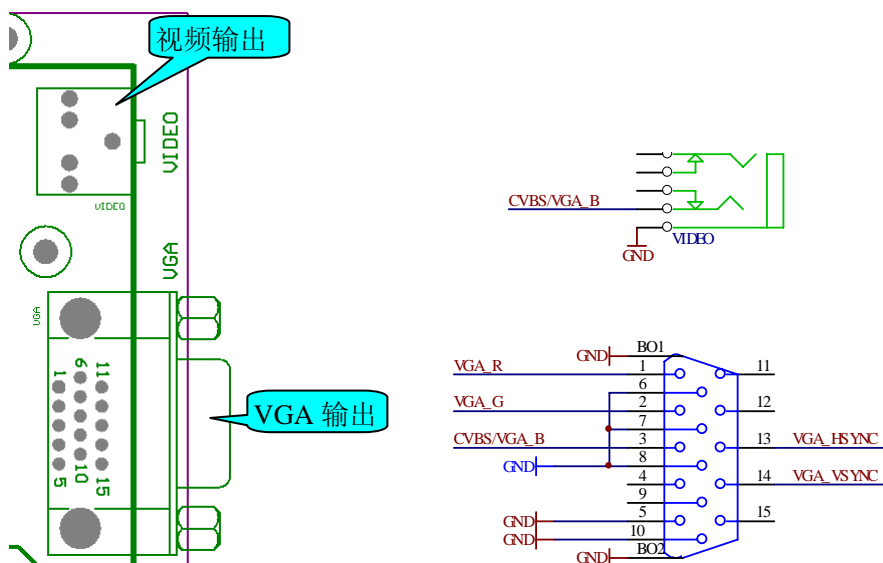
15. USB 接口。经典平台提供一个 USB Device 接口和四个 USB Host 接口。都采用标准接插件。



16. 经典平台提供板载 UP-LINK JTAG 电路, 只需用并口延长线连接 PC 机和平台即可。另外提供一个 20Pin 标准 JTAG 接口用来连接其他仿真器。两种 JTAG 电路或接口的选择跳线见上一小节说明。



17. 经典平台配置了 VGA 电路, 将 CPU 的 LCD 信号转成模拟电压随带同步信号一起作为 VGA 输出。该电路通过 IIC 总线配置, 还可以提供视频信号输出。



18. 经典开发平台采用核心资源单独制造一个核心小板的格局，用若干 2.0mm 的排针排母将核心小板插在主板上。S3C2410/S3C2440 核心板插座是 3 条 80pin 和 1 条 40pin 排母构成的，核心板 PCB 上焊接对应的排针。但 PXA270 核心板是 3 条 80pin 和 1 条 16pin 排针连接的。为了使底板适应两种核心板，大部分信号都是按信号属性重合的，但有些信号只有 PXA270 核心板具备，2410/2440 核心板对应引脚则为空，有些 2410 核心板专有的信号在 Port4 多余的引脚上引出。

