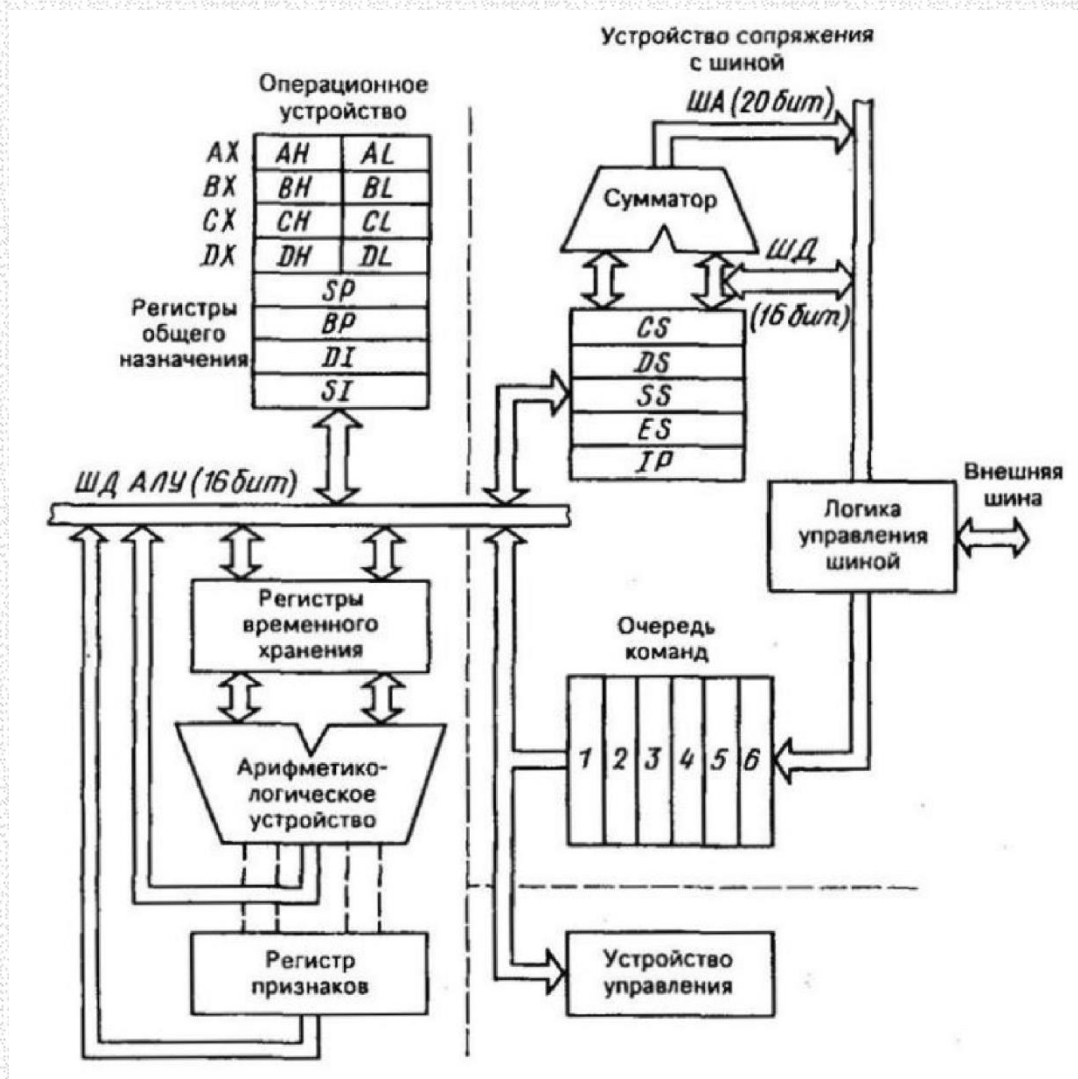


АРХИТЕКТУРА X86

Цифровые устройства и микропроцессоры

I-8086



Регистровая структура универсального МП

Программная модель микропроцессора представляет собой программно-доступную часть его внутренней архитектуры.

- основные функциональные;
- процессора с плавающей запятой;
- системные;
- отладки и тестирования.

Структура регистров процессора

| | 31 | 16 | 15 | 8 | 7 | 0 | |
|-----|----|----|----|----|----|---|--------------------------|
| EAX | | | | AH | AL | | AX |
| EDX | | | | DH | DL | | DX |
| ECX | | | | CH | CL | | CX |
| EBX | | | | BH | BL | | BX |
| EBP | | | | BP | | | } Базовые регистры BP |
| ESP | | | | SP | | | |
| ESI | | | | SI | | | } Индексные регистры |
| EDI | | | | DI | | | |

Базовые регистры

Указатель стека

Индексные
регистры

Регистры общего назначения, базовые и индексные регистры

| | | | | | | | | | | | | | | | | | | | | | | | |
|--------|----|-----|-----|----|----|----|----|----|------|----|----|----|----|----|----|---|----|---|----|---|----|---|---|
| 31 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Резерв | ID | VIP | VIF | AC | VM | R | 0 | NT | IOPL | OF | DF | IF | TF | SF | ZF | 0 | AF | 0 | PF | 1 | CF | | |

Регистр признаков EFLAGS

| 31 | 16 | 15 | 0 |
|----|----|----|---|
| | | IP | |

Указатель команд EIP

Структура регистров процессора

Сегментные регистры

Биты 15

0

CS

Регистр сегмента команд

DS

Регистр сегмента данных

ES

Регистр дополнительного сегмента данных

FS

Регистр дополнительного сегмента данных

GS

Регистр дополнительного сегмента данных

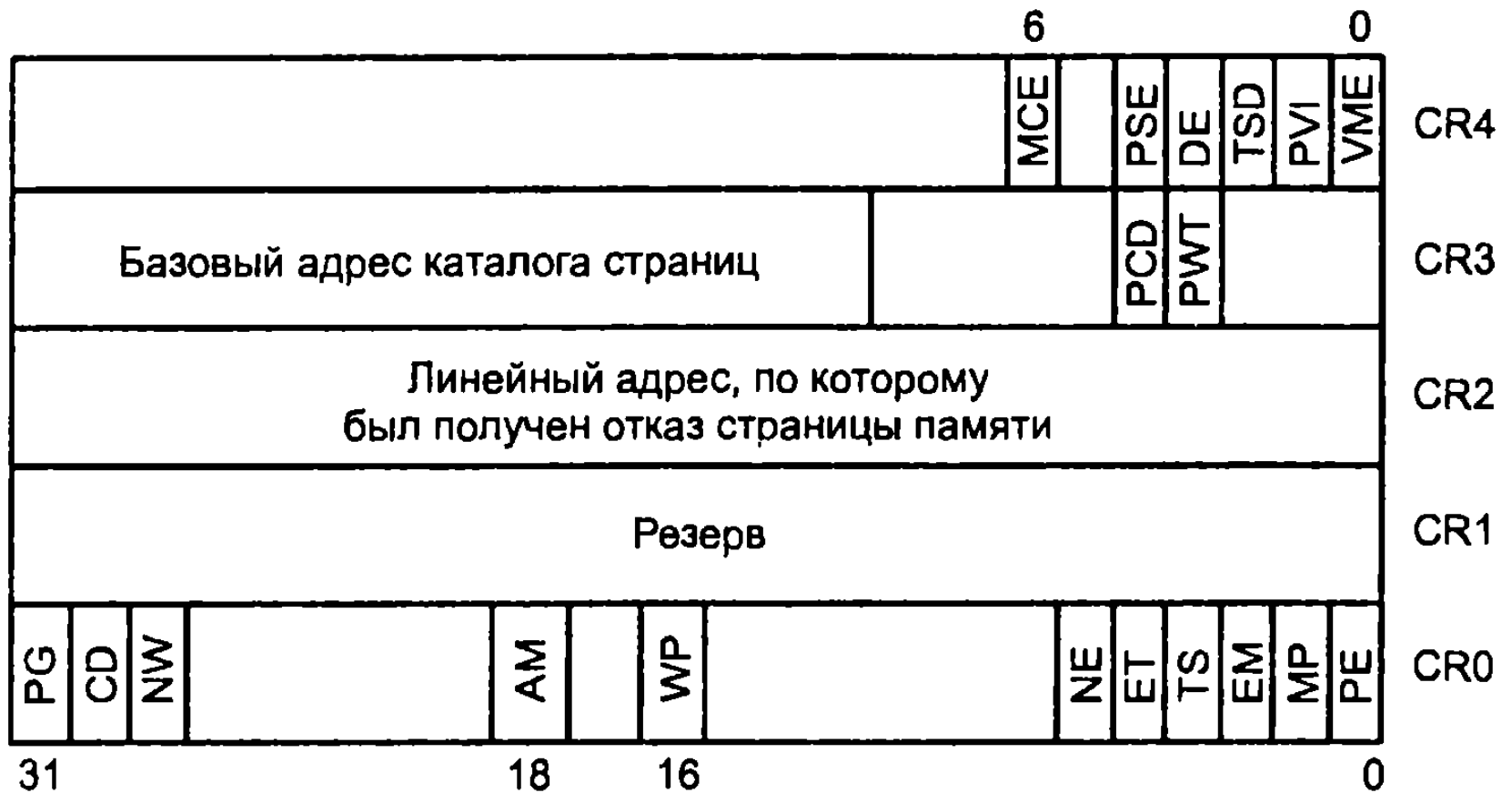
SS

Регистр сегмента стека

Регистры процессора с плавающей запятой



Регистры управления



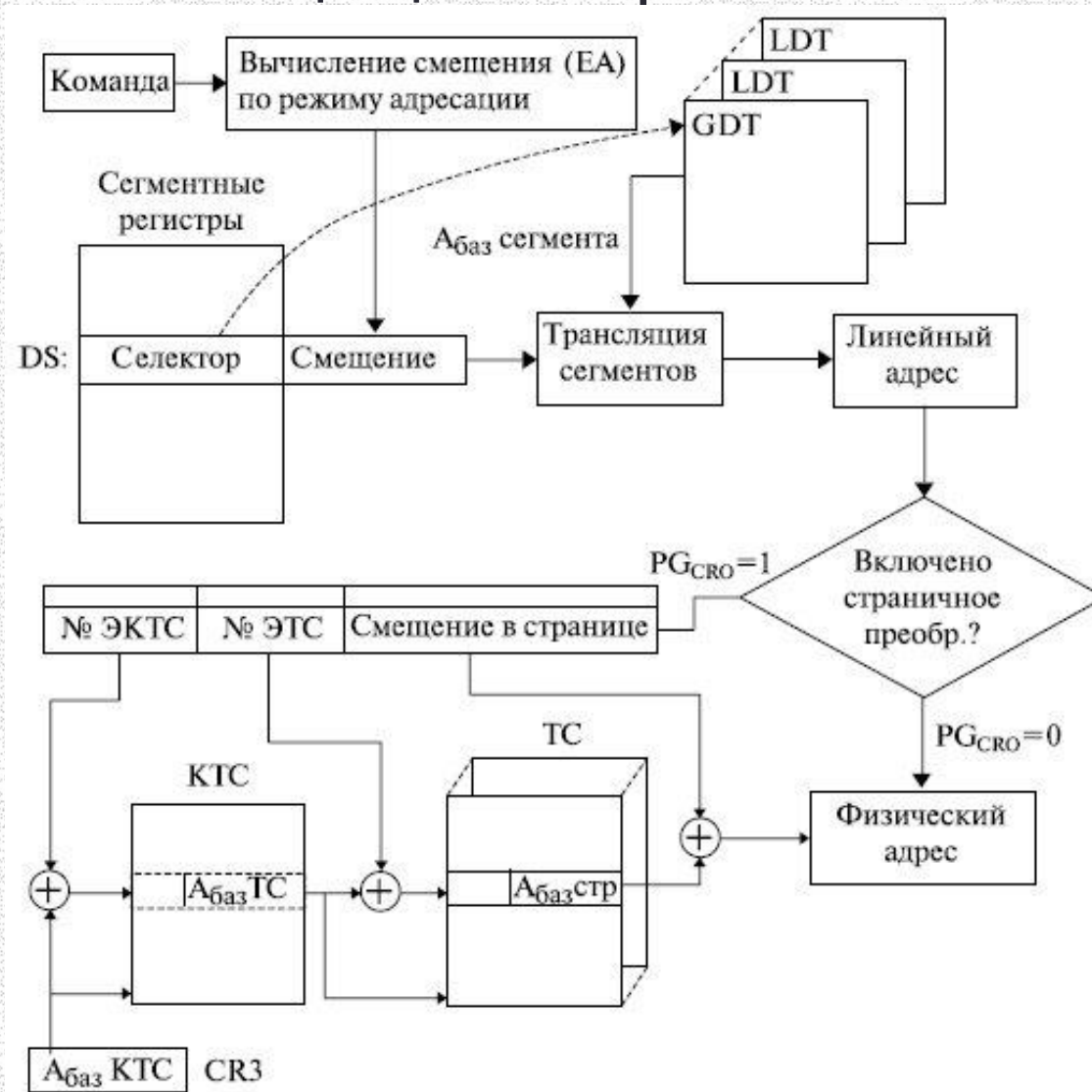
Регистры системных адресов и системных сегментов



Регистры отладки и тестирования

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------------------------------|--------|--------|----------|--------|--------|----------|--------|--------|----------|--------|--------|---|---|--------|---|---|---|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-----|---|---|---|-----|---|---|---|---|--------|--------|--------|--------|-----|
| 31 | | | | | | | | | | | | | | | | | | | | | | | | | 16 | 15 | | | | | | | | | 0 | | | | | | |
| Линейный адрес точки останова 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR0 | | | | | | | | | |
| Линейный адрес точки останова 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR1 | | | | | | | | | |
| Линейный адрес точки останова 2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR2 | | | | | | | | | |
| Линейный адрес точки останова 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR3 | | | | | | | | | |
| Зарезервировано | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR4 | | | | | | | | | |
| Зарезервировано | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR5 | | | | | | | | | |
| 0 | | | | | | | | | | | | | | | | | | | | | | | | B T | B S | B D | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | B 3 | B 2 | B 1 | B 0 | DR6 |
| LEN 3 | R 3 | W 3 | LEN 2 | R 2 | W 2 | LEN 1 | R 1 | W 1 | LEN 0 | R 0 | W 0 | 0 | 0 | G D | 0 | 0 | 0 | G E | L E | G 3 | L 3 | G 2 | L 2 | G 1 | L 1 | G 0 | L 0 | DR7 | | | | | | | | | | | | | |
| 31. | | | | | | | | | | | | | | | | | | | | | | | | | 16 | 15 | | | | | | | | | 0 | | | | | | |

Схема формирования физического адреса в защищенном режиме



Форматы дескрипторов для микропроцессоров 80286 и 80386 – Pentium 4

Дескриптор для 80286

| | | | |
|---|-----------------|-----------------|---|
| 7 | 0 0 0 0 0 0 0 0 | 0 0 0 0 0 0 0 0 | 6 |
| 5 | Права доступа | База (B23–B16) | 4 |
| 3 | База (B15–B0) | | 2 |
| 1 | Предел (L15–L0) | | 0 |

Дескриптор для 80386 – Pentium 4

| | | | | | | | |
|---|-----------------|----------------|---|---|--------|---------------------|---|
| 7 | База (B31–B24) | G | D | 0 | A V | Предел (L19–L16) | 6 |
| 5 | Права доступа | База (B23–B16) | | | | | 4 |
| 3 | База (B15–B0) | | | | | | 2 |
| 1 | Предел (L15–L0) | | | | | | 0 |

Пример вычисления границ сегмента

Пример 1

$G = 0$

$\text{Limit} = 001\text{FFH}$

$\text{Base} = \text{Start} = 10000000\text{H}$

$\text{End} = \text{Base} + \text{Limit} = 10000000\text{H} + 001\text{FFH} = 100001\text{FFH}$

Пример 2

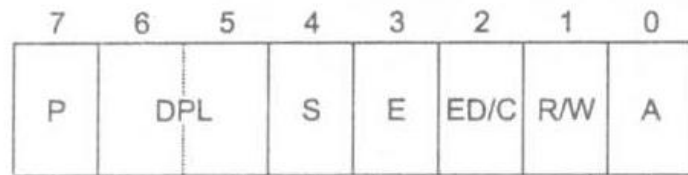
$G = 1$

$\text{Limit} = 001\text{FFH}$

$\text{Base} = \text{Start} = 10000000\text{H}$

$\text{End} = \text{Base} + \text{Limit} = 10000000\text{H} + 001\text{FFxxH} = 101\text{FFFFFH}$

Байт прав доступа



A = 0 Обращения к сегменту не было
A = 1 Было обращение

E = 0 Сегмент данных
ED = 0 Расширение вверх (данные)
ED = 1 Расширение вниз (стек)
W = 0 Запись запрещена
W = 1 Запись разрешена

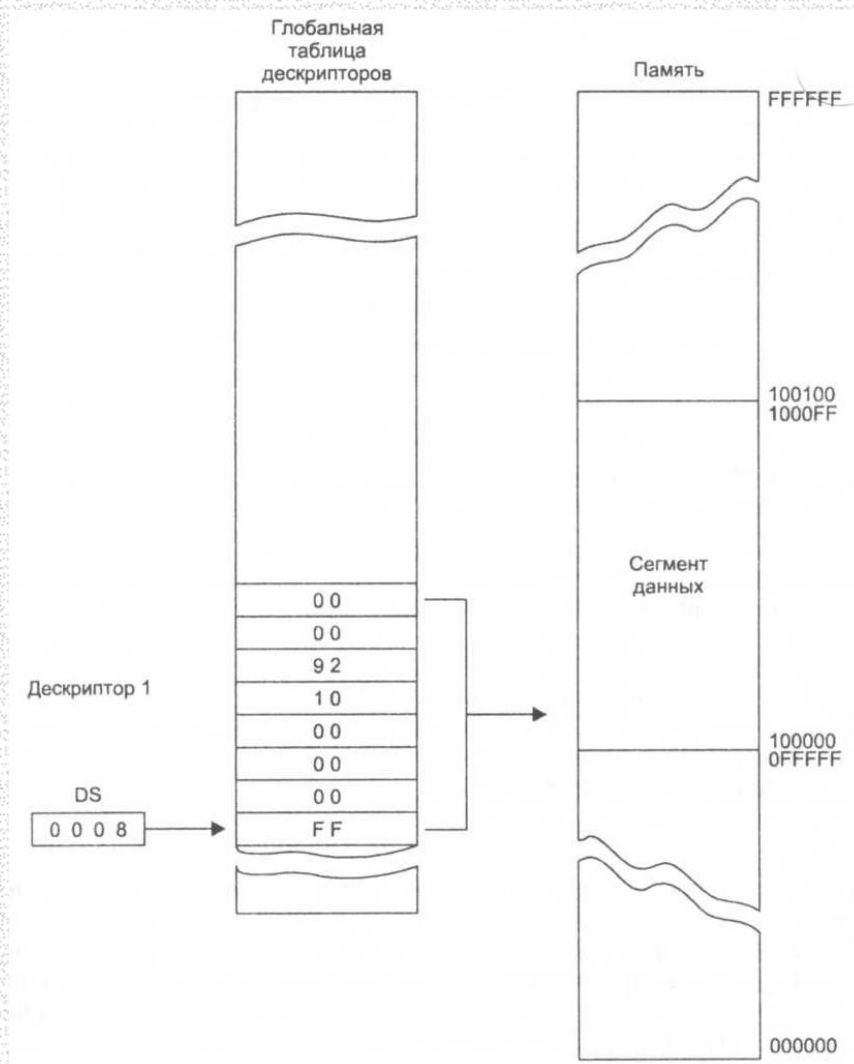
E = 1 Сегмент кода
C = 0 Игнорировать уровень привилегий
C = 1 Соблюдать уровень привилегий
R = 0 Чтение запрещено
R = 1 Чтение разрешено

S = 0 Системный дескриптор
S = 1 Дескриптор кода или данных
DPL = Уровень привилегий
P = 0 Дескриптор не определен
P = 1 Сегмент содержит правильную базу и предел

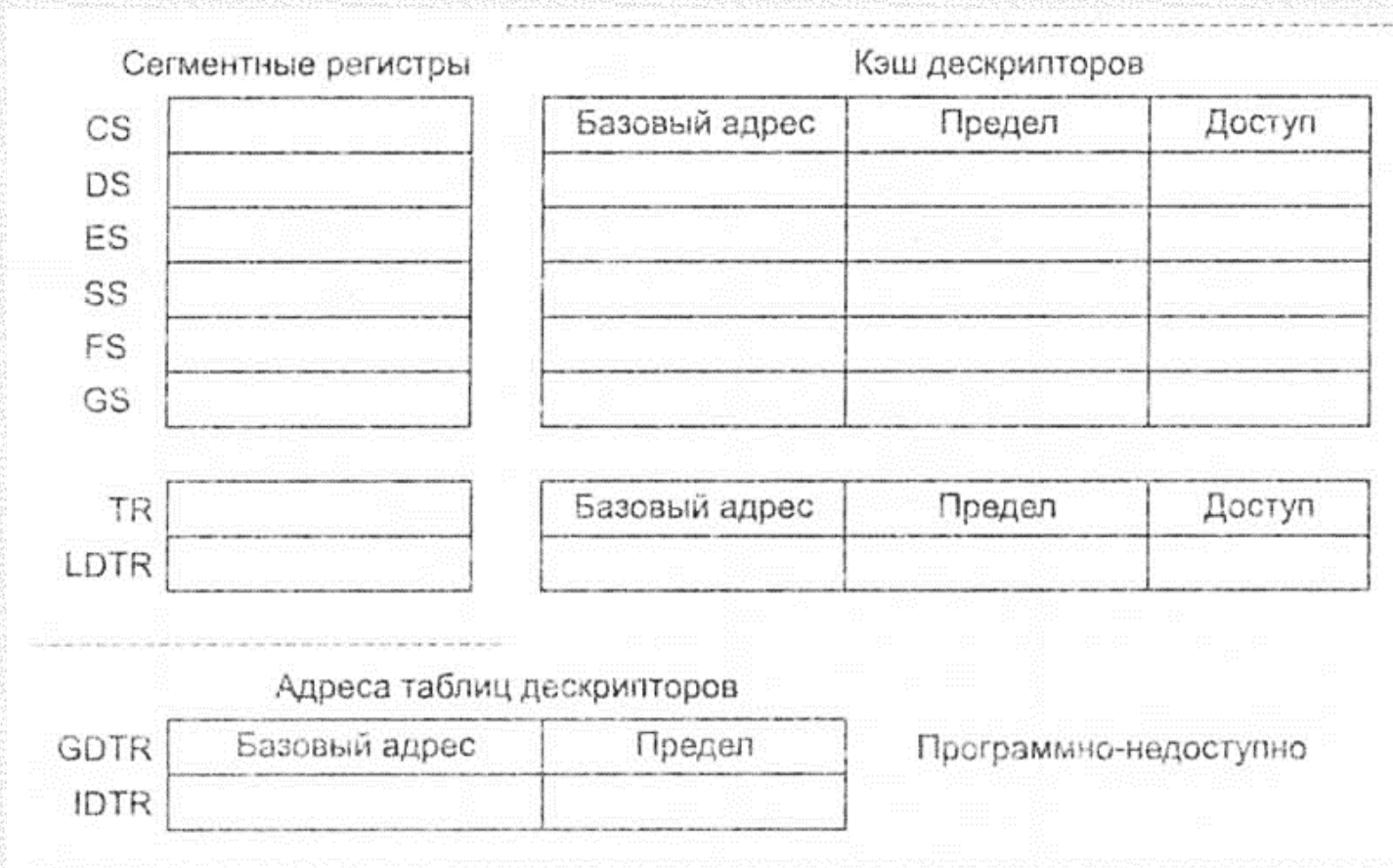
Содержимое сегментного регистра в защищенном режиме



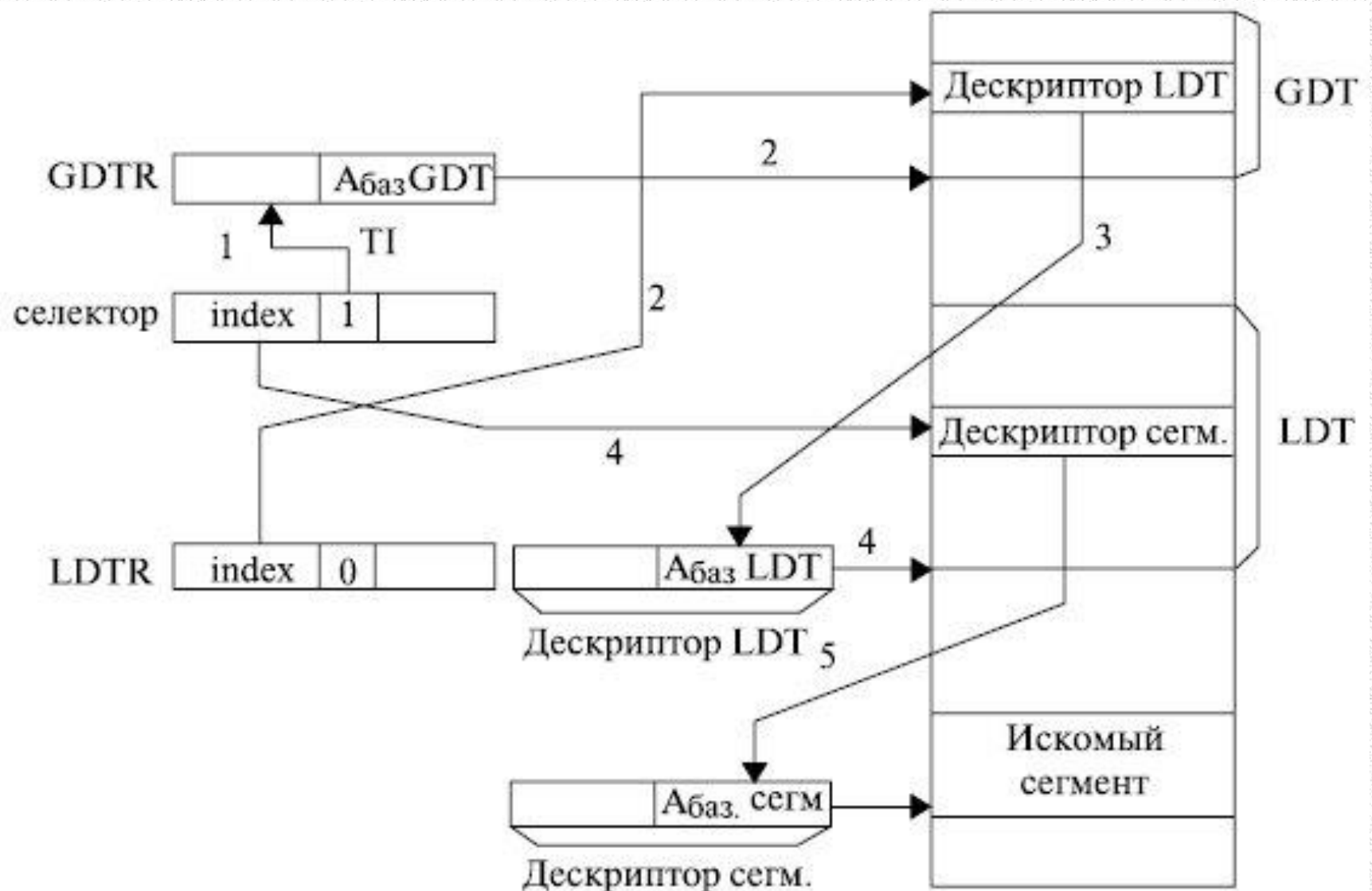
Использование регистра DS при выборе дескриптора из глобальной таблицы дескрипторов



Программно-недоступные регистры микропроцессоров 80286 – Pentium 4

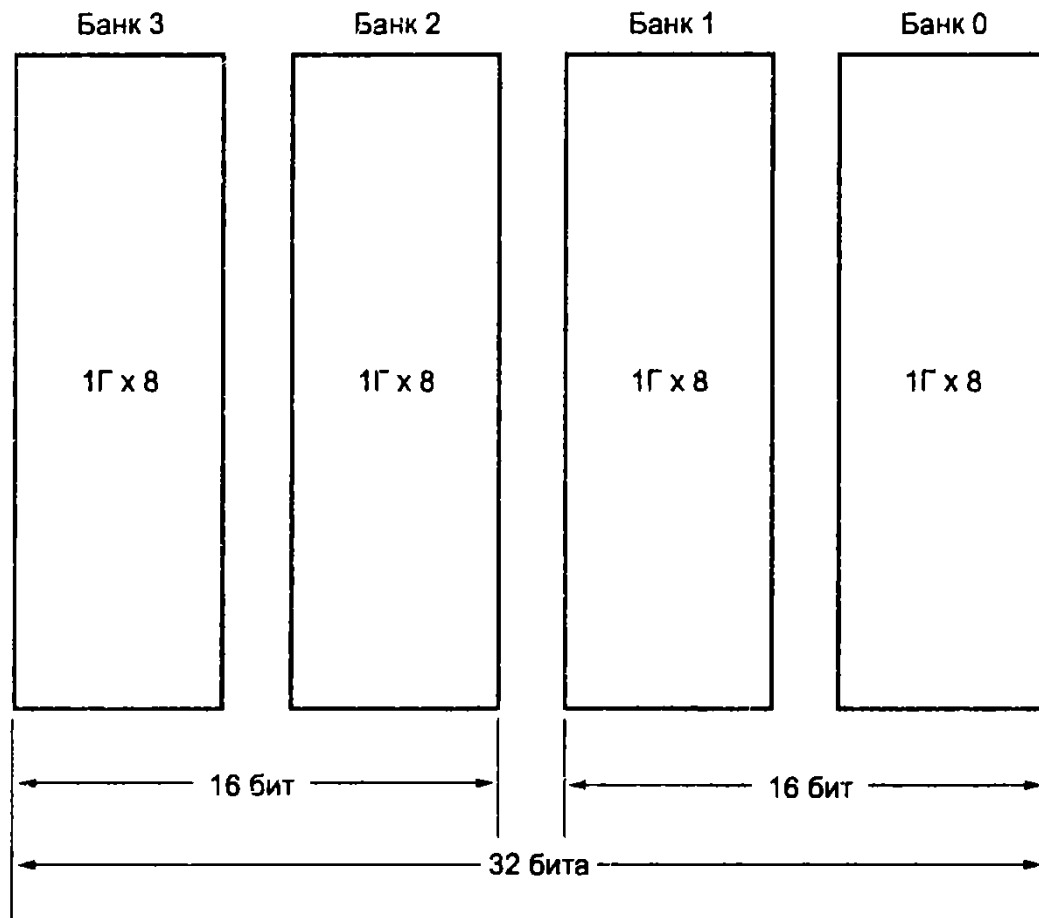


Получение дескриптора из LDT



МП i80386

- 32-разрядная архитектура;
- поддержка виртуальной памяти;
- более высокая скорость и разрядность;
- управление памятью реализовано на аппаратном уровне;
- конвейерная адресация.

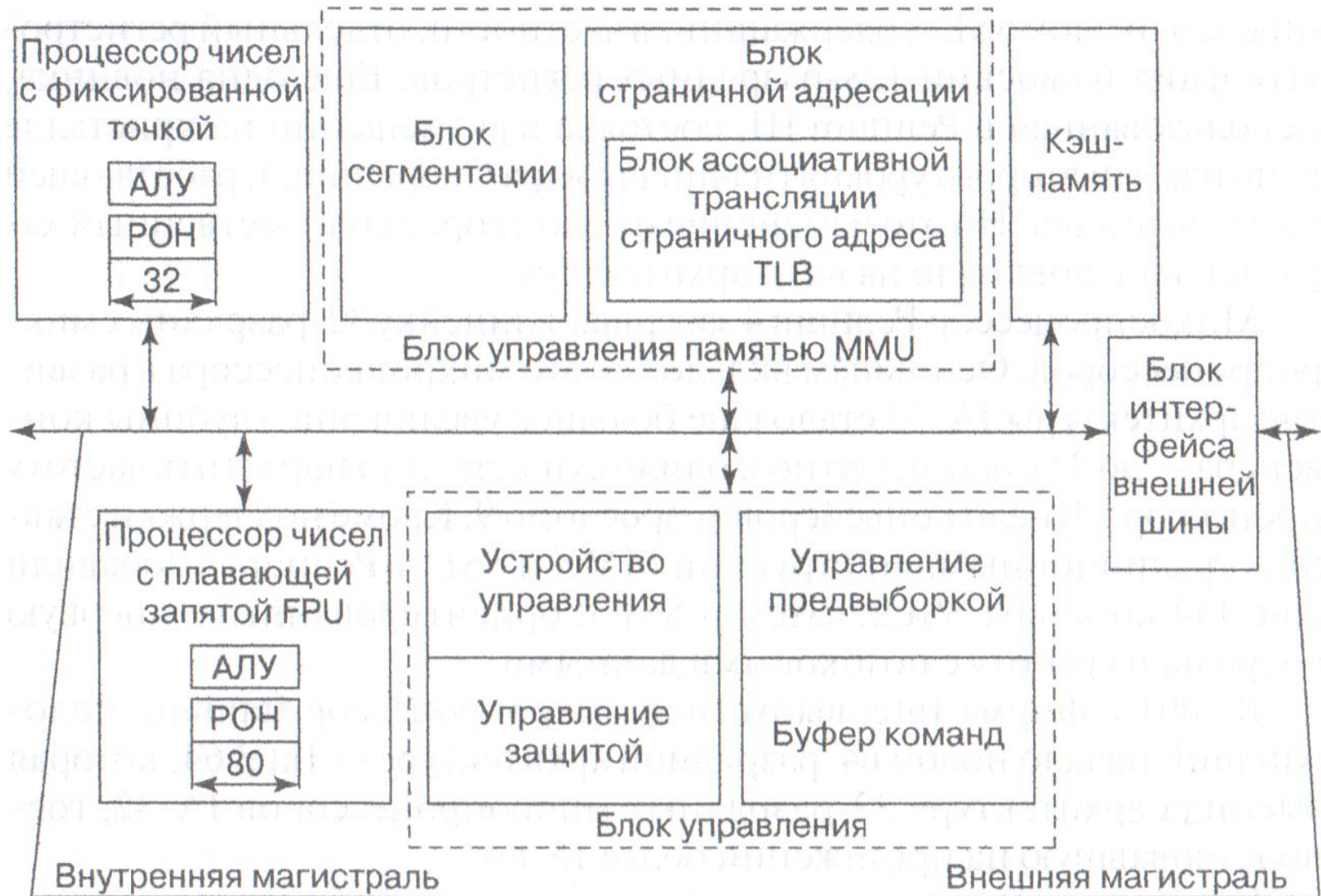


Регистры отладки и тестирования

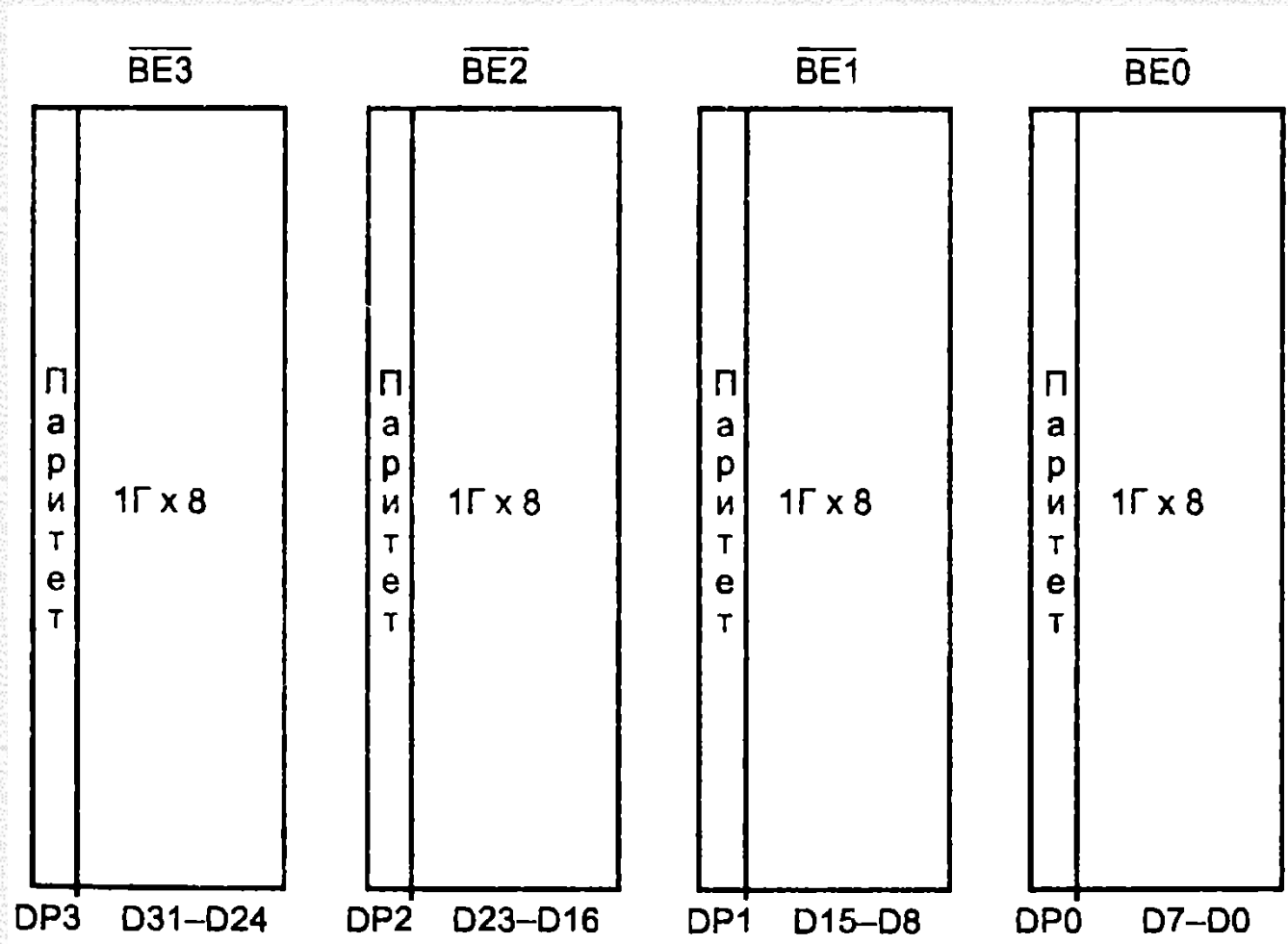
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------------------------------|---|---|-----|---|---|-----|---|---|-----|---|---|---|---|---|---|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|---|---|---|---|---|---|---|---|---|---|---|-----|--|--|--|--|--|-----|--|--|--|
| 31 | | | | | | | | | | | | | | | | 16 15 | | | | | | | | | | | | | | | | 0 | | | | | | | | | | | | | | | | | | | |
| Линейный адрес точки останова 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR0 | | | |
| Линейный адрес точки останова 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR1 | | | |
| Линейный адрес точки останова 2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR2 | | | |
| Линейный адрес точки останова 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR3 | | | |
| Зарезервировано | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR4 | | | |
| Зарезервировано | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DR5 | | | |
| 0 | | | | | | | | | | | | | | | | | | | | | | | | B | B | B | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | B | B | B | B | DR6 | | | | | | | | | |
| LEN | R | W | LEN | R | W | LEN | R | W | LEN | R | W | 0 | 0 | G | 0 | 0 | 0 | G | L | G | L | G | L | G | L | G | L | G | L | DR7 | | | | | | | | | | | | | | | | | | | | | |
| 3 | 3 | 3 | 2 | 2 | 2 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | D | 0 | 0 | 0 | E | E | 3 | 3 | 2 | 2 | 1 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | |
| 31. | | | | | | | | | | | | | | | | 16 15 | | | | | | | | | | | | | | | | 0 | | | | | | | | | | | | | | | | | | | |

| | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------------|--|--|--|--|--|--|--|--|--|--|--|----|----|--------|---|--------|---|--------|--------|-----|---|---|---|-----|---|
| 31 | | | | | | | | | | | | 12 | 11 | | | | | | | | | | | | 0 |
| Линейный адрес | | | | | | | | | | | | V | D | D # | U | U # | W | W # | 0 | 0 | 0 | 0 | C | TR6 | |
| Физический адрес | | | | | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P L | REP | | 0 | 0 | TR7 | |

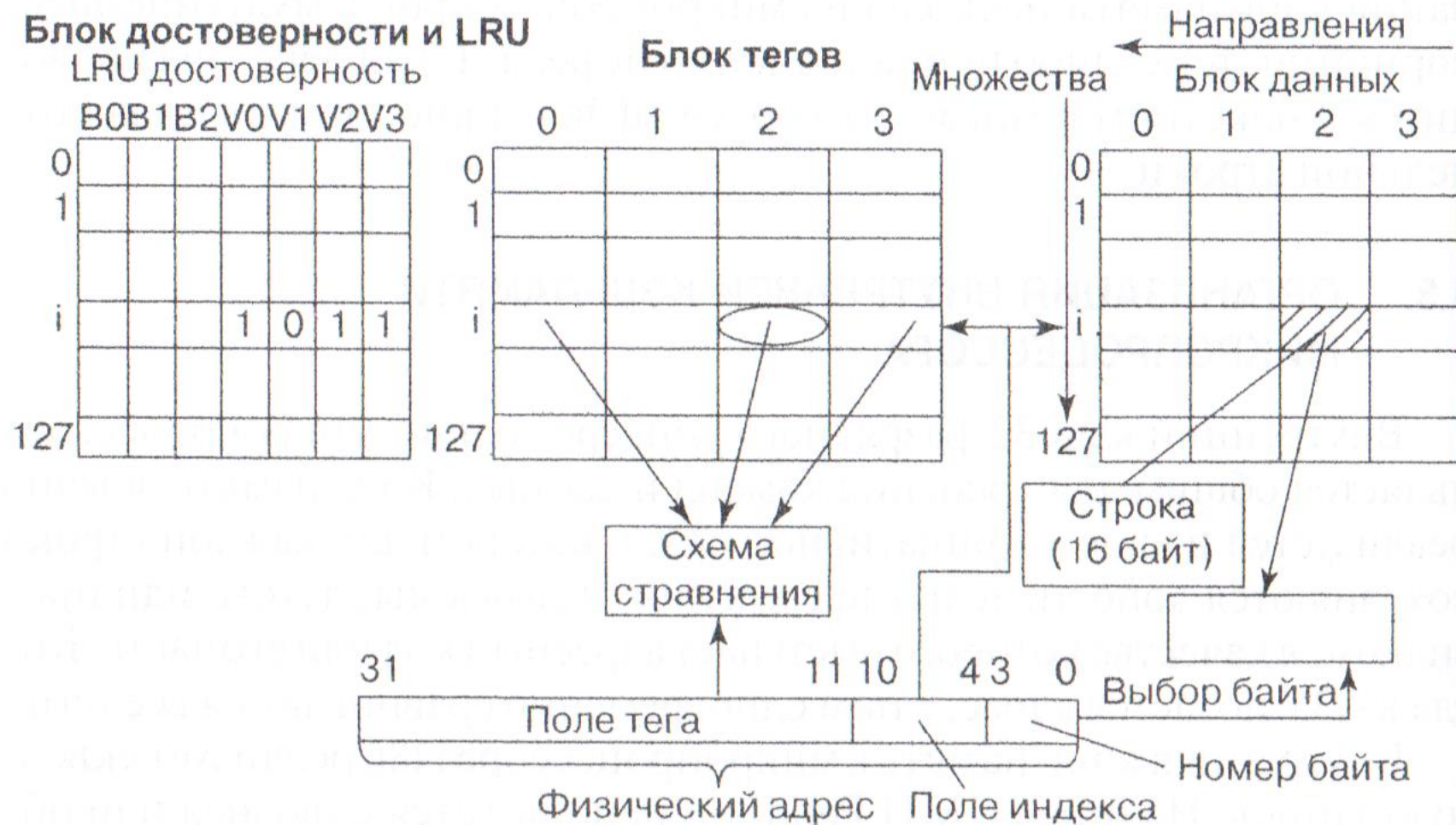
Структура МП i80486



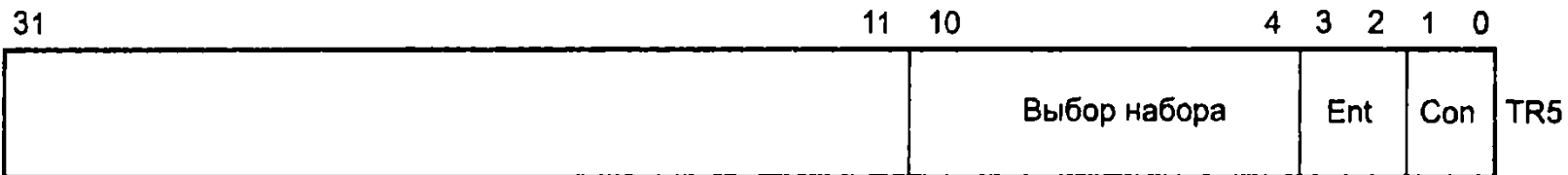
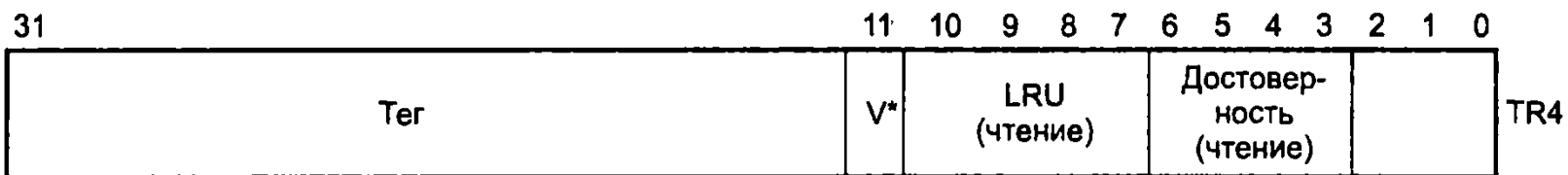
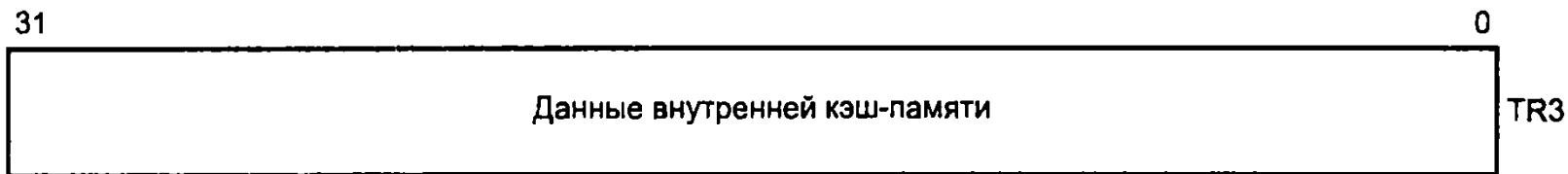
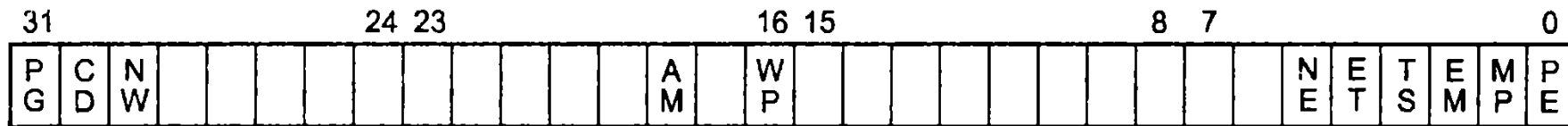
Структура памяти



Структура внутренней кэш-памяти

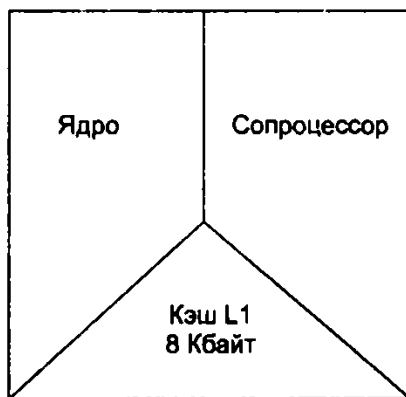


Управляющий регистр CR0 и тестовые регистры

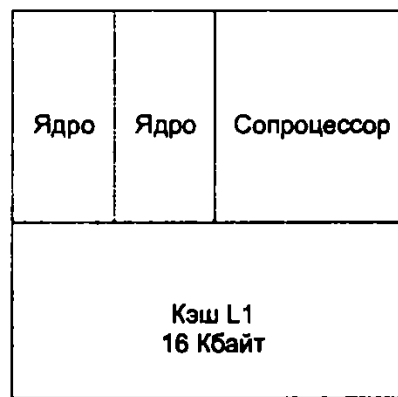


V* – бит достоверности

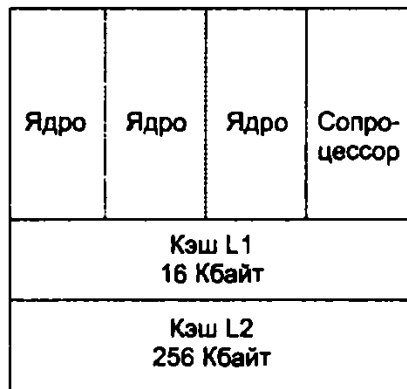
Структурные отличия микропроцессоров 80486, Pentium Pro, Pentium II, Pentium III и Pentium 4



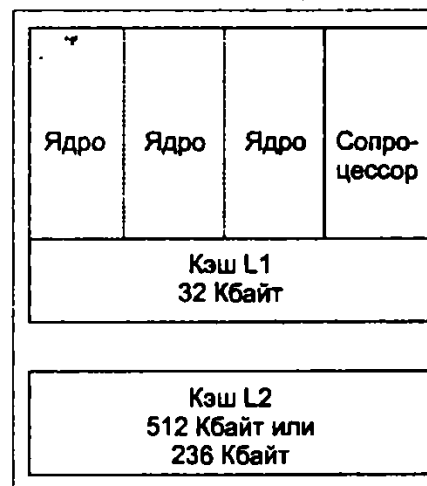
80486DX



Pentium



Pentium Pro

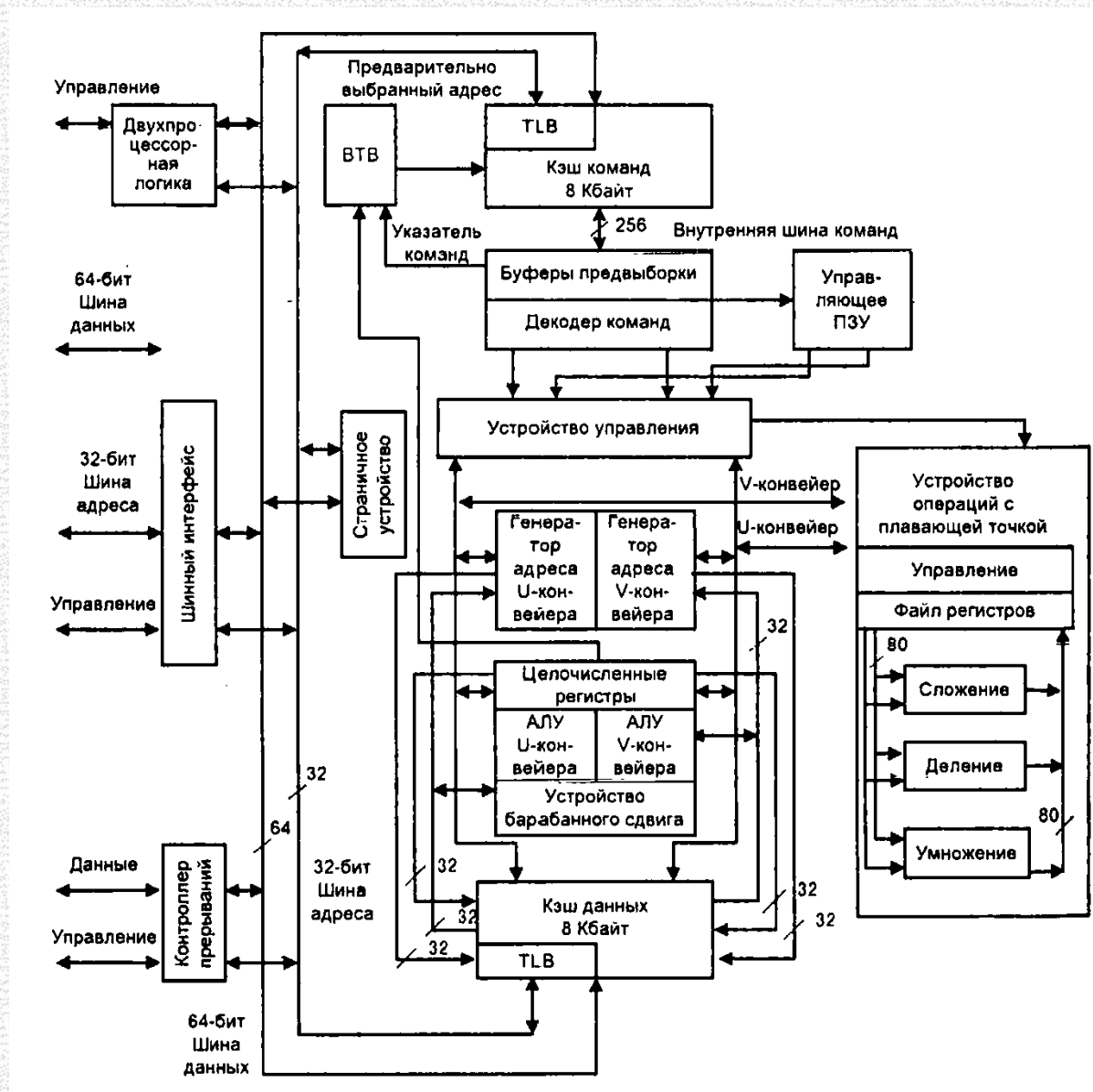


Pentium II, Pentium III
и Pentium 4

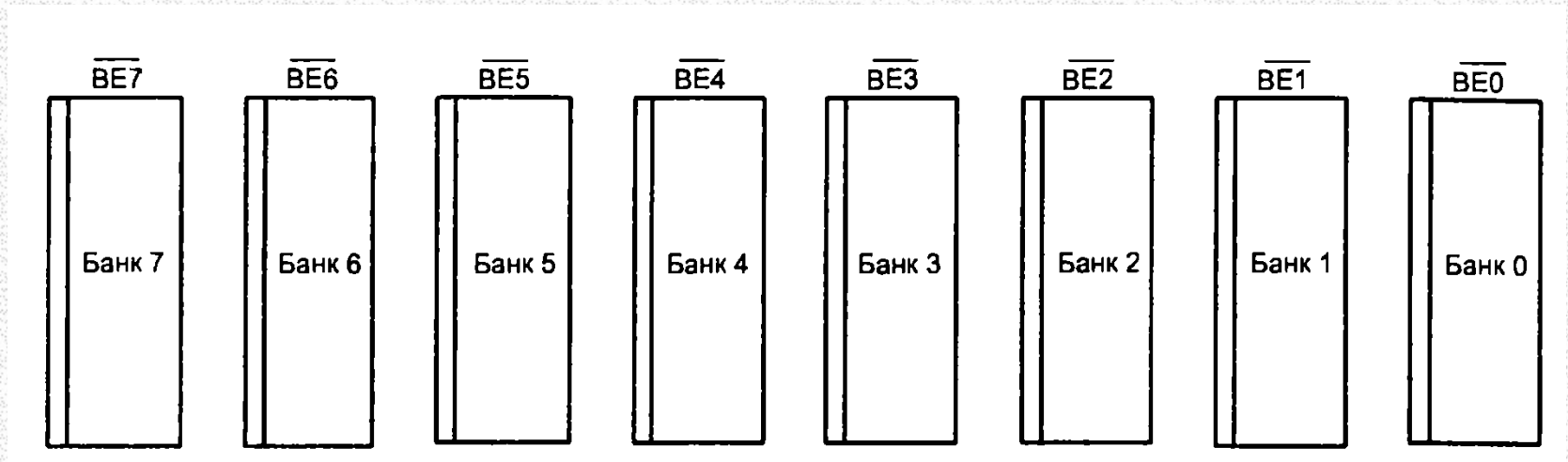
Особенности процессоров Pentium

- близкая к суперскалярной архитектура;
- отдельные типы кэш-памяти команд и данных;
- предсказание переходов;
- высокопроизводительные операции с плавающей точкой;
- усовершенствованная 64-разрядная шина данных;
- средства обеспечения целостности данных;
- SL-технология со средствами управления энергопотреблением;
- поддержка многопроцессорности;
- мониторинг производительности;
- поддержка различных размеров страницы памяти.

Структура микропроцессора Pentium



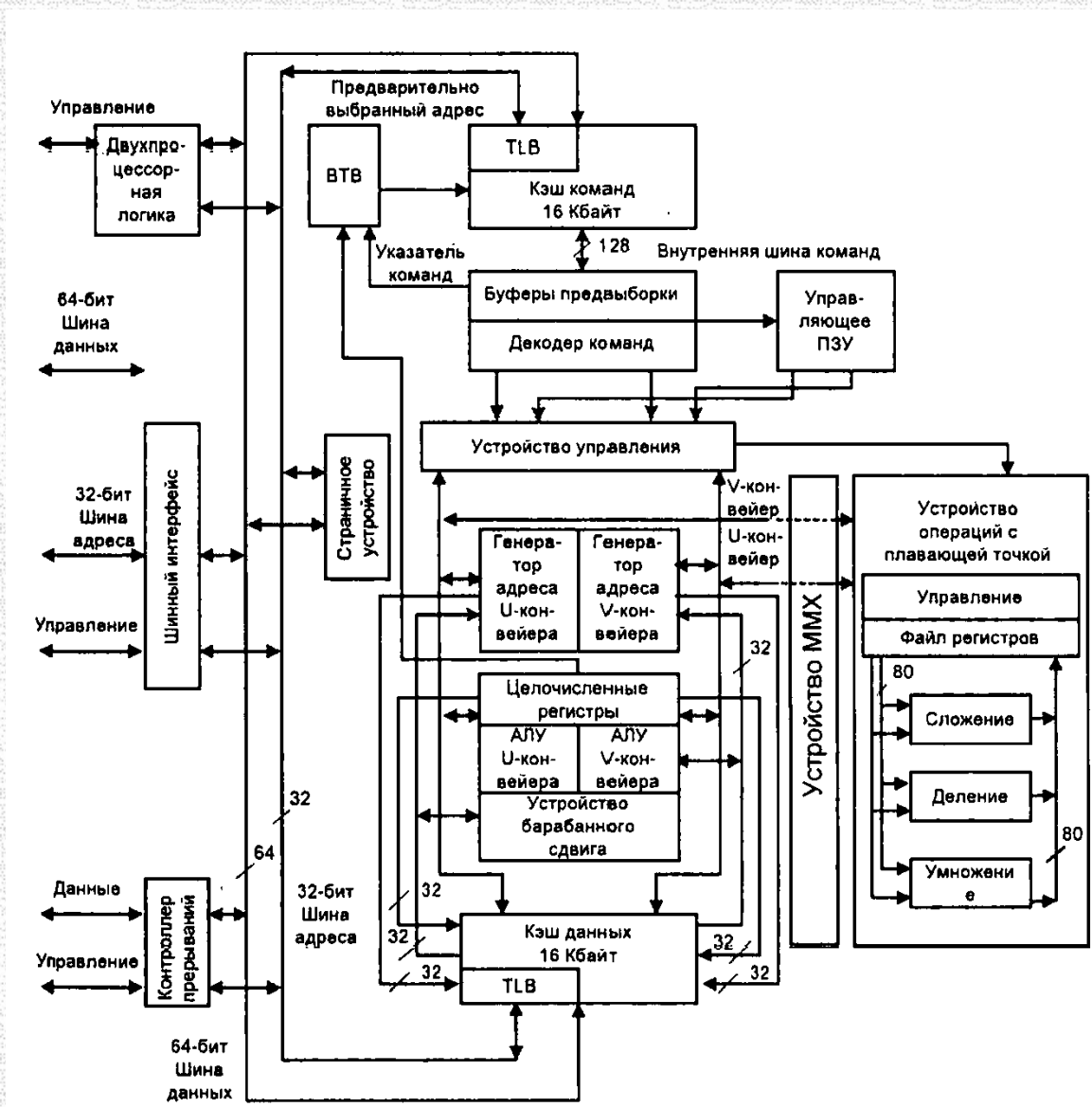
Организация банков памяти



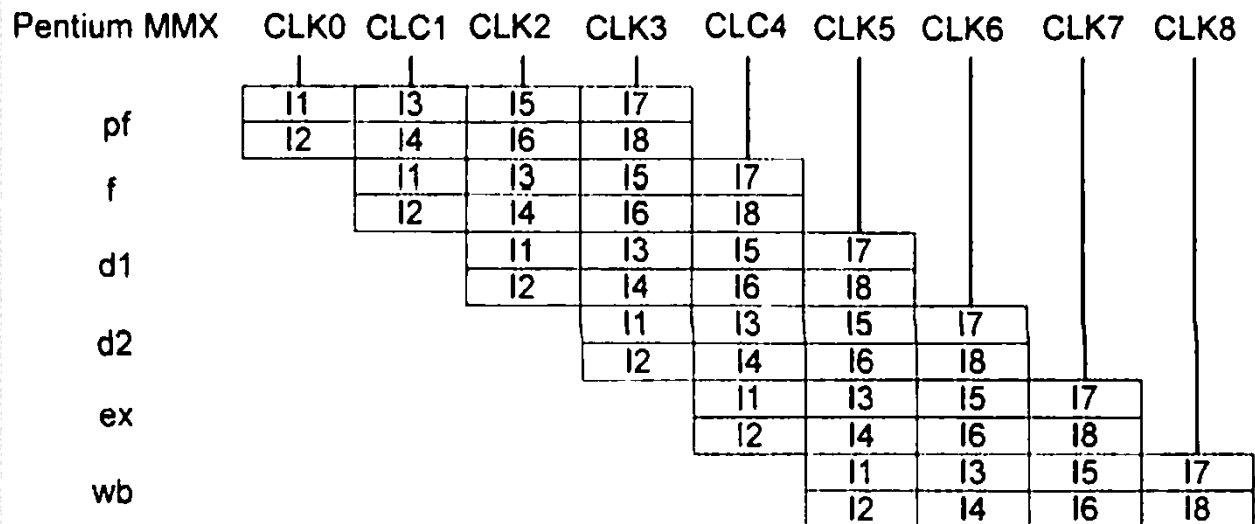
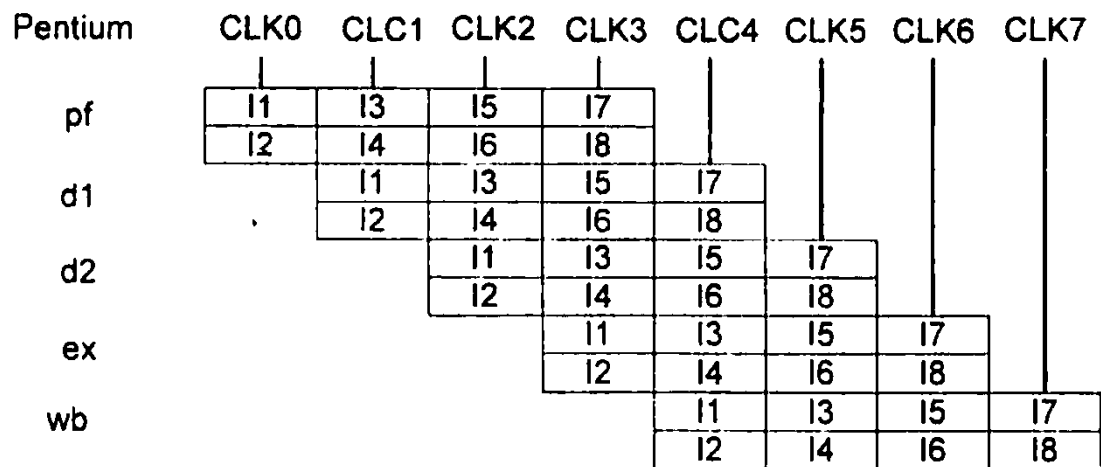
Отличия Pentium MMX

- Поддержка выполнения мультимедийного набора команд;
- Удвоенные объемы типов кэш-памяти данных и команд (по 16 Кбайт каждый);
- Улучшенная логика предсказания переходов;
- Расширенная конвейеризация;
- Более глубокая буферизация записи.

Структурная схема Pentium MMX



Выполнение команд в Pentium и в Pentium MMX



Выполнение умножения с накоплением

Загрузка
MMX-регистра

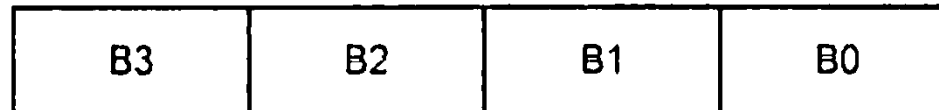


64-разрядный
MMX-регистр

MOVQ MMX REG, memory (64-bit)



Умножение и
сложение
содержимого
MMX-регистра и
памяти



PMADDWD MMX REG, memory (64-bit)

Сложить
результат с
содержимым
аккумулятора

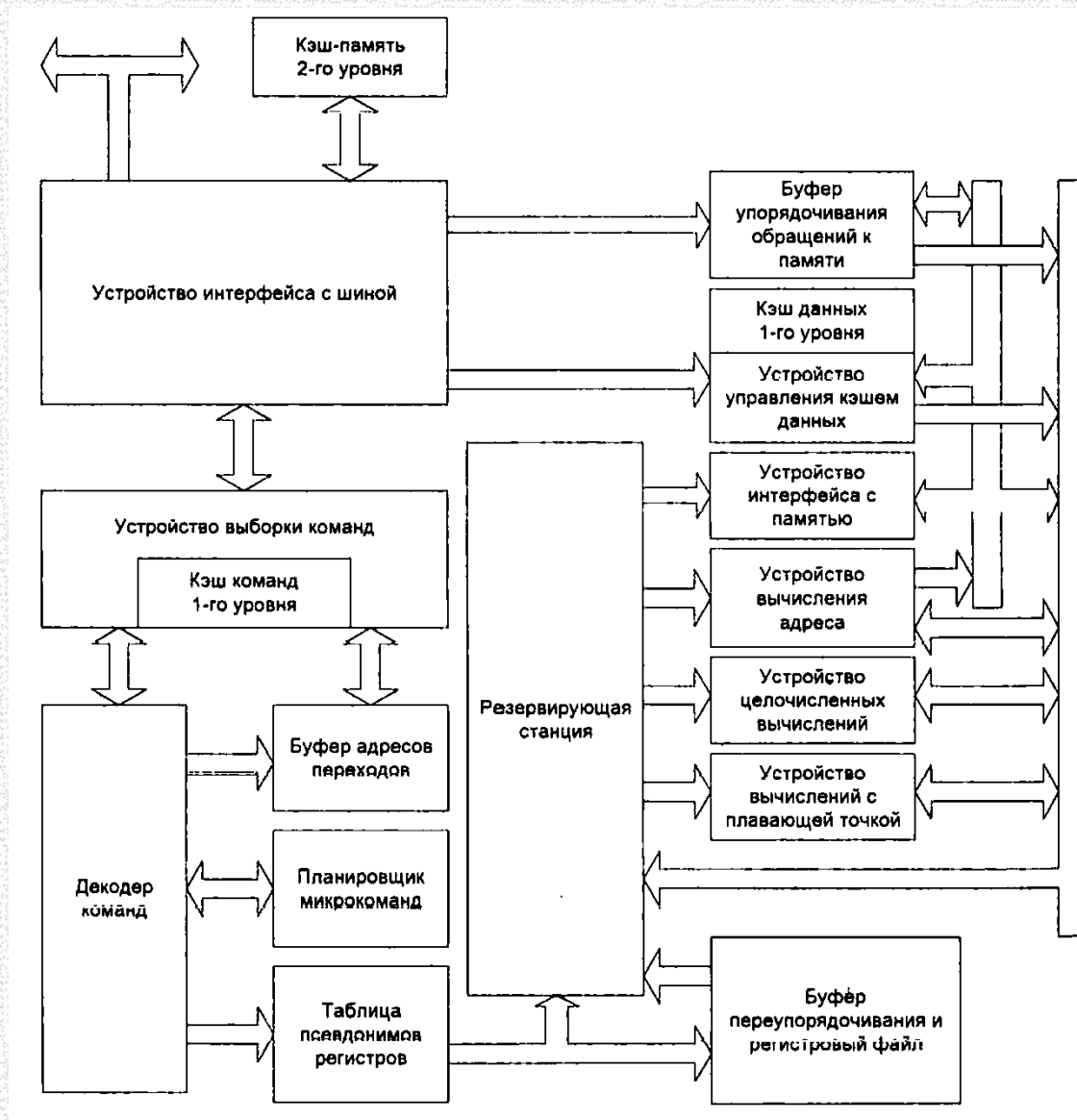


PADDD ACC MMX REG

Отличия Pentium Pro

- Ядро состоит из трех конвейеров.
- Введена кэш-память второго уровня (L2) объемом 256 Кбайт.
- Оптимизирована обработка 32-разрядных данных.
- Адресное пространство увеличено до 64 Гбайт; ширина шины адреса – 36 бит.
- Разнесенная архитектура.
- Динамическое выполнение команд.
- Двойная независимая шина.

Структура микропроцессора Pentium Pro



Особенности процессоров Pentium II

- Динамическое исполнение кода;
- Двойная независимая шина;
- Содержит блок MMX;
- Выполнен в виде печатной платы, на которой дополнительно установлена кэш-память второго уровня L2 (512 Кбайт).

Особенности процессоров Pentium III

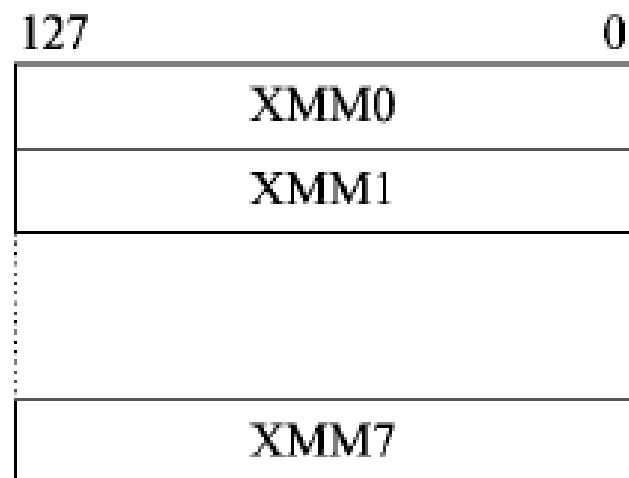
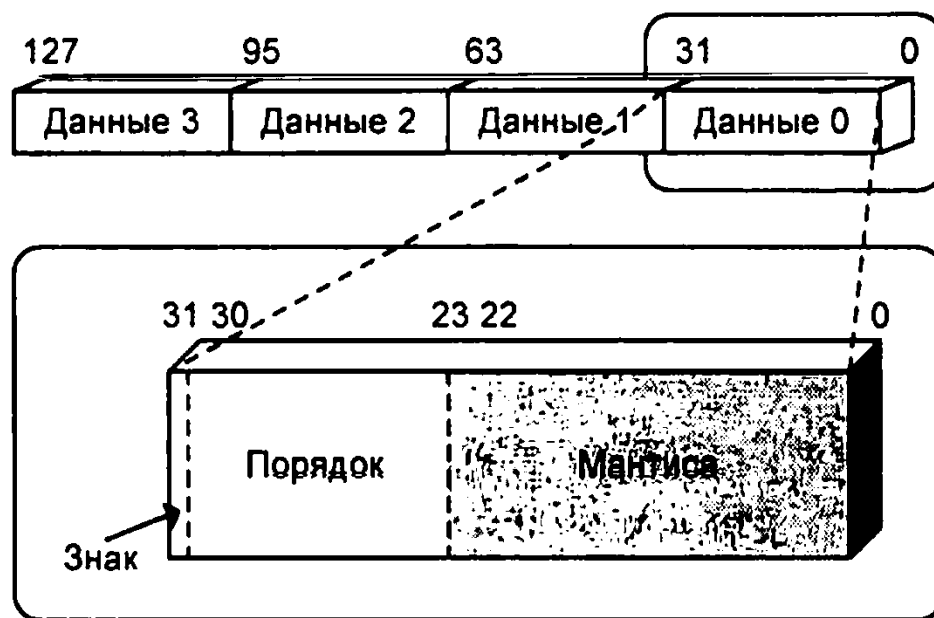
- Тактовая частота от 450 МГц до 1 ГГц;
- При изготовлении используется 0,25 мкм технологический процесс;
- В систему команд, наряду с командами MMX-расширения, включено 70 новых SIMD-инструкций, улучшающих работу с приложениями трехмерной графики, потокового аудио, видео и распознавания речи;
- Применена архитектура двойной независимой шины;
- Содержит неблокируемую кэш-память первого уровня емкостью 32 Кбайт и унифицированную неблокируемую кэш-память второго уровня емкостью 512 Кбайт;
- Поддерживает кэширование памяти с объемом адресного пространства до 4 Гбайт.

Категории новых команд процессора Pentium III

- SIMD-команды обработки данных в формате с плавающей точкой одинарной точности (SPFP-команды);
- Дополнительные SIMD-команды для обработки целочисленных данных;
- Команды управления кэшированием;
- Команды сохранения и восстановления состояния процессора (MXCSR – регистр состояния и управления).

Формат представления SPFP-данных

Упакованные SPFP-данные



Особенности процессоров Pentium 4

- Работа с системной шиной, имеющей эффективную частоту 400 МГц;
- Удвоение частоты работы блоков АЛУ микропроцессора;
- Значительное увеличение длины исполнительного конвейера;
- Добавлены 144 новые команды поточной SIMD-обработки SSE-2;
- Размещение кэш-памяти второго уровня на кристалле.

Структура микропроцессора Pentium 4

