

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）在每小题列出的四个备选项中只有一个是符合题目要求的，请将其代码填写在题后的括号内。错选、多选或未选均无分。

1. 电子设计自动化技术的发展大致分为 CAD 阶段、CAE 阶段和

- A.FPGA 阶段  
B.CPLD 阶段  
C.EDA 阶段  
D.HDL 阶段

2. 设计者将所设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来, 并送入计算机的过程, 这是现代数字系统设计开发流程的哪个环节?

- A.设计准备  
B.设计输入  
C.设计处理  
D.器件编程

3. 按照仿真是否考虑硬件电路的延时信息来分类, HDL 仿真器可以分为功能仿真器和

- A.VHDL 仿真器  
B.编译型仿真器  
C.解释型仿真器  
D.时序仿真器

4. ISE Foundation 提供了两种测试激励文件的编写方法，一种是利用 HDL 编写，另一种采用的编写工具是

- A. TestBench  
C. ECS  
B. XST  
D. HDL Editor

5. 设  $a=4'b0101$ ,  $b=4'b10110$ , 按照 Verilog HDL 语法, 执行语句 `assign c=(a>b)?a:b;` 则

- A.4'b0001                      B.4'b0010  
C.4'b0101                      D.4'b1010

6. IP Core 按照功能方面划分可分为嵌入式 IPCore 和

- A.硬 IP Core                      B.固 IP Core  
C.通用 IP Core                  D.DSP IP Core

7. 为合理选择 IPCore, 应主要从三个方面考虑: IPCore 的功能, 性能可靠性和

- A.实现技术  
B.开发环境  
C.设计时间  
D.核的验证结果

8. 下面关于 Modelsim 的描述, 错误的是

- A.它是 Mentor Granpics 公司开发的独立仿真器  
B.它是唯一的单内核支持 VHDL 和 Verilog HDL 混合仿真的仿真器  
C.它能够对程序进行调试, 测试代码覆盖率, 对波形进行比较  
D.它只能单独使用, 不能在 ISE Foundation 中被调用

9. 在单独使用 Modelsim 时, 首先建立工程, 添加源文件, 然后编译并导入测试文件, 执行仿真的方式是

- A.时序仿真                  B.编译方式  
C.工程方式                 D.基本方式

10. 可编程逻辑器件从可编程特性分类, 被认为可实现无限次编程的技术是

- A. 紫外线擦除技术  
B. SRAM 配置存储器技术  
C. 闪速存储器技术  
D. 熔丝和反熔丝编程技术

11. 基于查找表结构的可编程逻辑器件是

- A.CPLD                      B.FPGA  
C.PAL                         D.GAL

12. FPGA 中的嵌入式处理器一般情况下可以使用状态机模式、单片机模式和

- A.定制嵌入模式  
B.寄存器模式  
C.总线模式  
D.编译模式

13. 下面哪项是属于基于 EDK 的嵌入式设计中的硬件设计工作范畴?

- A. 使用 EDK 工具进行硬、软核集成
- B. 编写独立于器件的 C / C++ 应用程序
- C. 根据 EDK 对系统的配置脚本生成对应的 HAL 库
- D. 将编译、链接后生成的可执行程序下载到目标器件, 进行硬件级的调试、测试和优化

14. Aldec 公司提供的 HDL 仿真器是

- A. Analysit
- B. Synplify Pro
- C. Active HDL
- D. iMPACT

15. FPGA Advantage 是 Mentor Graphic 公司开发的

- A. 设计管理工具
- B. 高级仿真调试工具
- C. 后仿真工具
- D. FPGA 全流程工具

二、名词解释题 (本大题共 3 小题, 每小题 2 分, 共 6 分)

16. EDO

17. SOPC

18. CPLD

三、判断改错题 (本大题共 4 小题, 每小题 4 分, 共 16 分) 判断正误, 在题后的括号内, 正确的划上“V”, 错误的划上“x”, 并改正错误。

19. “自底向上”设计方法首先是从系统设计入手, 在顶层进行功能划分和结构设计, 然后再逐级设计底层结构, 最后再用 EDA 工具生成具体的门级逻辑电路网表。( )

20. ISE Foundation 在综合工具上还可以内嵌 Mentor Graphic 公司、Synplicity 公司的产品, 实现无缝链接。( )

21. 在一个完整的功能模块中, 可能同时存在软 IP Core 部分和硬 IP Core 部分, 软核部分提供某种程度的可调整性和适应性, 硬核部分节省了芯片设计时间。( )

22. 时序仿真是直接对 HDL、原理图描述或其他描述形式的逻辑功能进行测试模拟, 以了解其实现的功能是否满足原设计的要求的过程, 仿真过程不涉及任何具体器件的硬件特性。( )

四、简答题 (本大题共 4 小题, 每小题 5 分, 共 20 分)

23. 可综合的 VHDL / Verilog HDL 转化成硬件电路时, 包含了哪三个过程? 简述每个过程实现的工作。

24. 简述软核与硬核在应用中各自的优缺点。

25. 在 Modelsim 中编译 Xilinx 器件仿真库时, 需要添加 Simprims、Unisims、Xilinxcorelib 三个库, 简述以上三个库函数编译后的各自用途。试简要写出在 Modelsim 仿真器中编译仿真库的操作步骤。

26. 简述 FPGA 和 CPLD 在内部互连资源与连线结构上的特点与差异。

五、程序分析题 (本大题共 2 小题, 第 27 小题 10 分, 第 28 小题 14 分, 共 24 分)

27. 分析下面的 Verilog HDL 程序, 回答问题。

```
module testl (in1,in2,in3,out1,out2);  
input[1:0] in1,in2,in3;  
output [1:0] out1, _____;  
_____ [1:0] out1;
```

```

_____ [1:0] out2;
always @ (in1 or in2)
out1=in1 & in2;
assign out2=in2 | in3;
endmodule

```

- (1) 完成程序填空。
- (2) 如果输入信号值如题 27 表所示，写出功能仿真后相应的输出信号值，完成填表。

题 27 表

in1	in2	in3	out1	out2
2'b00	2'b01	2'b10		

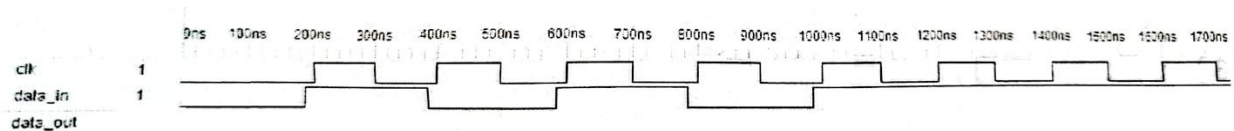
28 . 分析下面的 Verilog HDL 程序，回答问题。

```

module test2(data_in,data_out,clk);
input data_in;
input clk;
output data_out;
_____ data_temp1,data_temp2,data_out;
_____ @(posedge clk)
_____
    data_temp1 <=data_in;
    data_temp2<=data_temp1;
    data_out<=data_temp2;
end
endmodule

```

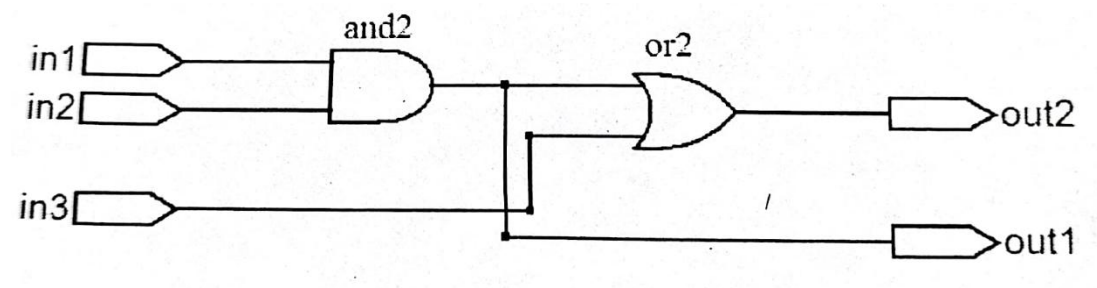
- (1) 完成程序填空。
- (2) 根据题 28 图给出的测试文件波形，画出输出信号的功能仿真波形。



题 28 图

六、编程题（本大题共 2 小题，第 29 小题 8 分，第 30 小题 11 分，共 19 分）

29 . 根据题 29 图所示原理图写出相应的 Verilog HDL 程序。

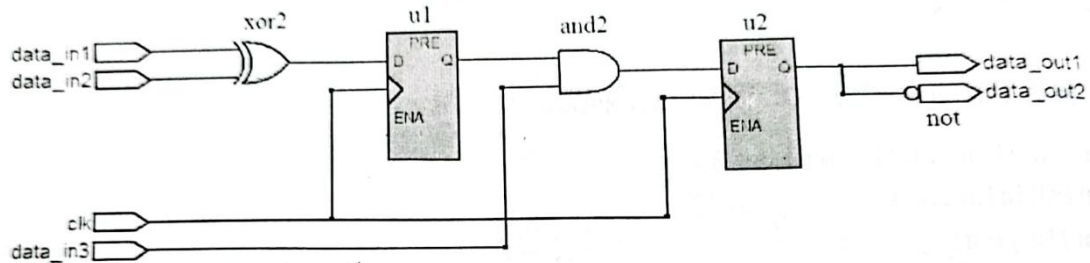


题 29 图

说明：

- (1) 模块输入端口：in1, in2, in3。
- (2) 模块输出端口：out1, out2。
- (3) or2 是二输入或门，and2 是二输入与门。

30．根据题 30 图中所示原理图写出相应的 Verilog HDL 程序。



题 30 图

说明：

例化名为 u1, u2 的模块均是时钟 clk 上升沿触发的触发器。

xor2 是二输入异或门，and2 是二输入与门，not 是一输入非门。

输入信号：

data\_\_in1, data\_\_in2, data\_\_in3: 均是位宽为 1bit 的信号。

clk: 系统时钟。

输出信号：

data\_\_out1, data\_\_out2: 均是位宽为 1bit 的信号。

参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.C 2.B 3.D 4.A 5.D 6.C 7.A 8.D 9.C 10.B 11.B 12.A 13.A 14.C 15.D

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16．EDO 电子设计最优化

17．SOPC 片上可编程系统

18．CPLD 复杂可编程逻辑器件

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19．错。“自底向上”改为“自顶向下”。

20．对。

21．对。

22．错。“时序仿真”改为“功能仿真”。

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23．答：转化：HDL 转化为各个功能单元连接的电路结构的门级网表。优化：根据设计者所施加的时序、面积等约束条件，针对实际实现的目标器件的结构将转化的门级网表按一定算法进行逻辑重组和优化。映射，从目标器件的工艺库中搜索恰当的单元来构成电路。

24 . 答：(1) 软核比较灵活、可以改动，易于重定目标和重配置，然而预测软 IP 核的时序、面积与功率诸方面的性能较困难。

(2) 硬核的优点是确保性能，如速度、功耗等，但硬核一般不允许更改，难以转移到新工艺或集成到新结构中，它是不可重配置的。

25 . 答：Simprims 用于布局布线后的仿真，Unisims 用于综合后的仿真，Xilinxcorelib 用于支持 IP Core 的仿真。

步骤：修改 modelsim . ini 文件属性，去掉只读属性；启动 Modelsim 仿真工具，创建仿真库，编译仿真库。

26 . 答：FPGA 的分段式连线结构提供了很好的互连灵活性和很高的布线成功率，但是这种连线结构也具有明显的缺点，由于每个信号的传输途径和金属线长度各异，显然一对单元之间的互连路径可以有多种，它的信号传输延迟时间不能确定。

CPLD 的连续式互连结构是利用具有同样长度的一些金属线实现功能单元之间的互连，即用的是集总总线，所以其总线上任意一对输入端与输出端之间的延时相等，因而有较大的时间可预测性。

五、程序分析题（本大题共 2 小题，第 27 题 10 分，第 28 题 14 分，共 24 分）

27 . (1) out2 reg wire

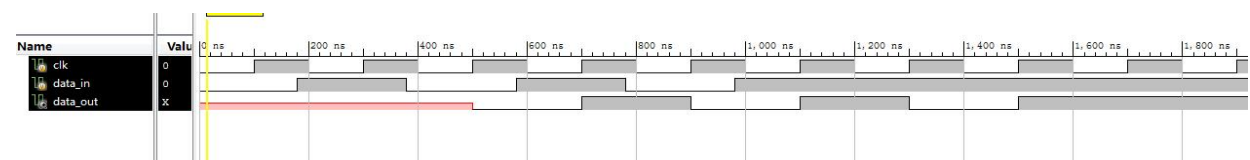
(2) 答案：

in1	in2	in3	out1	out2
2'b00	2'b01	2'b10	2'b00	2'b11

28.

(1) reg always begin

(2)



六、编程题（本大题共 2 小题，第 29 题 8 分，第 30 题 11 分，共 19 分）

29.module test31(in1,in2,in3,out1,out2);

input in1,in2,in3;

output out1,out2;

reg out1;

wire out2;

always@ (in1 or in2)

out1=in1 & in2;

assign out2 = out1 | in3;

endmodule

说明：编程实现结果不唯一，根据实现情况酌情给分。

30 . module test\_ (clk,data\_in1,data\_in2,data\_in3,data\_out1,data\_out2);

input clk;

input data\_in1,data\_in2,data\_in3;

output data\_out1,data\_out2;

```
reg data_out1
reg data_temp;
always @ (posedge clk)
begin
data_temp<=data_in1^data_in2;
data_out1 <=data_temp & data_in3;
end
assign data_out2=~data_out1;
endmodule
```

说明：编程实现结果不唯一，根据实现情况酌情给分。