

## 试题 1

### 一、单项选择题(本大题共 15 小题, 每小题 1 分, 共 15 分)

1.正确的现代数字系统设计的流程是

- A.设计准备→设计输入→适配→综合→ 功能仿真→编程下载→时序仿真→硬件测试
- B.设计准备→设计输入→功能仿真→综合→适配→时序仿真→编程下载→硬件测试
- C.设计准备→设计输入→功能仿真→综合→时序仿真 编程下载→适配→硬件测试
- D.设计准备→设计输入→功能仿真→适配 时序仿真编程下载→综合→硬件测试

2. FPGA 的可编程结构是主要基于

- A.查找表(LUT)      B. ROM 可编程
- C. PAL 可编程      D. 与或阵列乘积项

3.在 EDA 工具中, 能将硬件描述语言转化为硬件电路的重要工具软件是

- A.仿真器      B.综合器
- C.适配器      D.下载器

4.在 Verilog HDL 的 always 块语句本身是

- A.顺序执行      B.并行执行
- C.顺序执行或并行执行      D.串行执行

5.下列标识符中, 不合法的标识符是

- A. 9moon      B. State0
- C. Not\_ Ack 0      D. signall

6.在现代数字系统设计中, IP 模块的使用是常用的有效设计方法之一。下面对 IP 模块的描述, 错误的是

- A. IP 即知识产权产品
- B. 调用 IP 核能避免重复劳动, 大大减轻工程师的负担
- C. IP 即为网络协议
- D. IP 模块的重用是使得数字电路系统赢得迅速上市时间的主要策略之一

7. 用 Verilog HDL 的 assign 语句赋值的方法一般称为

- A.连续赋值      B. 并行赋值
- C.串行赋值      D. 函数赋值

8.数字系统中的 ASIC 可以分为哪两大类?

- A.全定制 ASIC、半定制 ASIC      B. FPGA, CPLD
- C.门阵列、PLD      D.简单低密度 PLD,复杂高密度 PLD

9.大规模可编程器件主要有 FPGA、CPLD 两类, 下列对 FPGA 结构与工作原理的描述中, 正确的是

- A.FPGA 全称为复杂可编程逻辑器件
- B.FPGA 是基于乘积项结构的可编程逻辑器件
- C.基于 SRAM 的 FPGA 器件, 在每次上电后必须进行一次配置
- D.在 Xilinx 公司生产的器件中, Spartan-3E 系列属 CPLD 结构

10.在 Verilog HDL 的逻辑运算中, 设  $A = 8'b11010001$ ,  $B = 8'b00011001$ , 则表达式“A & B”的结果为

- A. 8'b00010001
- B. 8'b11011001
- C. 8'b11001000

D.8'b00110111

11.下列语句中，不属于并行语句的是

- A.非阻塞赋值语句
- B.assign 语句
- C.元件例化语句
- D.case 语句

12.关于可编程逻辑器件的分类，下面说法正确的是

- A.PLA、PAL、GAL 属于高密度可编程逻辑器件
- B.CPLD 基本上采用熔丝方式编程
- C.FPGA 基本上采用 SRAM 配置存储器方式编程
- D.FPGA 基本上采用浮栅编程技术方式编程

13.在下列选项中，XILINX 公司提供的 SOPC 嵌入式解决方案的硬核处理器是

- A. PicoBlaze
- B.NIOS II
- C. MicroBlaze
- D.PowerPC

14.在 ISE Foundation 集成开发环境下，属于第三方的综合工具的是

- A. Modelsim
- B.Synplify
- C.XST
- D. ChipScope

15.基于 FPGA 的 DSP 系统进行数字信号处理，不具有的因素特点是

- A.高度的并行性
- B. 重构的灵活性
- C.性价比高
- D. 信号处理能力较低

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16.ASIC

17.RTL

18.SOPC

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）判断下列各题划线处的正误，在“答题卡”的试题序号后，正确的划上“√”；错误的划上“x”，并改正错误。

19. 硬件软化是指硬件的设计使用软件编程的方式进行，整个设计和修改过程如同完成软件设计一样方便和高效。

20. 功能仿真是在选择了具体器件并完成布局、布线之后进行的快速时序检验。

21. ISE Design Suite 10.1 整合了 Xilinx 的嵌入式、DSP 和逻辑设计设计工具。

22. ChipScope Pro 是 ISE 集成套件中的片外逻辑分析工具。

四、简答题（本大题共 5 小题，每小题 5 分，共 25 分）

23. FPGA 中的嵌入微处理器一般情况下可以有 3 种不同的使用模式，分别是哪三种使用模式？

24. 简述 Verilog HDL 语句中阻塞赋值与非阻塞赋值的不同。

25. 什么是 IP 核？IP 核有哪三种有效形式？

26. 传统设计方法和 EDA 设计方法有何不同？

27. FPGA 设计中需要完成功能仿真和时序仿真，简述时序仿真和功能仿真的不同点。

五、程序分析题（本大题共 2 小题，第 28 题 8 分，第 29 题 10 分，共 18 分）

28. 分析 test1 程序模块，完成下列题目：

(1) 完成程序填空。

(2) 分析程序，根据输入信号得到功能仿真相应的输出信号，完成题 28 表填空。

```
module test1 (data_in1,data_in2,data_in3,data_out);  
input data_in1,data_in2,空 (1);  
output data_out;  
wire data_out;  
reg [1:0] data_1  
task example;  
input in1,in2;  
output [1:0] out1  
begin  
out1[1]=in1& in2;  
out1[0]=in1 | in2;  
end 空 (2)  
always @ (data_in1 or data_in2)  
example (data_in1,data_in2,data_1);  
assign data_out =(data_in3)?data_1[1]:data_1[0];  
endmodule
```

题 28 表

data_in1	data_in2	data_in3	data_out
1'b1	1'b0	1'b1	空 (3)
1'b0	1'b1	1'b0	空 (4)

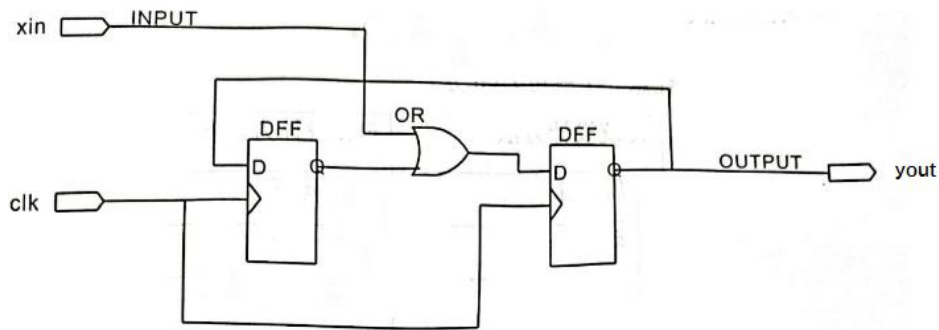
29 . 分析 test2 程序模块，画出该模块综合后输出的电路原理图。

```
module test2(clk, reset, din1, din2, din3, dout1, dout2);  
input clk, reset;  
input din1,din2,din3;  
output dout1,dout2;  
reg dout1,dout2;  
reg data_temp;  
always@(posedge clk)  
if(reset)  
begin  
data_temp <=1'b0;  
dout1<=1'b0;  
dout2<=1'b0;  
end  
else  
begin  
data_temp <= din1 & din2;  
dout1<dout1 <= data_temp | din3;
```

```
dout2 <= ~dout1;
end
endmodule
```

六、编程题（本大题共 2 小题，每小题 10 分，共 20 分）

30 . 根据下图所示原理图写出相应的 Verilog HDL 程序。



题 30 图

31 . 设计一个有限状态机系统，在时钟 clk 上升沿的控制下，实现检测与 clk 同步输入的串行数据是否为“3 ' b110”。(10 分)

要求：

- \* 当串行数据是“3 ' b110”时，fflag\_out=1'b1，否则 flag\_out=1'b0,
- \* 系统可以实现同步复位。
- \* 输入输出信号自行定义，并在程序注释中加以说明。

用 Verilog HDL 编程实现该系统的模块程序。

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.B 2.A 3.B 4.B 5.A 6.C 7.A 8.A 9.C

10.A 11.D 12.C 13.D 14.B 15.D

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16. ASIC 专用集成电路

17. RTL 寄存器传输级

18. SOPC 可编程片上系统

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19.(√)

20. (x) 正确：时序仿真。

21.(√)

22. (x) 正确：片内逻辑分析工具。

四、简答题（本大题共 5 小题，每题 5 分，共 25 分）

23. 答：FPGA 中的嵌入微处理器一般情况下可以有 3 种不同的使用模式，分别是状态机模式、单片机模式和定制嵌入模式。

24. 答：（1）阻塞赋值：表示符号“=”，必须是阻塞赋值完成后，才进行下一条语句的执行；赋值一旦完成，等号左边的变量值立刻发生变化。（2）非阻塞赋值：表示符号“<”，非阻塞赋值在赋值开始时计算表达式右边的值，到了本次仿真周期结束时才更新被赋值变量（即=>赋值不立刻生效）；非阻塞赋值允许块中其他语句的同时执行。在同一个顺序块中，非阻塞赋值表达式的书写顺序，不影响赋值的结果。

25. 答：IP 核是知识产权核或知识产权模块。三种形式是：硬核、固核、软核。

26. （答对任意 5 个就可）

传统设计方法	EDA 设计方法
自底向上	自顶向下
手动设计	自动设计
硬软件分离原理图方式设计	打破硬软件屏障
原理图	原理图，VHDL 语言等多种设计方式
系统功能固定	系统功能易变
不易仿真	易仿真
难测试修改	易测试修改
模块难移置共享	设计工作标准化，模块可移置共享
设计周期长	设计周期短

27.答：时序仿真就是接近真实器件运行特性的仿真，仿真文件中已包含了器件硬件特性参数，因而，仿真精度高。功能仿真是直接对 HDL、原理图描述或其他描述形式的逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求的过程，仿真过程不涉及任何具体器件的硬件特性。

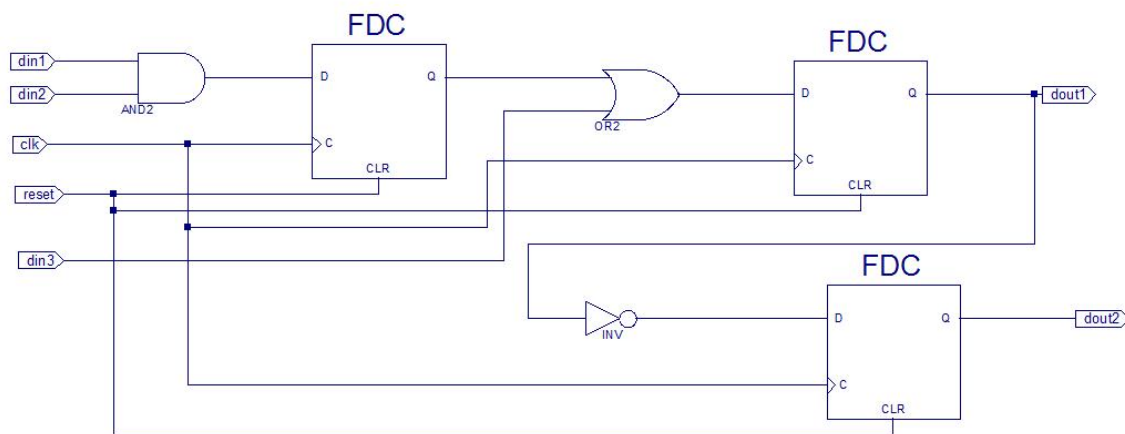
五 . 程序分析题（本大题共 2 小题，第 28 题 8 分，第 29 题 10 分，共 18 分）

28 . 答案：

空 (1) data\_\_in3 空 (2) endtask 空 (3) 1'b0 空 (4) 1'b1

29 . 答案：

综合后输出的电路原理图如下图所示：



六 . 编程题（本大题共 2 小题，每小题 10 分，共 20 分）

30 .

```
module trig(xin,clk,yout);
input xin,clk;
output yout;
reg d,yout;
always @( posedge clk)
d <= yout;
always @ (posedge clk)
yout <= d | xin;
endmodule
```

31.

```
module fsm_1(in,clk,reset,flag_out);
input in;
input clk,reset;
output flag_out;
parameter s0=2'b00,s1=2'b01,s2=2'b10;
reg [1:0] next_state, cur_state;
reg flag_out;
always @(posedge clk)
if(reset)
cur_state <= s0;
```

```

else
cur_state <=next_state;
always@(in or cur_state)
case(cur_state)
s0: if(in)      begin  flag_out=1'b0; next_state=s1;end
    else      begin  flag_out=1'b0;next_state=s0;end
s1:if(in)      begin  flag_out=1'b0;next_state=s2; end
    else      begin  flag_out=1'b0;next_state= s0; end
s2:if(in==1'b0) begin  flag_out=1'b1;next_state=s0;end
    else  begin flag_out =1'b0; next_state= s2;end
default: begin flag_out=1'b0;next_state= s0; end
endcase
endmodule

```

说明：编程实现结果不唯一，根据实现结果酌情给分