

试题 4

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）在每小题列出的四个备选项中只有一个是符合题目要求的，请将其代码填写在题后的括号内。错选、多选或未选均无分。

1. 设 $a=4'b1010$, $b=4'b0100$, 则按照 Verilog HDL 语法, $(a > 4'b1000) \&\&((b==4'b0100))$ 的运算结果是

- A. 0
- B. $4'b0000$
- C. 1
- D. $4'b1110$

2. 以可综合的寄存器传输级（RTL）描述或通用库元件的网表形式提供的可重用 IP 模块，称为

- A. 硬核
- B. 固核
- C. 软核
- D. 嵌入式 IP Core

3. 在 ISE Foundation 的集成工具中，可以用于辅助生成测试激励文件的是

- A. ISE Simulator
- B. XST
- C. HDL Bench
- D. iMPACT

4. IP 核按功能方面的划分，可以分为：嵌入式 IP Core 和

- A. 可重用 IP 核
- B. 可重定目标 IP 核
- C. 通用 IP 模块
- D. 存储器 IP 核

5. Core Generator 是哪个公司提供的 IP 核开发工具？

- A. Altera
- B. Aldec
- C. Xilinx
- D. Synplicity

6. 将多个模块化设计文件合并为一个网表文件，使层次设计平面化，并可以施加合理的用户约束，以满足设计要求。这是设计处理中

- A. 逻辑优化综合环节
- B. 映射环节
- C. 布局布线环节
- D. 生成编程数据文件环节

7. 关于设计仿真，下面描述错误的是

- A. 功能仿真用于验证设计的逻辑功能，没有延时信息
- B. 时序仿真是与实际器件工作情况基本相同的仿真
- C. 时序仿真应在选择了具体器件并完成布局、布线之后进行
- D. 时序仿真较功能仿真耗时短，对硬件库和综合器没有任何要求

8. 哪一类 IP 核是着眼于按各种再使用标准定义的格式和快速集成的要求而建立的？

- A. 可再用 IP 核
- B. 可重定目标 IP 核
- C. 可配置 IP 核
- D. 嵌入式

9. ModelSim 是哪个公司开发的独立仿真器？

- A. Mentor Graphics
- B. Aldec
- C. Xilinx
- D. Synplicity

10. 从互联结构上分类，下面哪个器件属于统计型 PLD？

- A. PROM
- B. PLA
- C. CPLD
- D. FPGA

11. 在可编程逻辑器件的配置方式中，由可编程器件引导的配置过程是

- A. 从动配置
- B. 主动配置
- C. 同步配置
- D. 串行配置

12. 以下哪一个软件工具可以提供 MATLAB 与 System Generator 或 ISE 之间的直接链接，

并自动产生可综合的 RTL 模型和测试床？

- A. Simulink
- B. Platform Studio
- C. DSP TOOLS
- D. Accelchip

13.使用 System Generator 进行基于模型设计的大体流程分为：算法与系统模型开发、自动生成代码以及

- A.系统架构和波形设计
- B.HDL 代码的仿真、调试和分析
- C.建立模型并运用 MATLAB 仿真验证是否符合系统要求
- D.Xilinx 实现

14.下面哪一种方法可以在不使用物理探针的情况下，通过在芯片内部建立边界扫描通道，捕获其核心逻辑内容，实现芯片功能的测试？

- A.JTAG
- B. JPEG
- C.MPEG
- D.VTEG

15.下面哪一款软件是 Mentor Graphics 公司开发的 FPGA 全流程设计工具？

- A. Synplify Pro
- B. Active HDL
- C.FPGA Advantage
- D. ISE Foundation

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）写出下列名词的中文表述。

- 16.CPLD
- 17.SOPC
- 18. IP CORE

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）判断正误，在题后的括号内，正确的划上“√”，错误的划上“x”，并改正错误。

19.ISE 软件对层次化设计提供了很好的支持，例如：绘制好的原理图可以很方便地转换为原理图符号，并被添加到模块符号库中，作为子模块供更高层次的设计调用。（ ）

20.硬 IP 核在功能和时序上有非常可靠的保证，应用硬 IP 核进行设计可以显著地节省设计时间，但应用硬 IP 核进行设计时不能按设计需要修改和调整时序，缺少使用的灵活性。（ ）

21.进行功能仿真时需要综合工具生成的网表文件、测试激励文件、元件库、布局布线生成的具有时延信息的文件等。（ ）

22.FPGA 采用 EPROM 或 E2CMOS 工艺，断电后编程数据不会丢失，因此不需要外部存储器，而且这种器件中设置有加密单元，加密后可以防止编程数据被读出。（ ）

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

- 23.简述“自顶向下”设计方法的特点。
- 24.简述 HDL 综合器的作用是什么。在这一过程中，包括了哪三个步骤？
- 25.单独使用 ModelSim 有哪两种使用方式？这两种方式各自的仿真步骤是什么？
- 26.简述为实现数字电路系统合理选择 CPLD 或 FPGA，应从哪几个方面进行考虑？

五、程序分析题（本大题共 2 小题，第 27 小题 12 分，第 28 小题 11 分，共 23 分）

27.分析下面的 Verilog HDL 程序，回答问题。

```
module test1(cout,sum,a,b,cin);
```

```

output cout;
output[2:0] _____ ;
input cin;
input[2:0] a,b;
_____ {cout,sum}=a+b+cin;m}=a+b+cin
endmodule

```

(1) 完成程序填空。

(2) 分析该模块的功能，根据输入信号得到相应的输出信号，完成题 27 表。

输入信号			输出信号	
a	b	cin	cout	sum
3'010	3'b011	1'b0		
3'b101	3'b100	1'b1		

题 27 表

28 . 分析下面的三段 Verilog HDL 程序，画出该程序综合后的电路原理图。

子模块 1:

```

module test2(a,b,c);
input a,b;
output c;
assign c = a & b;
endmodule

```

子模块 2:

```

module test3(clk,d,q);
input clk;
input d;
output q;
reg q;
always @(posedge clk)
    q <= d;
endmodule

```

顶层模块

```

module test4(ain,bin,clk,data_out);
input ain,bin;
input clk;
output data_out;
wire data_temp_1,data_temp_2,data_temp3;
test3 u1(.clk(clk),.d(ain),.q(data_temp_1));
test3 u2(.clk(clk),.d(bin),.q(data_temp_2));
test2 u3(.a(data_temp_1),.b(data_temp_2),.c(data_temp3));
test3 u4(.clk(clk),.d(data_temp3),.q(data_out));

```

endmodule

六、编程题（本大题共 2 小题，每小题 10 分，共 20 分）

29 . 题 29 表为 3-8 译码器真值表。请根据该真值表，采用 Verilog HDL 编写 3-8 译码器电路。

题 29 表 3-8 译码器真值表

输入信号		输出信号
Enable[2:0]	Data_in[2:0]	Q[7:0]
100	3'b000	8'b11111110
	3'b001	8'b 11111101
	3'b010	8'b 11111011
	3'b011	8'b 11110111
	3'b100	8'b 11101111
	3'b101	8'b 11011111
	3'b110	8'b 10111111
	3'b111	8'b 01111111
其它	其它	8'b 11111111

30 . 用 Verilog HDL 设计一个串行数据转并行数据，并在输入信号的控制下，实现并行数据向左或右移位的模块，具体要求如下：

(1) 在时钟 clk 上升沿控制下，1 位数据串行输入，8 位数据并行输出。

(2) 输入信号：

clk：系统时钟；

reset：同步复位信号。当 resett=1'b1 时，输出置 0，当 reseeset=1'b0 时，系统正常工作；

data__in：位宽是 1 的输入数据；

lorR：控制信号，控制输出数据左移或右移；当 LrR = 1 ' b1，输出数据由在前一时钟周期输出的并行数据右移一位，空出的位置由最新输入的数据补足而得到；当 LorR = 1 ' b0 时，输出数据由在前一时钟周期输出的并行数据左移一位，空出的位置由最新输入的数据补足而得到。

(3) 输出信号：

data__out：位宽为 8 的并行数据输出

参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.C 2.C 3.C 4.C 5.C 6.A 7.D 8.A 9.A 10.D 11.B 12.C 13.D 14.A 15.C

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16 . CPLD 复杂可编程逻辑器件

17 . SOPC 可编程片上系统

18 . IP CORE 知识产权芯核

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19 . 对

20 . 对

21 . 错 功能仿真改为：进行时序仿真前

22 . 错 FPGA 改为：CPLD

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23 . 答（1）基于可编程逻辑器件 PLD 和 EDA 开发工具支撑（1 分）。

（2）采用系统级、电路级、门级的逐级仿真技术，以便及早发现问题，进而修改设计方案。

（3）现代的电子应用系统正向模块化发展，或者说向软硬核组合的方向发展。对于以往成功的设计成果稍作修改、组合就能投入再利用，从而产生全新的或派生的设计模块。

（4）由于采用的是结构化开发手段，可实现多人多任务的并行工作方式，使复杂系统的设计规模和效率大幅度提高。

（5）在选择器件的类型、规模、硬件结构等方面具有更大的自由度。

24 . 答：逻辑综合就是使用 EDA 综合工具，将用 HDL 语言描述的寄存器传输级电路转化成门级网表。包含了三个过程：转化、优化、映射。

25 . 答：单独使用 ModelSim 有两种方式，基本方式和工程方式。基本方式的仿真步骤：首先建立仿真库，编译源代码，然后启动仿真器，执行仿真。工程方式的仿真步骤：首先建立工程，添加源文件，然后编译并导入测试文件，执行仿真。

26 . 答：（1）逻辑单元结构方面：系统逻辑复杂，输入变量多，但对触发器需求量较少，可用 CPLD，系统所需触发器数量多，但逻辑相对简单，可用 FPGA 。

（2）内部互连资源与连线结构：系统要求很好的互联灵活性和很高的布线成功率，但不要布线前预测信号传输延迟的，可以选择 FPGA，如果要求较大的时间可预测性，选用 CPLD

（3）配置技术：如果系统要求实现动态重构，下载信息保密性要求不高，可选用 FPGA，否则，选用 CPLD 。

（4）逻辑规模：中小规模系统可以选 CPLD，中大规模可选 FPGA 。

（5）FPGA 和 CPLD 封装形式的选择：根据系统规模，保密性要求，生产成本等选择。

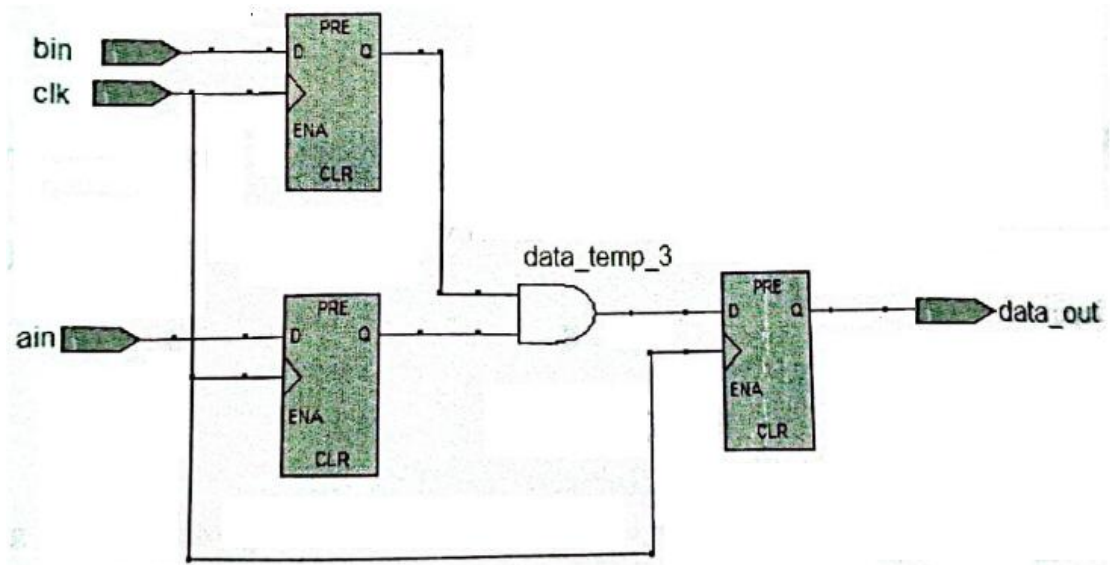
五、程序分析题（本大题共 2 小题，第 27 小题 12 分，第 28 小题 11 分，共 23 分）

27 . (1) 空 1 sum 空 2 assign

(2)

输入信号			输出信号	
a	b	cin	cout	sum
3b010	3b011	1b0	0	5
3b 101	3b 100	1b1	1	2

28.参考答案



六、编程题（本大题共 2 小题，每小题 10 分，共 20 分）

29. module test7 (enable,data_in,data_out);

input[2:0] enable;

input [2:0] data_in;

output[7:0] data_out;

reg[7:0] data_out;

always @ (enable or data_in)

if(enable==3b100)

case(data_in)

3b000:data_out=8'b11111110;

3b001:data_out=8'b 11111101;

3b010:data_out= 8'b11111011;

3b011:data_out=8'b11110111;

3b100: data_out = 8'b11101111;

3b101: data_out = 8'b11011111;

3b110: data_out= 8'b10111111;

3b111:data_out=8'b01111111;

default:data_out=8'b11111111;

endcase

else

data_out =8'b11111111;

endmodule

说明：设计程序答案不唯一，其他描述方式酌情给分，正确满分

30 .

```
module shiftreg (reset, clk, data__in, LorR, data__out);  
input reset,clk,data_in;  
input LorR;  
output[7:0] data_out;  
reg[7:0] data_outt;  
always @ (posedge clk)  
if(reset)  
data_out <=8b0;  
else  
if(lorR)  
data_out <={data_in,data_out[7:1]};  
else  
data_out <={data_out[6:1],data_in};  
endmodule
```

说明：设计程序答案不唯一，其他描述方式酌情给分，正确满分