

试题 3

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）在每小题列出的四个备选项中只有一个是符合题目要求的，请将其代码填写在题后的括号内。错选、多选或未选均无分。

1. 用户通过一些具有通用性的单元元件或半成品硬件来制作，并且在使用时仅需要考虑电路逻辑功能和各功能模块之间的合理连线的芯片是

- A.全定制 ASIC
- B.半定制 ASIC
- C.晶体管芯片
- D.存储器芯片

2. 设计处理的过程包括：逻辑优化和综合、映射、布局布线及

- A.逻辑化简
- B.网表文件合并
- C.逻辑元件互连
- D.生成编程数据文件

3. EDA 软件工具大致分为五个模块：设计输入编辑器、HDL 综合器、仿真器、适配器及

- A.优化器
- B.布局布线器
- C.下载器
- D.转换器

4. 在 ISE Foundation 集成工具中，实现 FPGA / CPLD 的配置和通信的工具是

- A.ECS
- B.XST
- C.HDL Bench
- D.iMPACT

5. 设 $a=4'b1101, b=4'b1010$ ，按照 Verilog HDL 语法，执行语句 `assign c = a & b;` 则 $c=$

- A.4'b0001
- B.4'b0010
- C.4'b0100
- D.4'b1000

6. 根据 IP Core 使用的方式不同，IP Core 设计者可以按三种形式设计供集成选择的 IP Core：可再用、可重定目标以及

- A.可配置
- B.可移植
- C.可集成
- D.可分析

7. 已完成对性能、尺寸和功耗的优化，并对一个特定的工艺技术进行映射，以集成电路版图形式提供的 IP 模块是 1.

- A.硬核
- B.固核
- C.软核
- D.嵌入式核

8. 在 Modelsim 中编译 Xilinx 器件的仿真库时，添加的 Simprim 仿真库用于

- A.综合后仿真
- B.编译后仿真
- C.映射后仿真
- D.布局布线后仿真

9. 在进行时序仿真前，需产生的支持时序仿真的文件有：综合布局布线生成的网表文件，测试激励、元件库及

- A.具有时延信息的反标文件
- B.HDL 程序
- C.引脚锁定信息
- D.功能仿真波形

10. 互连结构上归类为统计型的 PLD 是

- A.CPLD
- B.GAL
- C.FPGA
- D.PLA

11. FPGA 的配置按照主/被动以及串/并行可以使用的配置模式有：从动串行，从动并行，主动串行，主动并行和

- A.JTAG 模式
- B.MS 模式
- C.SS 模式
- D.MSAP 模式

12. Xilinx 公司的三类 SOPC 嵌入式内核分别是：PicoBlaze、MicroBlaze 和

- A.CoreConnect
- B.powerPC
- C.LMB
- D.PLB

13. 下面哪项属于基于 EDK 的嵌入式设计中的软件设计工作范畴？

A.使用 EDK 工具进行硬、软核集成

B.将 EDA 生成的 HDL 代码用 ISE 进行综合、布局布线、仿真

C.将编译、链接后生成的可执行程序下载到目标器件，进行硬件级的调试、测试和优化

D.使用 ISE 编程器将生成的配置文件下载到 FPGA，进行后端验证和测试

14 . Xilinx 公司提供的在线逻辑分析仪是

A.JTAG

B.ChipScope Pro

C.Floorplanner

D.PROM File Formatter

15 . Synplicity 公司提供的针对 FPGA 和 CPLD 实现的逻辑综合工具是

A.XST

B.Synplify

C.ISE simulator

D.Xpower

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16.PLD

17.RTL

18.FPGA

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）判断正误，在题后的括号内，正确的划上“V”，错误的划上“x”，并改正错误。

19 . EDA 技术中的硬件软化是指硬件的设计使用软件编程的方式进行，整个设计和修改过程如同完成软件设计一样方便和高效。

20 . ISE Foundation 集成工具中的 Floorplanner 可以编辑与 I/O 引脚和面积约束相关的用户约束文件。

21 . 通用型 IP Core 除 IP Core 本身的设计外，还需要有良好的开发环境，软件支持及完善的服务体系，其技术门槛较高，利润空间较大。

22 . 通过改变 Xilinx 的 FPGA 芯片的 M2，M1，M0 管脚的连接，可以实现 FPGA 下载配置模式的切换。

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23 . 简述现代数字系统的设计流程。

24 . 什么是 IPCore 的复用？在现代数字系统设计中采用 IP Core 复用的优点是什么？

25 . 简述功能仿真和时序仿真各自的目的。如果功能仿真波形显示设计出错，应进行哪些设计文件的修改？

26 . FPGA 和 CPLD 分别是基于什么结构的可编程逻辑器件？FPGA 和 CPLD 的基本结构由哪几种可编程部分组成？

五、程序分析题（本大题共 2 小题，第 27 小题 10 分，第 28 小题 14 分，共 24 分）

27 . 分析下面的 Verilog HDL 源程序，回答问题。

```
module test1(in1,in2,in3,out1,_____);
```

```
input[2:0] in1,in2,in3;
```

```
output[2:0] _____,out2;
```

```
reg out1,out2;
```

```
always @ (in1 or in2 or in3)
```

```
begin
```

```
out1=in1 & in2;
out2=out1 lin3;
end
endmodule
```

- (1) 完成程序填空。
- (2) 如果输入信号值如题 27 表所示，写出功能仿真后相应的输出信号值，完成表格填空。

题 27 表

in1	in2	in3	out1	out2
3'b001	3'b011	3'b100		

28 . 分析下面的 Verilog HDL 源程序，回答问题。

```
module test2_1(clk,q,d):
input clk,d;
output q;
always @ (posedge clk)
q<=d;
endmodule
module test2 (a,b,clk,data_out);
input a,b;
input clk;
output data_out;
wire data_out;
_____ temp;
assign temp = a & b;
test2_1 u1(.clk(clk),.q(_____),.d(temp));
endmodule
```

- (1) 完成程序填空。
- (2) 画出 test2.v 综合后的电路图。

六、编程题（本大题共 2 小题，第 29 小题 9 分，第 30 小题 10 分，共 19 分）
29 . 用 Verilog HDL 设计一个 3 位二进制编码器电路，其真值表如题 29 表所示

题 29 表

输入信号								输出信号		
I7	16	15	14	I3	12	I1	10	Y2	Y1	Y0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

- 说明：
- (1) 输入信号：

I7、I6、I5、I4、I3、I2、I1、I0：均是位宽为 1bit 的信号。

(2) 输出信号：

Y2、Y1、Y0：均是位宽为 1bit 的信号。

30．用 Verilog HDL 设计一个异步复位、同步使能的六十进制计数器。对时钟 clk 上升沿进行计数。具体要求如下：

(1) 输入信号：

clk：时钟信号。

reset：异步复位信号。当 reset=1 时，输出信号置 0，当 reset=0 时，系统正常计数。

en：同步使能信号，当 en=0，保持当前数值不变；当 en=1 时，系统正常计数。

(2) 输出信号：

Carry：位宽为 1bit，表示进位。

Cout：位宽为 5bits，表示 0 到 59 的计数值。

参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.B 2.D 3.C 4.D 5.D 6.A 7.A 8.D 9.A 10.C 11.A 12.B 13.C 14.B 15.B

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16．PLD 可编程逻辑器件

17．RTL 寄存器传输级

18．FPGA 现场可编程门阵列

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19．对。

20．错。Floorplanner 改为 PACE

21．错。通用型 IP Core 改为嵌入式 IPCore

22．对。

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23．答：现代数字系统设计流程如下：

(1) 设计准备：进行方案论证，系统设计和器件选择等设计准备工作

(2) 设计输入：设计者将所设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来，并送入计算机的过程。

(3) 设计处理：从设计输入文件到生成编程数据文件的编译过程。

(4) 设计校验：使用 EDA 开发软件对设计进行分析，验证。

(5) 器件编程：是把系统设计的下载或配置文件，通过编程电缆按一定格式装入一个或多个 PLD 编程存储单元，用于定义 PLD 内部模块的逻辑功能以及它们的相互连接关系。

24 . 答：IP Core 复用是指在设计新产品时采用已有的各种功能模块。
采用 IP Core 复用的优点：修改非常有限，减少设计的人力和风险，缩短设计周期，确保优良品质。

25 . 答：功能仿真是直接对 HDL、原理图描述或其他描述形式的逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求的过程。
时序仿真是是在 EDA 工具布局布线后，取得芯片的门延时、线延时信息后，并综合考虑系统各功能，对芯片真实工作情况的一种仿真。
如果功能仿真波形出错，应该修改系统方案和以 HDL、原理图为代表的设计输入文件。

26 . 答：CPLD 是基于乘积项的可编程逻辑结构，FPGA 是基于查找表的可编程逻辑结构。FPGA 和 CPLD 的基本结构由可编程逻辑单元，可编程内连阵列（快速互联通道）可编程 I / O。

五、程序分析题（本大题共 2 小题，第 27 题 10 分，第 28 题 14 分，共 24 分）

27 . (1) out2 out1 [2: 0]

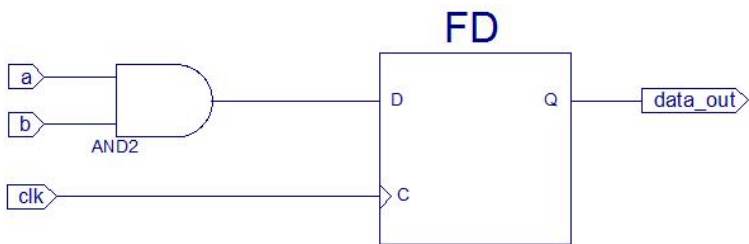
(2) 答案：

in1	in2	in3	out1	out2
3'b001	3'b011	3'b100	3 ' b001	3 ' b101

28.

(1) reg wire data__out

(2)



六、编程题（本大题共 2 小题，第 29 题 9 分，第 30 题 10 分，共 19 分）

29 . 答：

```
module test_b21(Y0,Y1,Y2,I7,I6,I5,I4,I3,I2,I1,I0);
input I7,I6,I5,I4,I3,I2,I1,I0;
output Y0,Y1,Y2;
reg Y0,Y1,Y2;
always @ (I7 or I6 or I5 or I4 or I3 or I2 or I1 or I0)
begin
case({I7,I6,I5,I4,I3,I2,I1,I0})
8'b00000001: {Y2,Y1,Y0}=3'b000;
8'b00000010: {Y2,Y1,Y0}=3'b001;
8'b00000100: {Y2,Y1,Y0}=3'b010;
8'b00001000: {Y2,Y1,Y0}=3'b011;
8'b00010000: {Y2,Y1,Y0}=3'b100;
8'b00100000: {Y2,Y1,Y0}=3'b101;
```

```

8'b01000000: {Y2,Y1,Y0}=3'b110;
8'b10000000: {Y2,Y1,Y0}=3'b111;
default:{Y2,Y1,Y0}=3'bzzz;
endcase
end
endmodule

```

30.

```

module test__3(clk, reset, en, Carry, Cout) ;
input clk,reset,en;
output Carry;
output[5:0] Cout;
reg Carry;
reg [5: 0] Cout;
always@(posedge clk or posedge reset)
if(reset)
begin
Carry<=1'b0;Cout<=6'b000000;end
else
begin
if(en)
begin
if(Cout==6'b111011)
begin Cout<=6'b000000; Carry<=1'b1;end
else
begin
Cout<=Cout+1'b1;Carry<=1'b0;
end
end
endmodule

```

说明: 编程实现结果不唯一,
根据实现结果酌情给分

