

模拟题 2

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1. 从设计输入文件到生成编程数据文件的编译过程，称为（ C ）。
A. 设计准备
B. 设计输入
C. 设计处理
D. 设计校验
2. 基于 EDA 软件的 FPGA / CPLD 设计流程为:原理图/HDL 文本输入→()→综合→适配→()→编程下载→硬件测试。请选择如下操作步骤，按顺序填空：①功能仿真 ②时序仿真 ③逻辑综合 ④配置 ⑤引脚锁定 （ D ）
A. ③①
B. ⑤②
C. ④⑤
D. ①②
3. 将硬件描述语言的代码描述转化为硬件电路原理图的 EDA 工具软件称为（ B ）。
A. 编辑器
B. HDL 综合器
C. 适配器
D. 下载器
4. 在 ISE Foundation 的集成工具中，可以实现 FPGA/CPLD 的配置和编程的工具是（ A ）。
A. iMPACT
B. System Generator
C. XST
D. ISE Simulator
5. 根据 Verilog HDL 语法，下列标识符不合法的是（ A ）。
A. 08lymoon
B. next_state
C. tempdata
D. system\$
6. 在 Verilog HDL 的逻辑运算中，设 $a = 4'b1100$ ， $b = 4'b0010$ ，则 $a \mid b$ 结果是（ C ）。
A. $4'b1010$
B. $4'b0010$
C. $4'b1110$
D. $4'b0000$
7. Verilog HDL 的模块分为两种类型：其中一种描述某种电路系统结构，功能，以综合或者提供仿真模型为设计目的，这一类型的模块被称为（ B ）。
A. 结构模块
B. 功能模块
C. 综合模块
D. 仿真模块
8. 在 Verilog HDL 端口声明语句中，声明输出端口的关键词是（ D ）。
A. OUTPUT
B. INOUT
C. input

D. output

9. 在现代数字系统设计中, IP 模块的使用是常用的有效设计方法之一。下面对 IP 模块的描述, 错误的是_____C_____。

A. IP 模块是知识产权产品。

B. IP 有时候也称为虚拟元件或宏功能块, 是满足特定规范, 并能在设计中复用的功能模块。

C. IP 即为网络协议。

D. IP 模块的重用是使得数字电路系统赢得迅速上市时间的主要策略之一。

10. CPLD 可编程逻辑是基于(B)

A. 查找表结构

B. 乘积项结构

C. PLD

D. CLB

11. IP 核在 EDA 技术和开发中具有十分重要的地位, 以 HDL 方式提供的 IP 核被称为(C)。

A. 硬核

B. 固核

C. 软核

D. 通用 IP 核

12. 下列对 FPGA 的描述中, 正确的是(C)。

A. FPGA 是基于乘积项结构的可编程逻辑器件

B. FPGA 是全称是复杂可编程逻辑器件

C. 基于 SRAM 结构的 FPGA 器件, 在每次上电后必须进行一次配置

D. 在 Xilinx 公司生产的器件中, XC9500 系列属于 FPGA 结构

13. CPLD 的可编程逻辑是基于(B)。

A. LUT 结构

B. 乘积项结构

C. PLD 结构

D. CLB 结构

14. 嵌入式系统的架构可分为哪四部分? (A)

A. 处理器、存储器、输入/输出接口、软件

B. 处理器、存储器、嵌入式操作系统, 应用软件

C. 嵌入式微控制器, 存储器, 输入/输出接口、应用软件

D. 状态机模块、存储器、嵌入式操作系统, 应用软件

15. 在 ISE 集成套件中, 作为在线逻辑分析仪使用的工具软件是(B)。

A. XST

B. ChipScope Pro

C. Synplify Pro

D. FPGA Advantage

二、名称解释题(本大题共 3 小题, 每小题 2 分, 共 6 分)

16. HDL 硬件描述语言

17. RTL 寄存器传输级

18. Hard IP CORE 硬核

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19. 功能仿真是在选择了具体器件并完成布局，布线后进行的时序检验，可对设计性能做整体上的分析，它与实际器件工作情况基本相同。（×）
20. IP 核在 EDA 技术和开发中具有十分重要的地位；其中嵌入式 IP 核主要是 CPU 与 DSP, 对比通用 IP 模块，嵌入式 IP 核的技术门槛相对较高，有比较大的利润空间。（√）
21. 基于 SRAM 查找表结构的 FPGA 的在系统下载称为配置。（√）
22. 基于电可擦除存储单元的 E²PROM 或 Flash 技术的 CPLD 的在系统下载称为配置, 这个过程就是把编程数据写入 E²CMOS 单元阵列。（×）

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23. 请简要描述在 EDA 设计中，自顶向下设计方法的思路。

答：自顶向下首先从系统设计入手，在顶层进行功能划分和结构设计，并在系统级采用仿真手段验证设计的正确性，然后再逐级设计低层的结构，实现从设计、仿真、测试一体化。其方案的验证与设计、电路与 PCB 设计专用集成电路设计等都由电子系统设计师借助于 EDA 工具完成。

24. 根据 Verilog HDL 语言描述的电路抽象程度不同，可以划分为哪几种层次？

- 答：（1）行为级或算法级描述
（2）数据流级描述
（3）门级描述
（4）开关级描述

25. 按提供方式的不同，IP 核是如何分类的？简述这几种提供方式在使用中的各自优缺点。

答：按提供方式分为三种：硬核，固核，软核，硬核性能稳定可靠，但是不能修改，软核可移植性好，但是性能不能最优，固核介于两者之间。

26. 简述 FPGA 有哪五种配置方式？

- 答：（1）从动串行模式
（2）从动并行模式
（3）主动串行模式
（4）主动并行模式
（5）JTAG 模式

五、程序分析题（本大题共 2 小题，第 27 题 14 分，第 28 题 10 分，共 24 分）

27. 分析下面的 test1.v 程序。

1) 完成程序填空。

2) 分析程序，根据输入信号得到相应功能仿真的输出信号，完成表一的填空。（14 分）

```
module test1(in1,in2,in3,in4,dout1,dout2);  
input [1:0] in1,in2,(空 1),in4;  
output[1:0] dout1,(空 2);  
reg (空 3) dout1,temp;  
(空 4) [1:0] dout2;  
function [1:0] mytest;  
input [1:0] a,b;
```

```

if(a > b)
    mytest = a;
(空 5) mytest = b;
endfunction
always @ (in1 or in2 or in3 or in4)
begin
    dout1 = mytest(in1,in2);
    temp = mytest(in3,in4); end
assign dout2 = dout1 & temp;
endmodule

```

表一

| in1 | in2 | in3 | in4 | dout1 | dout2 |
|-------|-------|-------|-------|-------|-------|
| 2'b11 | 2'b10 | 2'b01 | 2'b00 | 空 6 | 空 7 |

28、分析以下 Verilog HDL 代码，画出代码描述的状态机转移图。(12 分)

```

module fms(clk,reset,data_in,data_out);
input clk,reset;
input [1:0] data_in;
output [3:0] data_out;
reg [1:0] cur_state,next_state;
reg [3:0] data_out;
always @ (posedge clk)
    if(reset)
        cur_state <= 2'b00;
    else
        cur_state <= next_state;
always @ (cur_state or data_in)
    case(cur_state)
        0: begin
            data_out = 4'b1011;
            if(data_in==2'b00)
                next_state = 0;
            else
                next_state = 1;end
        1: if(data_in==2'b10)
            begin data_out = 4'b1011; next_state = 1;end
            else
                begin data_out = 4'b1010; next_state = 2;end
        2: begin
            data_out = 4'b1011;
            if(data_in==2'b11)
                next_state = 3;
            else
                next_state = 1;end
        3: begin
            data_out = 4'b1011;
            if(data_in==2'b01)

```

```

        next_state = 0;
    else    next_state = 2;end
    default :begin data_out = 4'b1011; next_state = 0;end
endcase
endmodule

```

六、编程题（本大题共 2 题，第 29 题 9 分，第 30 题 10 分，共 19 分）

29. 按表二所示真值表，用 Verilog HDL 设计一个 38 译码器（9 分）

表二 真值表

| 使能信号 ena | 输入数据 din[2:0] | 输出数据 dout[7:0] |
|-------------|------------------|-------------------|
| 1 | XXX | 8'b11111111 |
| 0 | 3'b000 | 8'b01111111 |
| 0 | 3'b001 | 8'b10111111 |
| 0 | 3'b010 | 8'b11011111 |
| 0 | 3'b011 | 8'b11101111 |
| 0 | 3'b100 | 8'b11110111 |
| 0 | 3'b101 | 8'b11111011 |
| 0 | 3'b110 | 8'b11111101 |
| 0 | 3'b111 | 8'b11111110 |

端口说明：

输入端口：

din-----输入数据，位宽 3 比特

ena-----使能控制信号，当 ena=1 时，系统输出恒定为 8' b1111_1111，当 ena=0 时，根据输入数据，按表二对应关系输出数据。

输出端口：

dout-----输出数据，位宽 8 比特

30. 用 Verilog HDL 设计对输入时钟进行四分频的模块，具体要求如下：

输入端口：

clk -----输入时钟

reset----同步复位信号，当 reset=1 时，系统输出复位为 0，当 reset=0，系统正常工作。

输出端口：

clk_out----输出时钟，clk_out，clk 的频率关系是： $f_{clk_out} = \frac{1}{4} f_{clk}$

参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1. C 2. D 3. B 4. A 5. A 6. C 7. B 8. D 9. C 10. B 11. C 12. C 13. B 14. A 15. B

二、名称解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16. 硬件描述语言
17. 寄存器传输级
18. 硬核

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19. 错，功能仿真 改为 时序仿真
20. 对
21. 对
22. 错 配置, 改为编程

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23. 请简要描述在 EDA 设计中，自顶向下设计方法的思路。

答：自顶向下首先从系统设计入手，在顶层进行功能划分和结构设计，并在系统级采用仿真手段验证设计的正确性，然后再逐级设计低层的结构，实现从设计、仿真、测试一体化。其方案的验证与设计、电路与 PCB 设计专用集成电路设计等都由电子系统设计师借助于 EDA 工具完成。

24. 根据 Verilog HDL 语言描述的电路抽象程度不同，可以划分为哪几种层次？

- 答：（1）行为级或算法级描述
 （2）数据流级描述
 （3）门级描述
 （4）开关级描述

25. 按提供方式的不同，IP 核是如何分类的？简述这几种提供方式在使用中的各自优缺点。

答：按提供方式分为三种：硬核，固核，软核，硬核性能稳定可靠，但是不能修改，软核可移植性好，但是性能不能最优，固核介于两者之间。

26. 简述 FPGA 有哪五种配置方式？

- 答：（1）从动串行模式
 （2）从动并行模式
 （3）主动串行模式
 （4）主动并行模式
 （5）JTAG 模式

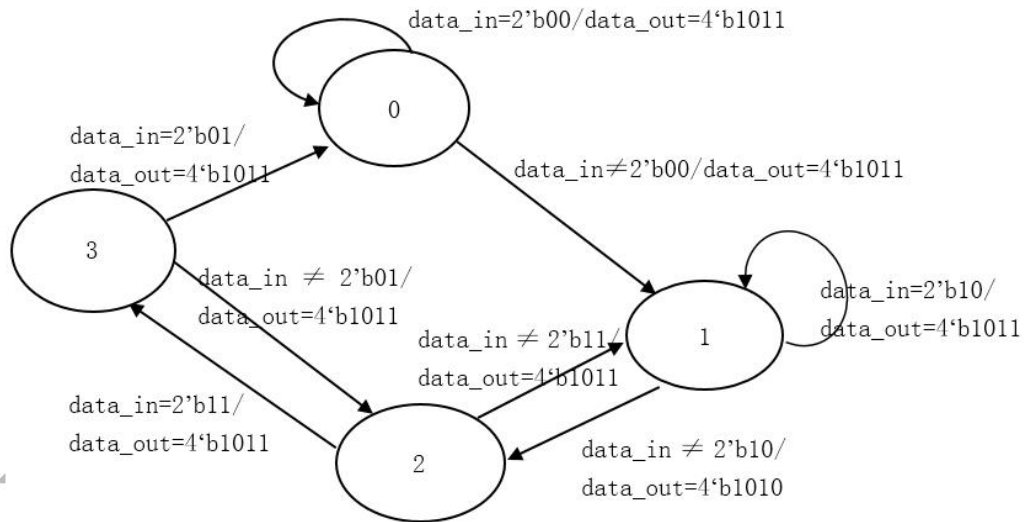
五、程序分析题（本大题共 2 小题，第 27 题 14 分，第 28 题 10 分，共 24 分）

27. (1) `in3` `dout2` `[1:0]` `wire` `else`

(2) 答案：

| in1 | in2 | in3 | in4 | dout1 | dout2 |
|-------|-------|-------|-------|-------|-------|
| 2'b11 | 2'b10 | 2'b01 | 2'b00 | 2'b11 | 2'b01 |

28.



六、编程题（本大题共 2 题，第 29 题 9 分，第 30 题 10 分，共 19 分）

29. 参考答案：

```
module HC38(ena,din,dout);
input ena;
input [2:0] din;
output [7:0] dout;
```

```
reg [7:0] dout;
```

```
always @(ena or din)
```

```
if(ena==1'b0)
```

```
case(din)
```

```
3'b000 : dout = 8'b01111111;
```

```
3'b001 : dout = 8'b10111111;
```

```
3'b010 : dout = 8'b11011111;
```

```
3'b011 : dout = 8'b11101111;
```

```
3'b100 : dout = 8'b11110111;
```

```
3'b101 : dout = 8'b11111011;
```

```
3'b110 : dout = 8'b11111101;
```

```
3'b111 : dout = 8'b11111110;
```

```
default : dout = 8'b11111111;
```

```
endcase
```

```
else
```

```
dout = 8'b11111111;
```

```
endmodule
```

30. 参考答案：

```
module fenpin4(clk,reset,clk_out );
```

```

input clk,reset;

output clk_out;

reg clk_out;


reg [1:0] counter;

always @(posedge clk)

    if(reset)

        counter <= 2'b00;

    else

        counter <= counter + 1'b1;

always @(posedge clk)

    if(reset)

        clk_out = 1'b0;

    else

        if(counter ==2'b00)

            clk_out = 1'b0;

        else

            if(counter ==2'b10)

                clk_out = 1'b1;

            else

                clk_out <= clk_out;

endmodule

```

说明：程序编程结果不唯一，其他描述方式酌情给分，正确满分