

## 试题 2

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）在每小题列出的四个备选项中只有一个是符合题目要求的。

1. 状态机编码方式中，其中占用触发器较多的方式是

- A. 状态位直接输出型编码
- B. 顺序编码
- C. 一位热码编码
- D. BCD 编码

2. 关于 XC95288XL-6TQ144C 器件，下面说法错误的是

- A. 这是一款 XILINX 公司的 FPGA 芯片
- B. -6 表示器件的温度等级
- C. TQ 表示该器件的封装类型
- D. 它是一款商业用器件

3. 关于将编程信息下载到 FPGA 或 CPLD 器件，下面说法正确的是

- A. 基于电可擦除存储单元的 E2PROM 或 Flash 技术的 CPLD 在系统下载称为配置
- B. 基于 SRAM 查找表结构的 FPGA 的在系统下载称为编程
- C. 可编程逻辑器件的配置方式分为主动配置和从动配置两类
- D. 在从动配置模式下，是由可编程器件引导配置过程

4. 嵌入式系统的构架包括处理器、输入 / 输出 (I / O) 接口、软件和

- A. 存储器
- B. 嵌入式微处理器
- C. 嵌入式微控制器
- D. 嵌入式数字信号处理器

5. CPLD 的可编程结构是主要基于

- A. 查找表 (LUT)
- B. ROM 可编程
- C. PAL 可编程
- D. 与或阵列乘积项

6. 关于 FPGA / CPLD，下面说法正确的是

- A. FPGA 较 CPLD 集成度低，触发器的数量相对较少
- B. FPGA 采用连续式互连结构，使其系统布线延时可以预测
- C. 在编程工艺方面，CPLD 编程信息掉电后丢失
- D. FPGA 可以达到比 CPLD 更高的集成度，同时也具有更复杂的布线结构和逻辑实现

7. 可以无外设、无总线结构、无实时操作系统 (RTOS) 的 FPGA 嵌入式处理器的使用模式是

- A. 状态机模式
- B. 单片机模式
- C. 定制嵌入模式
- D. IP 模式

8. 基于 EDA 软件的 FPGA / CPLD 设计流程为：原理图 / HDL 文本输入 → 综合 → \_\_\_\_ → \_\_\_\_ → 适配 → 编程下载 → 硬件测试。正确的是

①功能仿真 ②时序仿真 ③逻辑综合 ④配置 ⑤分配管脚

- A. ③①
- B. ①⑤
- C. ④⑤
- D. ④②

9. 设  $a=1'b1$ ,  $b=3'b101$ ,  $c=4'b1010$ , 则  $X=\{a,b,c\}$  的值的

- A.  $7'b1101100$
- B.  $8'b10101011$
- C.  $8'b11010101$
- D.  $8'b11011010$

10. IP 核在 EDA 技术和开发中具有十分重要的地位，已经验证的具有特定电路功能的集成电路版图方式提供的 IP 核被称为

- A. 硬核
- B. 固核
- C. 软核
- D. 都不是

11. 不完整的 IF 语句，其综合结果可实现

- A.时序逻辑电路                      B.组合逻辑电路  
C.双向电路                          D.三态控制电路
12. 下面对利用原理图输入设计方法进行数字电路系统设计, 说法正确的
- A.原理图输入设计方法适合完成大规模的电路系统设计  
B.原理图输入设计方法容易实现仿真, 便于信号观察和电路调整  
C.原理图输入设计方法输入效率最高  
D.原理图设计对于复杂系统的设计、阅读和修改都十分方便
13. 在 EDA 工具中, 能完成在目标系统器件上布局布线的软件称为
- A.仿真器                              B.综合器  
C.适配器                              D.下载器
14. IP 核在 EDA 技术和开发中具有十分重要的地位, IP 是指
- A.知识产权                            B.互联网协议  
C.网络地址                            D.软件工具
15. 针对 FPGA 生产厂商开发的 EDA 软件中, 属于第三方公司的逻辑仿真软件是
- A.ISE                                    B.Synplify  
C.Quartus II                            D.ModelSim

## 二、名词解释题 (本大题共 3 小题, 每小题 2 分, 共 6 分)

- 16.HDL  
17.PLD  
18.SOC

三、判断改错题 (本大题共 4 小题, 每小题 4 分, 共 16 分) 判断下列各题划线处的正误, 在“答题卡”的试题序号后, 正确的划上“√”, 错误的划上“x”, 并改正错误。

19. ChipScope 是基于 JTAG 边界扫描测试方法的在线逻辑综合工具。  
20. ISE Foundation 集成了输入、综合、实现、验证和配置五大功能的一套完整的 FPGA 设计工具。  
21. IP 核在提供形式上可以分为硬核、软核和通用 IP 核。  
22. Xilinx 公司的 FPGA 器件是利用嵌入的乘法器和 DSP 处理核具有了高性能的乘法和算术能力。

## 四、简答题 (本大题共 5 小题, 每小题 5 分, 共 25 分)

23. 简述现代数字系统设计流程。  
24. Verilog HDL 语言有过程赋值和连续赋值两种赋值方式, 简要说明过程赋值和连续赋值的区别。  
25. 简述 FPGA 和 CPLD 在逻辑单元结构上的特点和差异。  
26. PLD 器件按照编程元件的不同, 可以分为哪几类编程方式? 哪一种编程方式当 PLD 器件掉电后配置数据会丢失?  
27. 简述两类有限状态机 Mealy 状态机和 Moore 状态机的特点。

## 五、程序分析题 (本大题共 2 小题, 第 28 题 8 分, 第 29 题 10 分, 共 18 分)

28. 分析 count 模块功能, 完成下列题目:  
(1) 说明 reset, load 在模块中分别起什么作用?

(2) 根据题 28 图的仿真输入波形，画出 0 到 500 纳秒的输出信号的功能仿真波形（注：时钟周期是 20ns）。

```

module count(data,clk,reset,load,cout,qout);

output cout;

output[3:0] qout;

reg[3:0] qout;

input[3:0] data;

input clk,reset,load;

always @(posedge clk)

begin

if (!reset) qout= 4'h00;

else if (load) qout= data;

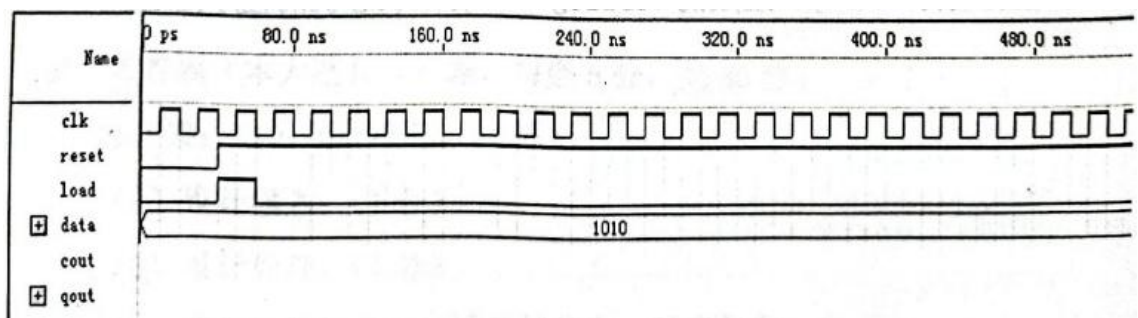
else qout=qout+1'b1;

end

assign cout=(qout==4'hf)?1'b1:1'b0;

endmodule

```



题 28 图

29 . 下列程序分别给出名为 dff2 底层 D 触发器模块和名为 top 顶层模块，请画出综合后的顶层模块的电路图。

D 触发器模块：

```

module dff2(clk,d,q);

```

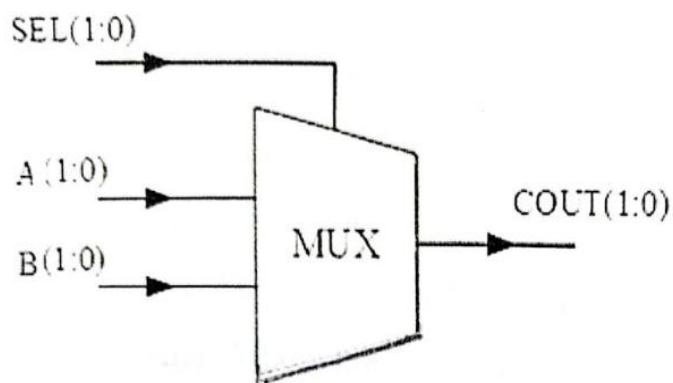
```

input clk,d;
output q;
reg q;
always @(posedge clk)
q <= d;
endmodule
顶层模块:
module top(A,CLK,C,B);
input A,CLK;
output C,B;
wire s1,s2;
assign s2=s1&A;
dff2 U1(CLK,A,s1);
dff2 U2(CLK,s2,C);
dff2 U3(CLK,s1,B);
endmodule

```

# 六、编程题（本大题共 2 小题，每题 10 分，共 20 分）

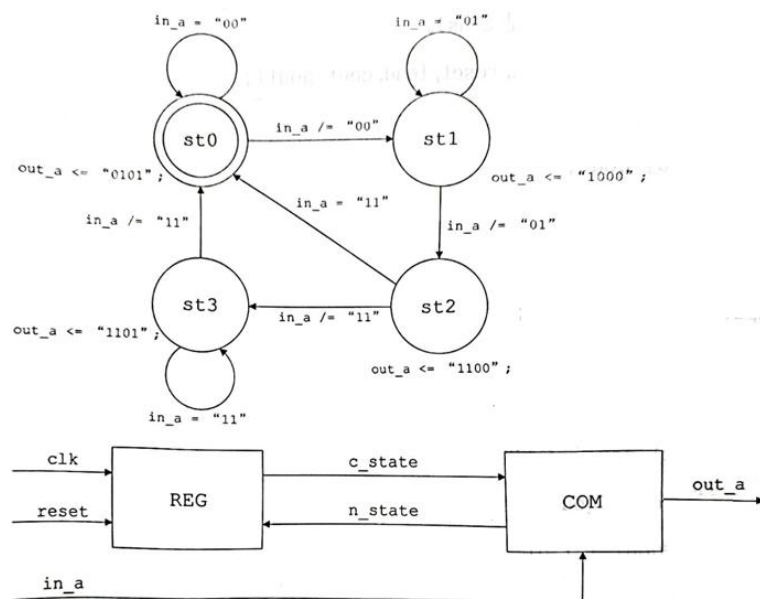
30 .使用 Verilog HDL 描述语言设计一数据选择器 MUX，其系统模块图和功能表如题 30 图所示



SEL	COUT
00	A or B
01	AxorB
10	A and B
11	A xnor B
OTHERS	“XX”

题 30 图

31 . 已知状态机状态图和状态机结构图如题 31 图所示，完成下列各题：



题 31 图 状态机的状态图和结构图

根据如题 31 图所示的状态机状态图和结构图，编程实现分别由主控组合和主控时序 always 组成的 Verilog HDL 有限状态机的程序描述。

### 参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.C 2.B 3.C 4.A 5.D 6.D 7.A 8.B 9.D

10.A 11.A 12.B 13.C 14.A 15.D

二、名词解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16. HDL 硬件描述语言

17. PLD 可编程逻辑器件

18. SOC 片上系统

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19. x, 正确：ChipScope 是基于边界扫描测试方法的在线逻辑分析或测试工具。

20. √

21. x, 正确：IP 核在提供形式上可以分为硬核、软核和固核。

22. √

四、简答题（本大题共 5 小题，每题 5 分，共 25 分）

23. 答：(1) 设计准备；(2) 设计输入；(3) 设计处理；(4) 器件编程以及相应的功能仿真、时序仿真；(5) 器件测试三个设计验证过程。

24 . 答:

- (1) 过程赋值没有关键词, 连续赋值的关键词为 assign;
- (2) 过程赋值使用“=”和“<=”赋值, 连续赋值只能用“=”;
- (3) 过程赋值只能出现在 initial 和 always 语句中, 连续赋值不能出现在 initial 和 always 语句中。

25 . 答:

- (1) CPLD 中的逻辑单元采用 PAL 结构, 由于这样的单元功能强大, 一般的逻辑在单元内均可实现, 故互连关系简单, 还具有很宽的输入结构, 适合于实现高级的有限状态机。
- (2) FPGA 逻辑单元采用查找表结构, 每单元只有一个或两个触发器, 这样的工艺结构占用芯片面积小、速度高, 每块芯片上能集成的单元数多, 但逻辑单元的功能较弱, 较适合实现数据型系统。

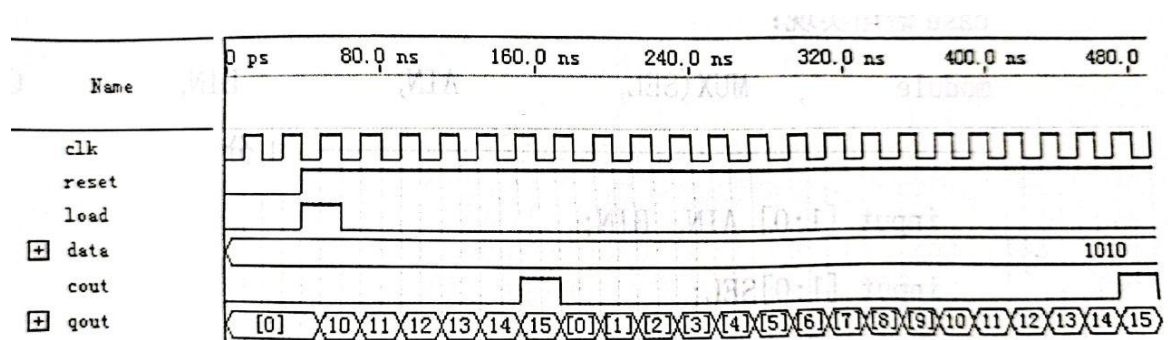
26 . 答: PLD 器件按照编程方式不同, 可以分为熔丝 (Fuse)、反熔丝, 浮栅编程技术、SRAM 配置技术。基于 SRAM 配置技术的编程方式当 PLD 器件掉电后配置数据会丢失。

27 . 答: Mealy 状态机是状态机的输出是输入信号和当前状态的函数, 当前状态和输入状态共同决定后续状态; Moore 状态机是状态机的输出只是当前状态的函数, 由当前状态决定后续状态。

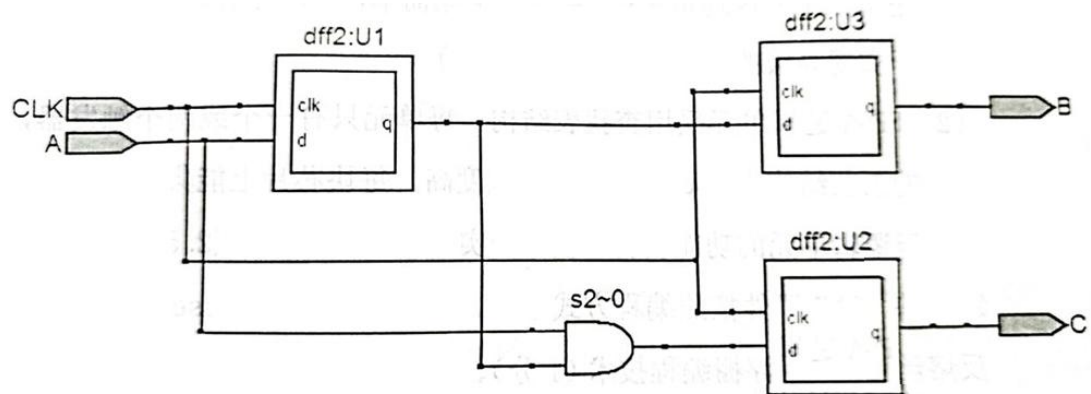
五、程序分析题 (本大题共 2 小题, 第 28 题 8 分, 第 29 题 10 分, 共 18 分)

28 . 答案:

- (1) reset 在模块中起复位作用; load 在模块中起数据加载作用。
- (2) 功能仿真波形如下:



29. 答案: 综合后电路:



六、编程题（本大题共 2 小题，每题 10 分，共 20 分）

30. 答案:

case 语句实现:

```
module MUX(SEL,AIN,BIN,COUT);
```

```
input [1:0] AIN,BIN;
```

```
input [1:0]SEL;
```

```
output[1:0]COUT;
```

```
reg[1:0]COUT;
```

$$\text{always}@(\text{AIN}, \text{BIN}, \text{SEL})$$

begin

case(SEL)

```
2'b00:COUT <= AIN | BIN;
```

```
2'b01:COUT  <=  AIN ^ BIN;
```

```
2'b10: COUT <= AIN&BIN;
```

```
2'b11: COUT  <=  AIN~^BIN;
```

```
default : COUT<=2'bXX;
```

endcase

end

endmodule

31. 参考答案:

```
module mooreb(clk, reset, ina, outa);
```

```
input clk,reset;
```

```
input[1:0] ina;
```

```
output [3:0] outa;
```

```
reg[1:0] c_st, n_st;
```

```
reg [3:0] outa;
```

```
parameter st0=2'b00,st1=2'b01,st2=2'b10,st3=2'b11;
```

```

always@(posedge clk)
if(!reset)
c_st <= st0;
else
c_st <= n_st;
always@ (c_st or ina)
case (c_st)
st0: begin
outa<=4'b0101;
if (ina==2'b00)    n_st <= st0;
else              n_st<= st1;  end
st1: begin
outa<=4'b1000;
if (ina==2'b01)    n_st<=st1;
else              n_st <= st2;  end
st2: begin
outa <=4'b1100;
if(ina==2'b11)    n_st <= st0;
else              n_st <= st3;  end
st3:begin
outa<=4'b1101;
if(ina==2'b11)    n_st<=st3;
else              n_st <= st0;  end
default : n_st <= st0;
endcase
endmodule

```

说明：编程实现结果不唯一