

模拟题 1

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1. 一般把 EDA 技术的发展分为几个阶段？ B
A. 2
B. 3
C. 4
D. 5
2. 将设计的系统按照 EDA 开发软件要求的某种形式表示出来，并送入计算机的过程，称为（ A ）。
A. 设计输入
B. 设计输出
C. 设计处理
D. 综合
3. FPGA/CPLD 有如下设计步骤：①原理图/HDL 文本输入、②适配、③功能仿真、④综合、⑤编程下载、⑥硬件测试，正确的设计顺序是（ B ）。
A. ①②④③⑤⑥
B. ①③④②⑤⑥
C. ①④③②⑤⑥
D. ①②④⑤③⑥
4. 基于硬件描述语言的现代数字系统设计采用的设计方法是（ B ）。
A. 自底向上
B. 自顶向下
C. 积木式
D. 顶层
5. 在以下 ISE Foundation 的集成工具中，可以进行设计仿真的工具是（ D ）。
A. iMPACT
B. System Generator
C. XST
D. ISE Simulator
6. 根据 Verilog HDL 语法，`timescale 1ns/100ps 中 1ns, 100ps 分别代表（ A ）。
A. 时间单位、时间精度
B. 时间精度、时间单位
C. 总时间、阶段时间
D. 仿真时间、基本时间
7. 根据 Verilog HDL 语法，语句 `assign c=(a>b)? a:b`；若 $a=4$ ， $b=3$ ，则 $c=$ （ D ）。
A. 1
B. 2
C. 3
D. 4
8. 设 $a=4'b1010$ ， $b=4'b0001$ ，则根据 Verilog HDL 语法，下列式子的值为 1 的是（ D ）。
A. $a - b$
B. $a << 1$
C. $a \wedge b$
D. $2 - (a > b)$

9. IP 核在 EDA 技术和开发中具有十分重要的地位, IP 是指(A)
- A. 知识产权
 - B. 互联网协议
 - C. 网络地址
 - D. 智能外设
10. 在 Xilinx FPGA 的开发集成环境中, IP 核的开发工具是(B)
- A. HDL Editor
 - B. Core Generator
 - C. PlanAhead
 - D. ECS
11. 根据配置数据线数, 串行配置一般以什么为单位向可编程器件载入配置数据? A
- A. 比特 (bit)
 - B. 字节(Byte)
 - C. 帧结构
 - D. 通用 IP 方式
12. 把基于电可擦除存储单元的 E²PROM 或 Flash 技术的 CPLD 的在系统下载称为(D)。
- A. 配置
 - B. ICR
 - C. JTAG
 - D. 编程
13. FPGA 中嵌入式处理器可以有三种不同的使用模式, 分别是: 状态机模式, 单片机模式和(A)
- A. 定制嵌入模式
 - B. PicoBlaze 模式
 - C. MicroBlaze 模式
 - D. 无线通信模式
14. 关于 JTAG 边界扫描测试, 下面说法错误的是_____D_____。
- A. JTAG 标准可以用于芯片的测试与配置。
 - B. JTAG 接口由 4 个必需的信号, 以及 1 个可选信号构成。
 - C. JTAG 在芯片 I/O 端上增加移位寄存器, 并将这些寄存器连接起来, 配合时钟复位、测试方式选择以及扫描输入和输出端口, 形成边界扫描通道。
 - D. JTAG 边界扫描测试需要物理探针配合捕捉数据。
15. 下面关于 Chipscope Pro 的描述, 错误的是(D)
- A. 它是 ISE 集成套件中的在线片内逻辑分析工具。
 - B. 它通过 JTAG 接口将 FPGA 内部信号实时读出。
 - C. 它将采集到的数据通过 JTAG 电缆传送到计算机。
 - D. 它可以完成芯片的手动布局布线操作。

二、名词解释题(本大题共 3 小题, 每小题 2 分, 共 6 分)

16. PLD 可编程逻辑器件
17. FPGA 现场可编程门阵列
18. LUT 查找表

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19. 在 EDA 工具中,能将硬件描述语言转化为硬件电路原理图的重要工具软件为适配器。(×)
20. 原理图输入设计方法直观便捷, 但不适合完成较大规模的电路系统设计。(√)
21. FPGA 的配置模式有从动串行模式、从动并行模式、主动串行模式、主动并行模式、以及 JTAG 模式。(√)
22. 嵌入式系统的构架可分为: 处理器, 存储器, 输入/输出(I/O)接口和应用软件四部分。(×)

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23. 什么是功能仿真, 时序仿真? 简述它们系统设计中的应用。

答: 功能仿真是用于验证设计的逻辑功能, 它是在设计输入完成之后, 选择具体器件进行编译之前进行的逻辑功能验证。时序仿真是在选择了具体器件并完成布局、布线之后进行的快速时序检验, 并可对设计性能作整体上的分析, 这也是与实际器件工作情况基本相同的仿真。在设计中, 首先进行功能仿真, 待确认设计文件满足设计要求的逻辑功能后, 再进行综合、布局布线和时序仿真, 把握设计项目在实际器件的工作情况。

24. 什么是 IP 核?按照 IP 核的功能方面划分可将 IP 核分为哪几类?

答: IP 核是知识产权核心, 特指可以通过知识产权贸易在各设计公司间流通的完成特定功能的电路模块。按照功能划分可将 IP 核划分为嵌入式 IP Core , 通用 IP Core。

25. 在 Verilog HDL 赋值语句中, 过程赋值与连续赋值语句有哪些区别?

答: (1) 过程赋值没有关键词, 连续赋值的关键词为 assign;
(2) 过程赋值使用 “=” 和 “<=” 赋值, 连续赋值只能用 “=”;
(3) 过程赋值只能出现在 initial 和 always 语句中, 连续赋值不能出现在 initial 和 always 语句中;
(4) 过程赋值用于驱动寄存器, 连续赋值用于驱动线网。

26. 简述可编程逻辑器件按器件集成度、编程元件这两个角度的分类情况。

答: 按集成度分: 低密度可编程器件, 高密度可编程器件

按编程元件分: 熔丝或反熔丝开关, 浮栅编程技术, SRAM 配置存储器。

五、程序分析题（本大题共 2 小题，第 27 题 12 分，第 28 题 12 分，共 24 分）

27. 分析下面的 test1.v 程序。

1) 完成程序填空。

2) 分析程序, 根据输入信号得到相应功能仿真的输出信号, 完成表一的填空。(12 分)

```
module test1 (data1,data2,sel,dout1,dout2,dout3);
```

```
input data1,data2;
```

```
  (空 1) sel;
```

```
output dout1,dout2,dout3;
```

```
  (空 2) dout1;
```

```
reg dout2,dout3;
```

```
assign dout1 = data1 ^ data2;
```

```
always @(data1 or data2 or sel)
    if(sel==1'b1)
        begin
            dout2 = data1 & data2;  dout3 = data1 | data2; (空 3)
        end
    else
        begin
            dout2 = data1; dout3 = data2;end
        end
endmodule
```

表一

data1	data2	sel	dout1	dout2	dout3
1'b1	1'b0	1'b1	空 4	空 5	空 6

28. 分析以下 Verilog HDL 代码，画出 test2.v 代码描述的电路图。

```
module test2(d,clk,q);
input d;
input clk;
output q;
reg q;
reg data1,data2,data3;
always @(posedge clk)
    begin
        data1 <= d;
        data2 <= data1;
        data3 <= data2;
        q <= data3;
    end
endmodule
```

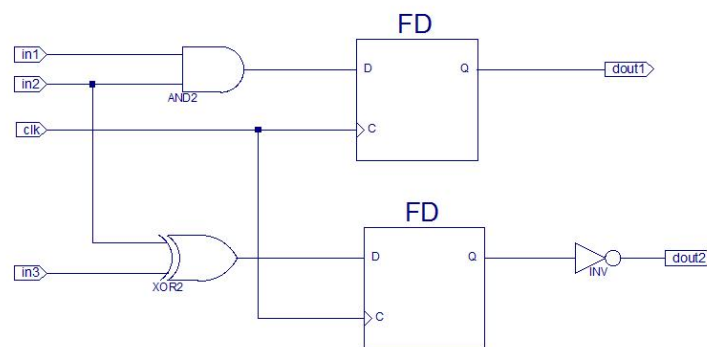
六、编程题（本大题共 2 题，第 29 题 9 分，第 30 题 10 分，共 19 分）

29. 用 Verilog HDL 设计一个组合逻辑电路系统，按表二所示关系，输出信号驱动至共阳极七段 LED 以显示相应信息。（9 分）

表二 输入信号与输出信号的转换关系

系统输入 data_in[2:0]	系统输出到七段 LED 的数据 data_out[6:0]（共阳极）	七段 LED 图例
3'b000	7'b1000000	
3'b001	7'b1111001	
3'b010	7'b0100100	
3'b011	7'b0110000	
3'b100	7'b0011001	
3'b101	7'b0010010	
3'b110	7'b0000010	
3'b111	7'b1111000	
其它情况	7'b1000000	

30. 图一是一个含有上升沿触发的 D 触发器的时序电路，试写出设计此电路的 Verilog HDL 程序。



图一

参考答案：

一、单项选择题（本大题共 15 小题，每小题 1 分，共 15 分）

1.B 2. A 3. B 4. B 5.D 6. A 7.D 8.D 9. A 10. B 11. A 12. D 13. A 14. D 15. D

二、名称解释题（本大题共 3 小题，每小题 2 分，共 6 分）

16. 可编程逻辑器件

17. 现场可编程门阵列

18. 查找表

三、判断改错题（本大题共 4 小题，每小题 4 分，共 16 分）

19. 错，适配器 改为：综合器

20. 对

21. 对

22. 错，应用软件改为软件

四、简答题（本大题共 4 小题，每小题 5 分，共 20 分）

23. 什么是功能仿真，时序仿真？简述它们在系统设计中的应用。

答：功能仿真是用于验证设计的逻辑功能，它是在设计输入完成之后，选择具体器件进行编译之前进行的逻辑功能验证。时序仿真是在选择了具体器件并完成布局、布线之后进行的快速时序检验，并可对设计性能作整体上的分析，这也是与实际器件工作情况基本相同的仿真。在设计中，首先进行功能仿真，待确认设计文件满足设计要求的逻辑功能后，再进行综合、布局布线和时序仿真，把握设计项目在实际器件的工作情况。

24. 什么是 IP 核？按照 IP 核的功能划分可将 IP 核划分为那几类？

答：IP 核是知识产权核心，特指可以通过知识产权贸易在各设计公司间流通的完成特定功能的电路模块。按照功能划分可将 IP 核划分为嵌入式 IP Core，通用 IP Core。

25. 在 Verilog HDL 赋值语句中, 过程赋值与连续赋值语句有哪些区别?

答: (1) 过程赋值没有关键词, 连续赋值的关键词为 assign;

(2) 过程赋值使用 “=” 和 “<=” 赋值, 连续赋值只能用 “=”;

(3) 过程赋值只能出现在 initial 和 always 语句中, 连续赋值不能出现在 initial 和 always 语句中;

(4) 过程赋值用于驱动寄存器, 连续赋值用于驱动线网。

26. 简述可编程逻辑器件按器件集成度、按编程元件这两个角度分类情况。

答: 按集成度分: 低密度可编程器件, 高密度可编程器件

按编程元件分: 熔丝或反熔丝开关, 浮栅编程技术, SRAM 配置存储器。

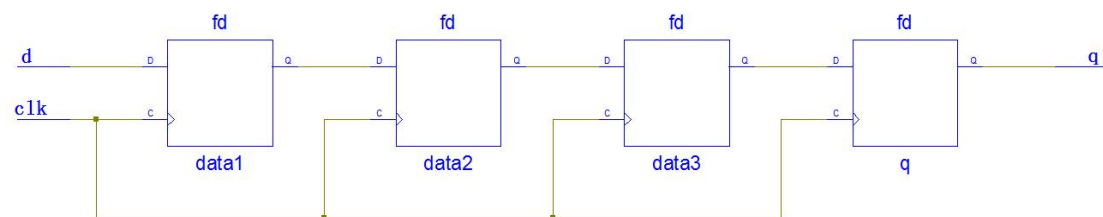
五、程序分析题 (本大题共 2 小题, 第 27 题 12 分, 第 28 题 12 分, 共 24 分)

27. (1) input (2 分) wire (2 分) end (2 分)

(2)

data1	data2	sel	dout1	dout2	dout3
1'b1	1'b0	1'b1	1'b1	1'b0	1'b1

28.



六、编程题 (本大题共 2 题, 第 29 题 9 分, 第 30 题 10 分, 共 19 分)

29、module test1(data_in,data_out);

input [2:0] data_in;

output [6:0] data_out;

reg [6:0] data_out;

always @(data_in)

case(data_in)

3'b000: data_out = 7'b1000000;

3'b001: data_out = 7'b1111001;

3'b010: data_out = 7'b0100100;

3'b011: data_out = 7'b0110000;

3'b100: data_out = 7'b0011001;

3'b101: data_out = 7'b0010010;

3'b110: data_out = 7'b0000010;

3'b111: data_out = 7'b1111000;

default : data_out = 7'b1000000;

endcase

endmodule

30. 参考答案:

```
module test_1(in1,in2,in3,clk,dout1,dout2 );  
input in1,in2,in3;  
input clk;  
output dout1,dout2;  
reg dout1,data_temp;  
wire dout2;  
always @(posedge clk)  
begin  
    dout1 <= in1 & in2;  
    data_temp  <= in2 ^ in3;  
end  
assign dout2 = ~data_temp;  
endmodule
```

说明：程序编程结果不唯一，其他描述方式酌情给分，正确满分