模拟题

1. 单项选择题

1.EDA设计采用了一种什么设计方法？

A.自底向上

B.自顶向下

C.串行设计

D.论证设计

答案：B

答案解析：基本概念

知识点：001

2.包括设计编译和检查、逻辑优化、适配和分割、布局和布线、生成编程数据文件等操作的过程称为（ ）。

A.设计输入

B.设计处理

C.功能仿真

D.时序仿真

答案：B

答案解析：现代数字系统设计流程

知识点：001

3.在设计输入完成之后，应立即对设计文件进行（ ）。

A.编辑

B.编译

C.能仿真

D.时序仿真

答案：B

答案解析：现代数字系统设计流程

知识点：001

4.在EDA工具中，能将硬件描述转化为硬件电路的重要工具软件为（ ）。

A.仿真器

B.综合器

C.适配器

D.下载器

答案：B

答案解析：现代数字系统设计流程

知识点：001

5.在EDA工具中，能完成在目标FPGA器件上布局布线的软件称为：

A.仿真器

B.综合器

C.适配器

D.下载器

答案：C

答案解析：EDA开发工具

知识点：001

6.在设计处理过程中，可产生供器件编程使用的数据文件，对于FPGA来说是产生（ ）文件。

A.熔丝图

B.位流数据

C.图形

D.仿真

答案：B

答案解析：FPGA开发流程

知识点：001

7.在C语言的基础上演化而来的硬件描述语言是（ ）。

A.VHDL

B. Verilog HDL

C.AHD

D.CUPL

答案：B

答案解析：Verilog HDL发展概述

知识点：003

8.以可综合的寄存器传输级（RTL）描述或通用库元件的网表形式提供的可重用的IP Core称为：

A.软核

B.固核

C.硬核

D.通用核

答案：A

答案解析：IPCore 的概念与分类

知识点：004

9.用Verilog HDL的”a < = b”语句赋值的方法一般称为

A.连续赋值

B.阻塞赋值

C.非阻塞赋值

D.函数赋值

答案：C

答案解析：Verilog HDL语法

知识点：003

10.下面关于使用原理图输入的方法进行数字电路系统设计的描述中，那一种说法是不正确的？

 A.原理图输入设计方法直观便捷，但不适合完成较大规模的电路系统设计。

 B.原理图输入设计方法一般是一种自底向上的设计方法。

 C.原理图输入设计方法无法对电路进行功能描述。

 D.原理图输入设计方法也可进行层次化设计。

答案：C

答案解析：基于原理图的设计输入法

知识点：002

11.在Verilog HDL语言中，a = 4b'1011，那么   & a =         。

A.4b'1011

B.4b'1111

C.1b'1

D.1b'0

答案：D

答案解析：Verilog HDL语法

知识点：003

12.可编程逻辑器件PLD属于（ ）电路。

A.用户半定制

B.用户全定制

C.自动生成

D.非用户定制

答案：A

答案解析：可编程逻辑器件原理

知识点：006

13. FPGA是基于的什么结构的可编程芯片？

A.LUT结构

B.乘积项结构

C.PLD

D.都不对

答案：A

答案解析：可编程逻辑器件原理

知识点：006

14. CPLD是基于的什么结构的可编程芯片？

A.查找表（LUT）

B.PAL可编程

C.ROM可编程

D.与或阵列可编程

答案：D

答案解析：可编程逻辑器件原理

知识点：006

15.下面哪个是可以用Verilog HDL进行描述，而不能用VHDL语言进行描述的级别？

A.开关级

B.门电路级

C.体系结构级

D.寄存器传输级

答案：A

答案解析：Verilog HDL概念

知识点：003

1. 名称解释

16. ASIC

答案：专用集成电路

答案解析：基本概念

知识点：001

17.EDA

答案：电子设计自动化

答案解析：基本概念

知识点：001

18.Firm Core

答案：固核

答案解析：IPCore基本概念

知识点：001

三、判断改错题:判断下列各题划线处的正误，正确的划上" √";错误的划上"X",并改正错误。

19.功能仿真是在设计输入完成后，选择具体器件进行编译之前进行的逻辑功能验证，没有延时信息。

答案：对

答案解析：现代数字系统设计步骤

知识点：001

20.ChipScope Pro是ISE集成开发套件中的仿真工具。

答案：错 仿真工具 改为片内逻辑分析工具

答案解析：EDA设计工具

知识点：008

21.在嵌入式系统的软件一般由嵌入式操作系统和应用软件组成。

答案：对

答案解析：嵌入式系统概念

知识点：007

22.在嵌入式处理器的使用模式中，在单片机模式下嵌入式处理器可以无外设，无总线结构，和无实时操作系统，但是可以执行复杂的状态机和算术运算，达到可高可低的性能及最低的成本。

答案：错 单片机模式 改为状态机模式

答案解析：嵌入式系统概念

知识点：007

四、简答题

23. 简述EDA技术的发展历程。

答案：

（1）二十世纪70年代，产生了第一代EDA工具，是计算机辅助设计（CAD）阶段

（2）二十世纪80年代，为了适应电子产品在规模和制作上的需要，应运出现了以计算机仿真和自动布线为核心技术的第二代EDA技术。即计算机辅助工程（CAE）阶段

（3）90年代后，随着科学技术的发展，出现了以高级语言描述、系统级仿真和综合技术为特征的第三代EDA技术。即电子设计自动化（EDA）阶段

答案解析：EDA技术发展

知识点：001

24. 传统设计方法和EDA设计方法的有何不同？

答案：

传统设计方法和EDA设计方法的不同：

|  |  |
| --- | --- |
| **传统设计方法** | **EDA设计方法** |
| 自底向上 | 自顶向下 |
| 手动设计 | 自动设计 |
| 硬软件分离 | 打破硬软件屏障 |
| 原理图方式设计 | 原理图，HDL语言等多种设计方式 |

答案解析：设计方法的演变与特点

知识点：001

25. 简述阻塞赋值与非阻塞赋值的不同。

答案：

阻塞赋值符号是“=”；必须是阻塞赋值完成后，才进行下一条语句的执行；赋值一旦完成，等号左边的变量值立刻发生变化

非阻塞赋值的符号是“<=”,非阻塞赋值在赋值开始时计算表达式右边的值，到了本次仿真周期结束时才更新被赋值变量（即赋值不立刻生效）；非阻塞赋值允许块中其他语句的同时执行。在同一个顺序块中，非阻塞赋值表达式的书写顺序，不影响赋值的结果。

答案解析：Verilog HDL语法

知识点：003

26.说明FPGA配置有哪些模式，主动配置和从动配置的主要区别是什么？

答案：分为：从动串行模式、从动并行模式、主动串行、主动并行、JTAG模式。

主动配置由可编程器件引导配置过程，从动配置则由外部处理器控制配置过程。

答案解析：FPGA配置

知识点：006

27. 简述过程赋值和连续赋值的区别

答案：

过程赋值和连续赋值的区别：

|  |  |
| --- | --- |
| 过程赋值 | 连续赋值 |
| 无关键字（过程连续赋值除外） | 关键字assign |
| 用“= ”和“<=”赋值 | 只能用“=”赋值 |
| 只能出现initial和always语句中 | 不能出现initial和always语句中 |
| 用于驱动寄存器 | 用于驱动网线 |

答案解析：Verilog HDL语法

知识点：003

五．程序分析题

28. 分析下面的Verilog HDL源程序，回答问题。

module test(data\_in1，data\_in2，sel，data\_out);

input data\_in1，data\_in2;

input [1：0] sel;

空1 data\_out;

always @ 空2

begin

case（sel）

2′b00 ： data\_out <= data\_in1 ^ data\_in2;

2′b01： data\_out <= data\_in1 | data\_in2;

2′b10： data\_out <= data\_in1 ~^ data\_in2;

2′b11： data\_out <= ~data\_in1;

default： data\_out <=2′bxx；

空3

end

endmodule

（1）完成程序填空.

（2）如果输入信号值如题27表所示,写出功能仿真后相应的输出信号值完成表格填空。

题27表

|  |  |  |  |
| --- | --- | --- | --- |
| data\_in1 | data\_in2 | sel | data\_out |
| 1’b1 | 1’b0 | 2’b01 | 空4 |
| 1’b0 | 1’b1 | 2’b00 | 空5 |

答案：空1：output 空2：（data\_in1 or data\_in2 or sel）空3：endcase 空4:1’b1 空5：1’b1

答案解析：Verilog HDL语法

知识点：003

29. 分析下面程序，完成程序填空，说明test2的功能是什么?

module test2(out,in);

output[7：0] out;

input[2：0] in;

reg[7：0] out

空1 @(in)

begin

空2 (in)

3´d0：out=8´b11111110;

3´d1：out=8´b11111101；

3´d2：out=8´b11111011;

3´d3：out=8´b11110111;

3´d4：out=8´b11101111;

3´d5：out=8´b11011111;

3´d6：out=8´b10111111;

3´d7：out=8´b01111111;

default: out=8’b00000000;

空 3

空 4

空 5

答案：空1：always 空2：case 空3：endcase 空4：end 空5：endmodule

该模块描述了一个38译码器。

答案解析：Verilog HDL语法

知识点：003

六．编程题

30试用Verilog HDL描述一个异步复位、二十进制的减法计数器。

端口设定如下：

输入端口：

CLK----系统输入时钟，时钟上升沿触发模块减1

RST----异步复位信号，当RST=1’b0，系统输出为0，当RST=1’b1，系统正常工作。

输出端口：

COUT----减法器向高位借位

CQ----减法器本位值

答案：

module CNT20(CLK, RST, CQ, COUT);

input CLK,RST;

output[4：0] CQ;

output COUT;

reg[4：0] CQI;

reg COUT;

always @(posedge CLK or negedge RST)

begin

if (!RST)

begin

CQI=5'b0; COUT<=1'b0;

end

else if (CQI==5'b0)

begin

CQI=5'b10100;

COUT<=1'b1;

end

else

begin

CQI=CQI-1;

COUT<=1'b0;

end

end

assign CQ=CQI;

endmodule

答案解析：Verilog HDL语法

知识点：003

30.用Verilog HDL设计一个序列检测器,用于检测串行的二进制序列，每当连续输入三个1时,序列检测器的输出为1,其它情况下输出为0。

（1）画出状态图

（2）写出实现程序。

答案：

（1）



（2）

module xx(reset,clk,in,flag\_out);

input in,clk,reset;

output flag\_out;

reg [1:0] cur\_state;

parameter s1=1,s2=2,s3=3;

always @(posedge clk or posedge reset)

if (!reset)

begin cur\_state<=s1;flag\_out<= 1’b0;end

case(cur\_state)

s1：if(in) begin cur\_state<=s2;flag\_out<=0;end

else begin cur\_state<=s1;flg\_out<=0;end

s2：if(in) begin cur\_state<=s3;flag\_out<=0; end

else begin cur\_state<=s1;flg\_out<=0; end

s3：if(!in) begin cur\_state<=s1;flag\_out<=1; end

else begin cur\_state<=s1;flg\_out<=0; end

default : begin cur\_state<=s1;flg\_out<=0; end

endcase

endmodule

答案解析：Verilog HDL语法

知识点：003

注：编程结果不唯一