**电子电路EDA练习题**

1. 单项选择题

1.EDA设计采用了一种什么设计方法？

A.自底向上

B.自顶向下

C.串行设计

D.论证设计

答案：B

答案解析：基本概念

知识点：001

2.包括设计编译和检查、逻辑优化、适配和分割、布局和布线、生成编程数据文件等操作的过程称为（ ）。

A.设计输入

B.设计处理

C.功能仿真

D.时序仿真

答案：B

答案解析：现代数字系统设计流程

知识点：001

3.在设计输入完成之后，应立即对设计文件进行（ ）。

A.编辑

B.编译

C.能仿真

D.时序仿真

答案：B

答案解析：现代数字系统设计流程

知识点：001

4.在EDA工具中，能将硬件描述转化为硬件电路的重要工具软件为（ ）。

A.仿真器

B.综合器

C.适配器

D.下载器 熟悉各设计流程！

答案：B

答案解析：现代数字系统设计流程

知识点：001

5.在EDA工具中，能完成在目标FPGA器件上布局布线的软件称为：

A.仿真器

B.综合器

C.适配器

D.下载器

答案：C

答案解析：EDA开发工具

知识点：001

6.在设计处理过程中，可产生供器件编程使用的数据文件，对于FPGA来说是产生（ ）文件。

A.熔丝图

B.位流数据

C.图形

D.仿真

答案：B

答案解析：FPGA开发流程

知识点：001

7.在C语言的基础上演化而来的硬件描述语言是（ ）。

A.VHDL

B. Verilog HDL

C.AHD

D.CUPL

答案：B

答案解析：Verilog HDL发展概述

知识点：003

8.以可综合的寄存器传输级（RTL）描述或通用库元件的网表形式提供的可重用的IP Core称为：

A.软核

B.固核

C.硬核

D.通用核

答案：A

答案解析：IPCore 的概念与分类

知识点：004

9.用Verilog HDL的”a < = b”语句赋值的方法一般称为

A.连续赋值

B.阻塞赋值

C.非阻塞赋值

D.函数赋值

答案：C

答案解析：Verilog HDL语法

知识点：003

10.下面关于使用原理图输入的方法进行数字电路系统设计的描述中，那一种说法是不正确的？

 A.原理图输入设计方法直观便捷，但不适合完成较大规模的电路系统设计。

 B.原理图输入设计方法一般是一种自底向上的设计方法。

 C.原理图输入设计方法无法对电路进行功能描述。

 D.原理图输入设计方法也可进行层次化设计。

答案：C

答案解析：基于原理图的设计输入法

知识点：002

11.在Verilog HDL语言中，a = 4b'1011，那么   & a =         。

A.4b'1011

B.4b'1111

C.1b'1

D.1b'0

答案：D

答案解析：Verilog HDL语法

知识点：003

12.可编程逻辑器件PLD属于（ ）电路。

A.用户半定制

B.用户全定制

C.自动生成

D.非用户定制

答案：A

答案解析：可编程逻辑器件原理

知识点：006

13. FPGA是基于的什么结构的可编程芯片？

A.LUT结构

B.乘积项结构

C.PLD

D.都不对

答案：A

答案解析：可编程逻辑器件原理

知识点：006

14. CPLD是基于的什么结构的可编程芯片？

A.查找表（LUT）

B.PAL可编程

C.ROM可编程

D.与或阵列可编程

答案：D

答案解析：可编程逻辑器件原理

知识点：006

15.下面哪个是可以用Verilog HDL进行描述，而不能用VHDL语言进行描述的级别？

A.开关级

B.门电路级

C.体系结构级

D.寄存器传输级

答案：A

答案解析：Verilog HDL概念

知识点：003

16. CPLD 可编程逻辑器件所基于的可编程结构是

A.LUT结构

B.乘积项结构

C.PLD

D.硬IP核

答案：B

答案解析：可编程逻辑器件的原理

知识点：006

17.综合是EDA设计流程的关键步骤，综合就是把抽象设计层次中的一种表示转化成另一种表示的过程。在下面对综合的描述中。错误的是

A综合就是将电路的高级语言转化成低级的，可与FPGA/CPLD的基本结构相映射的网表文件。

B.综合是纯软件的转换过程，与器件硬件结构无关。

C.综合可理解为，将软件描述与给定的硬件结构用电路网表文件表示的映射过程，并且这种映射关系不是唯一的。

D.为实现系统的速度、面积、性能的要求，需要对综合加以约束，称为综合约束。

答案：B

答案解析：综合概念

知识点：001

18. 下列HDL语言的标示符中，合法的是

A $time

B. date

C.8sum

D. mux#

答案：B

答案解析：Verilog HDL语法

知识点：003

19.如果线网类型变量说明后未赋值，缺省值是

A. x

B. 1

C.0

D. z

答案：A

答案解析：Verilog HDL语法

知识点：003

20. IP核按功能方面划分可以分为哪两大类? B？

A嵌入式P核、通用IP核

B.硬IP核，软IP核

C.硬P核、嵌入式IP核

D.软P核，通用IP核

答案：A

答案解析：IP 核的分类

知识点：004

21.将设计的系统按照 EDA开发软件要求的某种形式表示出来，并送入计算机的过程，称为

A.设计输入

B.设计输出

C.仿真

D.综合

答案：A

答案解析：现代数字系统设计流程

知识点：001

22.时间尺度定义为·timescale 10ns/100ps，以下说法正确的是

A.时间精度是10ms

B.时间单位是100ps

C.时间精度是100ps

D.时间精度不确定

答案：C

答案解析：Verilog HDL语法

知识点：003

23.IP核在EDA技术和开发中具有十分重要的地位：提供用硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路的IP核为

A.软IP核

B.固IP核

C.硬IP核

D.通用IP核

答案：A

答案解析：IP 核的分类

知识点：004

24，ChipScope 是由Xilinx公司推出的一款

A.逻辑分析工具

B.仿真工具

C.综合工具

D.下载工具

答案：A

答案解析：EDA工具

知识点：008

25.关于Verilog HDL中的数字，以下数字中最大的一个是

A. 8’b11111110 // 2’hFE

B. 3’o26

C 3’d170

D.2’h3E

答案：A

答案解析：Verilog HDL语法

知识点：003

26.下列EDA软件中，不具有逻辑综合功能的是

A. ISE

B. ModelSim

C. Quartus II

D. Synplify

答案：B

答案解析：EDA工具

知识点：001

27.关于赋值语句，下面说法错误的是

A赋值语句分为连续赋值和过程赋值

B.连续赋值语句以assign为关键词，用于数据流描述

C过程赋值常出现在initial和always语句内

D. assign 赋值语句通常将数值赋给寄存器变量 // 没有规定

答案：D

答案解析：Verilog HDL语法

知识点：003

28. FPGA结构至少包含了三种可编程结构，它们是可编程输入输出单元，可编程互联资源和

A可编程逻辑单元

B.可编程宏单元

C.可编程与阵列

D.可编程乘积项分配器

答案：A

答案解析：可编程逻辑器件组成

知识点：006

29.完成布局、布线之后可以进行快速时序检验，并可对设计性能作整体分析的这种仿真称为

A功能仿真

B.逻辑仿真

C.时序仿真

D.行为仿真

答案：C

答案解析：系统校验概念

知识点：001

30. 在下列选项中，Xilinx公司提供的SOPC嵌入式解决方案是8位软处理器的是

A. PicoBlaze

B. NIOS II

C. MicroBlaze

D. PowerPC

答案：A

答案解析：FPGA嵌入式内核

知识点：007

31. EDA技术的发展可分为几个阶段?

A. 2个

B. 3个 // mos时代,cmos时代,asic时代

C. 4个

D. 5个

答案：B

答案解析：EDA概念

知识点：001

32.在一个用Verilog HDL描述的模块中，定义A、B是模块的输入信号，C是与A、B同位宽的输出信号，模块功能描述是assign C=(A>B)?A:B; 如果某时刻A=4’b1011,B=4’b1101,则此时C等于

A.4'b1101

B.4'b1111

C.4'b1011

D.4'b1001

答案：A

答案解析：Verilog HDL语法

知识点：003

33.下面关于设计处理的说法错误的是

A. 设计处理将对输入的设计进行逻辑优化和综合、映射、布局布线和生成编程数据文件等一系列处理。

B.设计处理是从设计输入文件到生成编程数据文件的编译过程。

C.设计处理由EDA软件自动完成。

D.设计处理将把系统设计的下载或配置文件，通过编程电缆，按一定的格式装入一个或多个PLD的编程存储单元。 // 烧写， 编程下载

答案：D

答案解析：现代数字系统设计流程

知识点：001

34. Core Generator是哪个公司提供的IP核开发工具?

A. Altera

A. Aldec

C. Xilinx

D. Synplicity

答案：C

答案解析：IP Core的应用软件

知识点：004

35.关于ISE Foundation，下面说法错误的是

A.ISE Foundataion是ALTERA公司提供的FPGA集成开发环境。 // Xilinx公司

B. ISE Foundation支持HDL原理图，IP核，状态机等多种形式的设计输入方式。

C.ISE Foundation是一套完整的FPGA设计工具，涵盖了输入、综合、实现，验证和配置五大功能。

D.在物理实现环节，ISE Foundation包括了转换，映射，布局布线三个步骤。

答案：A

答案解析：ISE Foundation的概念

知识点：002

36. 关于ISE Foundation提供的内嵌的综合工具，下面说法中错误的是

A .Xilinx公司提供的综合工具是XST。

B.在综合前，可以打开综合属性设置对话框，设置和综合的全局目标和整体策略相关的参数。

C.该综合器在综合后，可以提供综合报告、 综合产生的寄存器传输级模块符号和模块内部逻辑结构等信息。

D.该综合工具实现了将设计映射到器件结构上，进行布局布线，达到在选定器件上实现设计的目的。

答案：D

答案解析：EDA设计工具

知识点：002

37. 下面对IP模块的描述错误的是

A. IP即知识产权产品。

B. IP有时候也称为虚拟元件或宏功能块，是满足特定规范，并能在设计中复用的功能模块。

C. IP即为网络协议。

D. IP模块的复用是使得数字电路系统赢得迅速上市时间的主要策略之一。

答案：C

答案解析：IP Core的概念： // ipcore是知识产权核的意思,就是一个设计做好了拿来卖给别人用;一般比较通用

知识点：004

38. 下面关于Modelsim的描述，错误的是

A.它是Mentor Graphics公司开发的独立仿真器。

B.它是唯一的单内核支持VHDL和Verilog HDL混合仿真的仿真器。

C.它能够对程序进行调试，测试代码覆盖率，对波形进行比较。

D. 它只能单独使用，不能在ISE Foundation中被调用。 // 能被ISE

答案：D

答案解析：Modelsim的应用

知识点：005

39.下面对FPGA结构与工作原理的描述中，正确的是

A. FPGA是基于乘积项结构的可编程逻辑器件。

B. FPGA的全称是复杂可编程逻辑器件。

C. FPGA实现同一个功能可以有不同的方案。

D. FPGA的布线时延可以预测。

答案：D

答案解析：FPGA结构与原理

知识点：006

40.若某一大规模的数字系统的实现所需触发器数量较多，但系统逻辑相对简单，则该系统适合选择以下哪种可编程逻辑器件为实现平台？

A.PAL

B.GAL

C.FPGA

D.CPLD

答案：C

答案解析：FPGA器件特点

知识点：006

41.在FPGA中，当嵌入式处理器带有一定的外设，能执行单片机的功能，并可能会利用实时操作系统和总线结构，达到中等的性能和中等的成本，这一使用模式被称为

A.状态机模式

B.单片机模式

C.定制嵌入模式

D.实时运行模式

答案：B

答案解析：FPGA嵌入式处理器的使用模式

知识点：007

42. Xilinx 公司推出的嵌入式开发套件是

A. EDK

B. XPS

C. SDK

D.GNU

答案：A

答案解析：SOPC开发工具

知识点：007

43.以下哪一个不属于基于EDK的嵌入式设计中的软件设计工作内容?

A.编写独立于器件的C/C++应用程序， 或编写自行设计的IP核驱动程序。

B.根据EDK对系统的配置脚本生成相对应的HAL库，对程序进行软件级仿真和调试。

C.将编译、链接后生成的可执行程序下载到目标，进行硬件级调试，测试和优化设计。

D.使用ISE编程器将生成的配置文件下载到FPGA,进行后端验证和测试。

答案：D

答案解析：基于EDK的嵌入式设计流程

知识点：007

44. ChipScope Pro是哪一个公司推出的片内逻辑分析工具?

A. ALTERA

B. Xilinx

C. Mentor Graphics

D. Aldec

答案：B

答案解析：在线逻辑分析仪软件

知识点：008

45. Active-HDL是一款针对FPGA/CPLD设计的

A.综合工具

B.仿真工具.

C.编程工具

D.优化工具

答案：B

答案解析：EDA开发的第三方工具

知识点：009

46.基于EDA软件的FPGA/CPLD设计流程有，原理图/HDL文本输入，综合，适配，编程下载，硬件测试， 功能仿真，时序仿真 以上描述缺少的环节是

A逻辑综合，映射

B.功能仿真，时序仿真

C.功能仿真、配置

D.配置，逻辑综合

答案：B

答案解析：FPGA设计流程

知识点：001

47. 为了使得系统运行速度快，在有限状态机设计中，可采用独热码的方式应用于触发器资源较多的哪个器件？

A.FPGA

B.CPLD

C.PAL

D.GAL

答案：A

答案解析：可编程逻辑器件原理

知识点：006

48.关于XC4VLX60-10ffg668C 器件，下面说法正确的是

A.这是一款Altera公司的芯片

B. - 10表示该器件的逻辑门数

C. ffg表示该器件的封装类型

D.它是一款工业用器件

答案：C

答案解析：可编程逻辑器件命名

知识点：006

49.大规模可编程器件主要有FPGA、 CPLD两类，下面对CPLD的描述，正确的是：

A.CPLD是现场可编程逻辑器件的英文简称。

B.CPLD是基于查找表结构的可编程逻辑器件。

C.CPLD的工艺使其断电后，芯片内的编程数据不会丢失。

D.在Xilinx公司生产的器件中。Spartan系列属于CPLD结构。

答案：C

答案解析：可编程逻辑器件原理

知识点：006

50.以下哪个仿真是在选择了具体器件，并完成布局布线得到模块和连线的延时信息后进行的，其结果与实际器件工作情况基本相同？

A.时序仿真

B.功能仿真

C.行为仿真

D,系统仿真

答案：A

答案解析：设计校验的概念

知识点：001

51.大规模可编程逻辑器件主要有FPGA，CPLD两类，其中FPGA通过哪种结构实现其逻辑功能？

A.可编程乘积项逻辑

B.查找表（LUT）

C.输入缓冲

D.输出缓冲`

答案：B

答案解析：可编程逻辑器件原理

知识点：006

52.下列对于硬IP核的正确描述为;

A.提供用HDL描述的功能模块，但不涉及实现的具体电路。

B.提供具有特定电路功能的集成电路版图。

C.以网表文件的形式提交用户，完成了综合的功能块。

D.对工艺技术的适应性很强。

答案：B

答案解析：IP核的概念与分类

知识点：004

53.将所设计的系统或电路按照EDA开发软件要求的某种形式表示出来，并送入计算机的过程称为：

A.设计输入

B.设计输出

C.仿真

D.综合

答案：A

答案解析：现代数字系统设计流程

知识点：001

54.下列标识符中，不合法的标识符是：

A.State\_0

B.7abcd

C.Not\_Ask\_0

D.psignal

答案：B

答案解析：Verilog HDL语法

知识点：003

55. IP核的应用在EDA技术和开发中十分重要，其中设计灵活，可以对其代码进行改动，具有良好的适应性的IP核是

A.硬核

B.固核

C.软核

D.通用IP

答案：C

答案解析：IP核的概念与分类

知识点：004

56.在Verilog HDL 设计中，有如下代码节选：

wire [1:0] c;

assign c = a & b;

设a=2’b10,b=2’b11，则c=

A.2’b00

B.2’b01

C.2’b10

D.2’b11

答案：C

答案解析：Verilog HDL语法

知识点：003

57.下列对FPGA的描述中，正确的是

A.FPGA的全称为复杂可编程逻辑器件。

B.FPGA是基于乘积项结构的可编程逻辑器件。

C.大多数FPGA是基于SRAM 结构，掉电后，片内信息消失。

D.在Xilinx公司生产的器件中，XC9500系列属于FPGA结构。

答案：C

答案解析：FPGA的基本概念

知识点：006

58.在EDA工具中，将布局布线后形成的下载文件下载到具体的FPGA芯片上的软件称为：

A.仿真器

B.综合器

C.适配器

D.编程器

答案：D

答案解析：EDA软件工具

知识点：001

59.按功能方面的划分，以下哪种IP核主要是CPU和DSP等，其技术门槛相对比较高？

A.知识产权

B.嵌入式

C.通用

D.都不是

答案：B

答案解析：IP 核的概念与分类

知识点：004

60.设计a=1’b1，b=3’b101，c=4’b1010，则按Verilog HDL的相关语法，assign X= {a,b,c};则X的值等于：

A.7’b1101100

B.8’b10101011

C.8’b11010101

D.8’b11011010

答案：D

答案解析：Verilog HDL语法

知识点：003

61.基于EDA软件的FPGA/CPLD设计流程，下列哪一个是正确的?

A.原理图/HDL文本输入一>功能仿真一>综合一>适配一>编程下载一>硬件测试

B.原理图/HDL文本输入一>适配一>综合一>功能仿真一>编程下载一>硬件测试

C.原理图/HDL文本输入一>功能仿真一>综合一>编程下载一>适配一>硬件调试

D.原理图/HDL文本输入一>功能仿真一>适配一>编程下载一>综合一>硬件测试

答案：A

答案解析：FPGA/CPLD设计流程

知识点：001

62. CPLD的可编程结构是主要基于

A.查找表(LUT)

B. ROM可编程

C. PAL可编程

D.与或阵列乘积项

答案：D

答案解析：可编程逻辑芯片原理

知识点：006

63.综合是EDA设计流程的关键步骤，下面描述中错误的是

A.综合就是将用HDL描述的电路转化为可与FPGA/CPLD的基本结构相映射的门级网表的过程。

B.为实现系统的速度、面积、性能的要求，需要对综合加以约束，称为综合约束。

C.综合可理解为将软件描述与给定的硬件结构用电路网表文件表示的映射过程，并且这种映射关系不是唯一的。

D.综合是纯软件的转换过程，与器件硬件结构无关。

答案：D

答案解析：综合的概念

知识点：001

64在Verilog HDL语言中，下列语句那个不是分支语句?

A. if-else

B. case

C. casez .

D. repeat

答案：D

答案解析：Verilog HDL 语法

知识点：003

65.在下列标识符中，合法的标识符是

A.2and

B.&write

C.0\_NotAck

D.signal1

答案：D

答案解析：Verilog HDL 语法

知识点：003

66.在现代数字系统设计中，下面对IP模块的描述，正确的是

A.知识产权产品

B.一种网络数据的封装形式

C.网络协议

D.IP模块在现代数字系统设计中很少使用。

答案：A

答案解析：IP模块的概念

知识点：004

67.在Verilog HDL的“a<= b”语句赋值的方法一般称为

A.连续赋值

B.阻塞赋值

C.非阻塞赋值

D.函数赋值

答案：C

答案解析：Verilog HDL 语法

知识点：003

68. 下列关于Verilog HDL中的case语句，说法不正确的是

A当case语句中控制表达式的值与某分支表达式的值相等，则执行该分支表达式后的语句。

B. case语句中必须要有defult语句。

C. case 语句中的每个分支表达式的值必须是互不相同的。

D. case 语句的作用类似于多路选择器。

答案：B

答案解析：Verilog HDL 语法

知识点：003

69.下列对FPGA结构与工作原理的描述中，正确的是

A FPGA全称为复杂可编程门阵列。

B. FPGA是基于乘积项结构的可编程逻辑器件。

C.大多数FPGA基于SRAM的结构.在每次上电后必须进行一次配置。

D.在Xilinx公司生产的器件中，XC9500 系列属于FPGA结构。

答案：C

答案解析：FPGA芯片原理

知识点：006

70.在Verilog HDL的逻辑运算中，设A=1’b1，B=3’b001则表达式 “{A,B}”的结果为

A 4’b0011

B.3’b001

C.4’b1001

D.3’b101

答案：C

答案解析：Verilog HDL 语法

知识点：003

71.根据Verilog HDL语法，下列语句中，属于并行语句的是：

A.阻塞賦值语句

B. begin 语句

C.模块例化语句

D. if语句

答案：C

答案解析：Verilog HDL 语法

知识点：003

72关于可编程逻辑器件的分类。下面说法错误的是

A. PLA、 PAL、GAL属于高密度可编程逻辑器件。

B. FPGA是统计型PLD的典型代表。

C.采用熔丝或反熔丝开关进行编程的器件是非易失性器件。

D.CPLD基本上采用浮栅编程技术方式编程。

答案：A

答案解析：可编程逻辑器件原理

知识点：006

73.基于硬件描述语言的数字系统设计，目前最常用的设计方法称为

A.自底向上设计法

B.自顶向下设计法

C.积木式设计法

D.顶层设计法

答案：B

答案解析：现代数字系统设计基本方法

知识点：001

74.在ISE Foundation集成开发环境下，属于第三方的仿真工具的是：

A.ModelSim

B.EDA

C.XST

D.iMPACT

答案：A

答案解析：FPGA设计工具

知识点：005

75. ChipScope Pro是基于边界扫描测试方法的

A.逻辑优化工具

B.逻辑分析工具

C.逻辑仿真工具

D.逻辑综合工具

答案：B

答案解析：FPGA设计工具

知识点：008

76.用户通过一些具有通用性的单元元件或半成品硬件来制作，并且在使用时仅需要考虑电路逻辑功能和各功能模块之间的合理连线的芯片是

A.全定制ASIC

B.半定制ASIC

C.晶体管芯片

D.存储器芯片

答案：B

答案解析：数字芯片概念

知识点：001

77.设计处理的过程包括：逻辑优化和综合，映射，布局布线及

A.逻辑化简

B.网表文件合并

C.逻辑元件互连

D.生成编程数据文件

答案：D

答案解析：FPGA设计流程

知识点：001

78. EDA软件工具大致分为五个模块:设计输入编辑器，HDL综合器，仿真器，适配器及

A.优化器

B .布局布线器

C.下载器

D.转换器

答案：C

答案解析：FPGA设计工具

知识点：001

79.在ISE Foundatation 集成工具中，实现FPGA/CPLD的配置和通信的工具是:

A.ECS

B. XST

C. HDL Bench

D . iMPACT

答案：D

答案解析：ISE Foundatation 集成工具及其用途

知识点：002

80.设a=4'b1101 . b=4’b1010 ,按照Verilog HDL语法，执行语句assign c=a&b; 则c=

A .4’b0001

B .4'b0010

C.4’b0100

D.4'b1000

答案：D

答案解析：Verilog HDL 语法

知识点：003

81.根据IP Core使用的方式不同, IP Core设计者可以按三种形式设计提供集成选择的IPCore可再用、可重定目标以及

A.可配置

B.可移植

C.可集成

D.可分析

答案：A

答案解析：IP Core 的分类与使用

知识点：004

82.已完成对性能、尺寸和功耗的优化，并对一个特定的工艺技术进行映射，以集成电路版图形式提供的IP模块是

A.硬核

B.固核

C.软核

D .嵌入式核

答案：A

答案解析：IP Core 的分类

知识点：004

83.在Modelsim中编译Xilinx器件的仿真库时，添加的Simprim仿真库用于

A. 综合后仿真

B .编译后仿真

C .映射后仿真

D .布局布线后仿真

答案：D

答案解析：Modelsim仿真库

知识点：005

84.在进行时序仿真前，需产生的支持时序仿真的文件有:综合布局布线生成的网表文件,测试激励、元件库及

A.具有时延信的反标文件，

B.HDL程序

C.引脚锁定信息

D.功能仿真波形

答案：A

答案解析：时序仿真的概念与实现的前提条件

知识点：005

85.互连结构上归类为统计型的PLD是

A. CPLD .

B. GAL

C. FPGA

D. PLA

答案：C

答案解析：可编程逻辑器件分类

知识点：006

86. FPGA的配置按照主动/被动以及串/并行可以使用的配置模式有:从动串行,从动并行,主动串行,主动并行和

A. JTAG模式

B.MS模式

C.SS模式.

D. MSAP模式

答案：A

答案解析：FPGA配置模式

知识点：006

87. Xilinx公司的三类SOPC嵌入式内核分别是: PicoBlaze、MicroBlaze 和 PowerPC

A . CoreConnect

B . PowerPC

C. LMB

D. PLB

答案：B

答案解析：Xilinx的SOPC设计

知识点：007

88.下面哪项属于基于EDK的嵌入式设计中的软件设计工作范畴?

A.使用EDK工具进行硬、软核集成。

B .将EDA生成的HDL代码用ISE进行综合、布局布线、仿真。

C.将编译、链接后生成的可执行程序下载到目标器件,进行硬件级的调试、测试和优化。

D .使用ISE编程器将生成的配置文件下载到FPGA，进行后端验证和测试。

答案：C

答案解析：SOPC概念与设计流程

知识点：007

89. Xilinx公司提供的在线逻辑分析仪是

A．JTAG

B . ChipScope Pro

C. Fooplanner

D.PROM Fle Formatter

答案：B

答案解析：在线逻辑分析仪

知识点：008

90. Synplicity 公司提供的针对FPGA和CPLD实现的逻辑综合工具是

A. XST

B . Synplify

C. ISE simulator

D . Xpower

答案：B

答案解析：其它设计工具

知识点：009

1. 名称解释

91. ASIC

答案：专用集成电路

答案解析：基本概念

知识点：001

92.EDA

答案：电子设计自动化

答案解析：基本概念

知识点：001

93.Firm Core

答案：固核

答案解析：IPCore基本概念

知识点：001

94. EDA

答案：电子设计自动化

答案解析：基本概念

知识点：001

95. FPGA

答案：现场可编程门阵列

答案解析：基本概念

知识点：001

96. IPCore

答案：知识产权核

答案解析：基本概念

知识点：004

97. EDO

答案：电子设计最优化

答案解析：现代数字系统设计的发展趋势

知识点：001

98. SOC

答案：片上系统

答案解析：基本概念

知识点：001

99. PLD

答案：可编程逻辑器件

答案解析：基本概念

知识点：001

100.EDA

答案：电子设计自动化

答案解析：基本概念

知识点：001

101.SOC

答案：片上系统

答案解析：基本概念

知识点：001

102.CLB

答案：可编程逻辑块

答案解析：可编程器件概念

知识点：006

103. CPLD

答案：复杂可编程逻辑器件

答案解析：基本概念

知识点：001

104.HDL

答案：硬件描述语言

答案解析：基本概念

知识点：001

105.EDA

答案：电子设计自动化

答案解析：基本概念

知识点：001

106.PLD

答案：可编程逻辑器件

答案解析：基本概念

知识点：001

107.RTL

答案：寄存器传输级

答案解析：可综合的HDL代码概念

知识点：003

108.FPGA

答案：现场可编程门阵列

答案解析：基本概念

知识点：001

三、判断改错题:判断下列各题划线处的正误，正确的划上" √";错误的划上"X",并改正错误。

109.功能仿真是在设计输入完成后，选择具体器件进行编译之前进行的逻辑功能验证，没有延时信息。

答案：对

答案解析：现代数字系统设计步骤

知识点：001

110.ChipScope Pro是ISE集成开发套件中的仿真工具。

答案：错 仿真工具 改为片内逻辑分析工具

答案解析：EDA设计工具

知识点：008

111.在嵌入式系统的软件一般由嵌入式操作系统和应用软件组成。

答案：对

答案解析：嵌入式系统概念

知识点：007

112.在嵌入式处理器的使用模式中，在单片机模式下嵌入式处理器可以无外设，无总线结构，和无实时操作系统，但是可以执行复杂的状态机和算术运算，达到可高可低的性能及最低的成本。

答案：错 单片机模式 改为状态机模式

答案解析：嵌入式系统概念

知识点：007

113. FPGA 是基于乘积项结构的可编程逻辑器件。

答案：错 乘积项结构改为查找表结构

答案解析：可编程逻辑器件原理

知识点：006

114.基于SRAM的FPGA器件,在每次上电后必须进行一次配置。

答案：对

答案解析：可编程逻辑器件原理

知识点：006

115.硬核一般不允许更改，硬IP核难以转移到新工艺或集成到新结构中,它是不可重配置的。

答案：对

答案解析：IP Core的概念与分类

知识点：004

116. ModelSim软件是专门针对FPGA和CPLD实现的逻辑综合工具。

答案：错 逻辑综合工具 改为仿真工具

答案解析：EDA设计工具

知识点：005

117. “自顶向下”的设计方法是首先确定可用的元器件,然后根据这些器件进行逻辑设计，完成各模块设计后进行连接，并形成系统,最后经调试、测试，判断整个系统是否达到规定的性能指标。

答案：错 自顶向下，改为自底向上

答案解析：数字系统设计基本方法

知识点：001

118.硬核已完成对性能、尺寸和功耗的优化，并对一个特定的工艺技术进映射，具有可保证的性能，但它一般不允许更改，难以转移到新工艺或集成到新结构中，它是不可重配置的。

答案：对

答案解析：IP Core基本概念

知识点：004

119.为了在ISE集成开发环境中直接调用ModelSim，必须通过ISE中的仿真软件接口集成ModelSim，并装载、编译相应的仿真库。

答案：对

答案解析：ModelSim的使用

知识点：005

120.FPGA通常采用EPROM或E2CMOS工艺，断电后编程数据不会丢失，因此不需要外部存储器，而且这种器件中设置有加密单元，加密后可以防止编程数据被读出。

答案：错 FPGA改为CPLD

答案解析：可编程逻辑器件组成原理

知识点：006

121.嵌入式系统的架构可分为:处理器，存储器，输入输出接口和软件四个部分。

答案：对

答案解析：嵌入式系统概念

知识点：007

122.在FPGA系统设计中, 一般采用一种自底向上的设计方法。

答案：错，自底向上 改为自顶向下

答案解析：现代数字系统设计方法

知识点：001

123. Verilog HDL语言中，连续赋值语句以assign为关键词，用于数据流行为建模。

答案：对

答案解析：Verilog HDL语法

知识点：003

124.在EDA工具中，能完成在目标系统器件上布局布线的软件称为综合器。

答案：错，综合器改为适配器

答案解析：EDA软件工具

知识点：001

125.基于电可擦除存储单元的E2PROM或Flash技术的CPLD的在系统下载称为配置。

答案：错 配置 改为 编程

答案解析：可编程逻辑器件的下载

知识点：006

126. Verilog HDL语言的标识符使用字母的规则是大小写字母的含义不同。

答案：对

答案解析：Verliog HDL语法

知识点：003

127. IP核在EDA技术和开发中具有十分重要的地位，以HDL方式提供的IP核被称为硬核。

答案：错 硬核 改为软核

答案解析：IP核基本概念

知识点：004

128.关于XC95288XL- 6TQ144C器件，-6 表示器件的速度等级。

答案：对

答案解析：可编程逻辑器件的命名规则

知识点：006

129. EDA技术中的硬件软化是指硬件的设计使用软件编程的方式进行，整个设计和修改过程如同完成软件设计一样方便和高效。

答案：对

答案解析：EDA技术特点

知识点：001

130. ISE Foundation集成工具中的Flooplanner可以编辑与I/O引脚和面积约束相关的用户约束文件。

答案：错 Flooplanner改为PACE

答案解析：ISE Foundation的主要集成工具的功能

知识点：002

131.通用型IPCore除IP Core本身的设计外，还需要有良好的开发环境，软件支持及完善的服务体系，其技术门槛较高，利润空间较大。

答案：错 通用型IPCore改为嵌入式IP Core

答案解析：IP Core按功能方面划分

知识点：004

132.通过改变Xilinx的FPGA芯片的M2 , M1，M0管脚的连接，可以实现FPGA下载配置模式的切换。

答案：对

答案解析：FPGA的配置

知识点：006

四、简答题

133. 简述EDA技术的发展历程。

答案：

（1）二十世纪70年代，产生了第一代EDA工具，是计算机辅助设计（CAD）阶段

（2）二十世纪80年代，为了适应电子产品在规模和制作上的需要，应运出现了以计算机仿真和自动布线为核心技术的第二代EDA技术。即计算机辅助工程（CAE）阶段

（3）90年代后，随着科学技术的发展，出现了以高级语言描述、系统级仿真和综合技术为特征的第三代EDA技术。即电子设计自动化（EDA）阶段

答案解析：EDA技术发展

知识点：001

134. 传统设计方法和EDA设计方法的有何不同？

答案：

传统设计方法和EDA设计方法的不同：

|  |  |
| --- | --- |
| **传统设计方法** | **EDA设计方法** |
| 自底向上 | 自顶向下 |
| 手动设计 | 自动设计 |
| 硬软件分离 | 打破硬软件屏障 |
| 原理图方式设计 | 原理图，HDL语言等多种设计方式 |

答案解析：设计方法的演变与特点

知识点：001

135. 简述阻塞赋值与非阻塞赋值的不同。

答案：

阻塞赋值符号是“=”；必须是阻塞赋值完成后，才进行下一条语句的执行；赋值一旦完成，等号左边的变量值立刻发生变化

非阻塞赋值的符号是“<=”,非阻塞赋值在赋值开始时计算表达式右边的值，到了本次仿真周期结束时才更新被赋值变量（即赋值不立刻生效）；非阻塞赋值允许块中其他语句的同时执行。在同一个顺序块中，非阻塞赋值表达式的书写顺序，不影响赋值的结果。

答案解析：Verilog HDL语法

知识点：003

136.说明FPGA配置有哪些模式，主动配置和从动配置的主要区别是什么？

答案：分为：从动串行模式、从动并行模式、主动串行、主动并行、JTAG模式。

主动配置由可编程器件引导配置过程，从动配置则由外部处理器控制配置过程。

答案解析：FPGA配置

知识点：006

137. 简述过程赋值和连续赋值的区别

答案：

过程赋值和连续赋值的区别：

|  |  |
| --- | --- |
| 过程赋值 | 连续赋值 |
| 无关键字（过程连续赋值除外） | 关键字assign |
| 用“= ”和“<=”赋值 | 只能用“=”赋值 |
| 只能出现initial和always语句中 | 不能出现initial和always语句中 |
| 用于驱动寄存器 | 用于驱动网线 |

答案解析：Verilog HDL语法

知识点：003

138. FPGA/CPLD 编程或配置中的主动模式和从动模式的主要区别是什么?

答案：主动配置模式是可编程器件引导的配置过程，从动配置是由外部处理器控制的配置过程。

答案解析：可编程逻辑器件下载方式

知识点：006

139.现代数字系统设计中有哪些主要设计输入方式?

答案：原理图输入，HDL程序输入，状态机图形描述法，IP模块输入法。

答案解析：EDA设计工具

知识点：001

140.在EDA技术中，什么是自顶向下的设计方法?

答案：该设计方法从一开始就考虑产品生成周期等诸多方面，包括质量，成本，开发时间，用户需求等，首先从系统设计入手，在顶层进行功能划分和结构设计，然后再逐级设计低层结构，最后再用系统整合语句等方式，构建系统，用逻辑综合优化工具生成具体的门级逻辑电路网表。该设计方法实现了并行设计。

答案解析：EDA设计方法

知识点：001

141.简述FPGA的设计流程。

答案：1）设计准备：进行方案论证，系统设计和器件选择等设计准备工作；2）设计输入：设计者将所设计的系统或电路以EDA开发软件要求的形式表示出来，并送入计算机的过程；3）设计处理：从设计输入文件到生成编程数据文件的编译过程；4）器件编程：把系统设计的下载或配置文件，通过编程电缆按一定格式装入一个或多个PLD编程存储单元；5）设计校验：使用EDA开发软件对设计进行分析，包括功能仿真，时序仿真，器件测试，其中功能仿真在设计输入完成后进行的逻辑功能验证，时序仿真是在布局布线后，进行的快速时序测试，与实际器件工作情况基本相同的仿真，器件测试是在器件编程后，搭建实际硬件平台，对系统进行的测试。

答案解析：现代数字系统设计流程

知识点：001

142.简述软IP核在实际应用中的优点与缺点。

答案：软核是以可综合的寄存器传输级(RTL)描述或通用库元件的网表形式提供的可重用的IP模块。它的优势是对工艺技术的适应性很强，可以方便地移植到新的工艺中。由于软核设计以高层次表示，因而软IP核易于重定目标和重配置。它的缺点是：预测软IP核的时序、面积与功率诸方面的性能较困难

答案解析：IP Core 的概念与分类

知识点：004

143.简述利用EDA技术进行电子系统设计具有的特点。

答案：1）软件硬化，硬件软化;2)采用自顶向下设计方法；3）集设计、仿真和测试于一体；4）在系统可现场编程、在线升级；5）设计工作标准化，模块可移植共享。

答案解析：EDA技术基本概念

知识点：001

144.简述软核与硬核在应用中各自的优缺点。

答案：硬IP核最大的优点是确保性能，如速度、功耗等。硬核的缺点：一般不允许更改，硬IP核难以转移到新工艺或集成到新结构中，它是不可重配置的。软核的优势是对工艺技术的适应性很强，可以方便地移植到新的工艺中。由于软核设计以高层次表示，因而软IP核易于重定目标和重配置。软核的缺点：预测软IP核的时序、面积与功率诸方面的性能较困难。

答案解析：IP Core的概念与分类

知识点：004

145.简述在用HDL设计现代数字系统过程中，时序仿真波形和功能仿真波形的区别，以及这两种仿真的目的。

答案：功能仿真在设计输入完成后，选择具体器件进行编译前进行的逻辑功能验证，功能仿真的目的用于验证设计的逻辑功能；时序仿真在选择了具体器件并完成布局布线之后进行的快速时序检验，可对设计性能做整体分析，是与实际器件工作情况基本相同的仿真。

答案解析：设计验证的基本概念

知识点：001

146.简述编程、配置这两个概念。简述需要在FPGA构成的数字系统中配置一个PROM或E2PROM的原因。

答案：基于电可擦除存储单元的E2ROM或FLASH 技术的CPLD的在系统下载称为编程；基于SRAM查找表结构的FPGA的在系统下载称为配置。

因为FPGA基本是基于SRAM结构的器件，掉电后，芯片内数据消失，所以需要配置一个PROM或E2PROM存储FPGA的配置数据，在每次加电时进行重新配置。

答案解析：在系统下载的基本概念

知识点：006

147.IP Core的概念是什么?为什么使用IP Core是目前现代数字系统设计的发展趋势?

答案：IP Core是知识产权核。因为使用IP Core 可以使设计师不必了解设计芯片所需的所有技术，降低了芯片设计难度，也避免了重复劳动，大大减轻了设计师的负担，复制IP Core花费代价较小。所以使用IP Core是目前现代数字系统设计的发展趋势。

答案解析：IP Core 基本概念

知识点：004

148. Verilog HDL中的模块端口类型一般分为哪三类?

答案：分为:输入端口，输出端口，输入/输出端口

答案解析：Verilog HDL语法

知识点：003

149.可编程逻辑器件从互连结构上可分为哪两类？这两类的代表器件分别是什么？

答案：从互连结构上分为确定型，统计型两类，其中确定型的代表是CPLD ，统计型的代表是FPGA。

答案解析：可编程器件的分类

知识点：006

150.FPGA和CPLD的中文名称分别是什么？它们分别是基于什么结构的可编程逻辑器件？

答案：FPGA的中文名称，现场可编程门阵列，CPLD：复杂可编程门阵列。其中FPGA是基于查找表结构的可编程器件，CPLD是基于乘积项结构的可编程逻辑器件。

答案解析：可编程器件的概念

知识点：006

151.简述有限状态机分为哪两类？简要说明它们之间的区别。

答案：有限状态机分为Mealy状态机，Moore状态机。它们的区别是：Mealy状态机的输出由当前状态和输入信号共同决定，Moore状态机的输出只是当前状态的函数。

答案解析：Verilog HDL语法

知识点：003

152.什么是综合?综合的步骤是什么?

答案：将用HDL语言描述的寄存器传输级电路转化成门级网表的过程。它的过程是：

1. 转化：将HDL描述的电路系统转化为各个功能单元连接的电路结构的门级网表；
2. 优化：根据设计者提供的约束条件，针对目标器件将转化的门级网表按一定的算法进行逻辑重组和优化；
3. 映射：根据约束条件，综合工具从目标器件的工艺库中搜索恰当的单元来构成电路。

答案解析：综合的基本概念

知识点：001

153. SOC的技术含义是什么?什么是SOPC?

答案：SOC称为片上系统，是将微处理器，模拟IP Core 数字IP Core和存储器，数据通道，与外部系统的数据接口等部件集成在单一芯片上，是一个微小型系统。SOPC称为片上可编程系统，是使用FPGA/CPLD取代ASIC，根据设计要求，进行软、硬件协同设计方法实现的片上系统。

答案解析：SOC,SOPC技术概述

知识点：001

154.简述任务和函数的区别。

答案：1）函数不能启动任务，任务可以调用函数；2）任务可以有任意类型的I/O变量或没有输入变量，函数允许有输入变量且至少有一个；3）函数返回一个值，该变量名与函数名相同；任务名本身没有值，只是实现某种操作，它的数值传递通过I/O端口实现；4）任务可以用于组合、时序电路的描述，函数只能用于组合逻辑电路的描述，函数可以出现在连续赋值语句的右端表达式中，函数的定义不能包含有任何的时间控制语句。

答案解析：Verliog HDL语法

知识点：003

155. PLD器件按照编程元件的不同，可以分为哪几类编程方式? Spartan系列的FPGA属于哪类编程方式？

答案：按编程元件分类：熔丝和反熔丝开关，浮栅编程技术，SRAM配置存储器。

Spartan系列的FPGA属于SRAM配置存储器方式。

答案解析：可编程逻辑器件分类

知识点：006

156.按照主/被动以及串/并行方式，FPGA 可以使用的配置模式有哪些?

答案：配置模式：从动串行，从动并行，主动串行，主动并行，JTAG模式

答案解析：可编程逻辑器件配置方式

知识点：006

157.简述现代数字系统的设计流程。

答案：(1)设计准备:进行方案论证,系统设计和器件选择等设计准备工作。

(2)设计输入:设计者将所设计的系统或电路按照EDA开发软件要求的某种形式表示出来，并送入计算机的过程。

(3)设计处理：从设计输入文件到生成编程数据文件的编译过程。

(4)设计校验：使用EDA开发软件对设计进行分析，验证。

(5)器件编程:是把系统设计的下载或配置文件，通过编程电缆按一定格式装入一个或多个PLD编程存储单元，用于定义PLD内部模块的逻辑功能以及它们的相互连接关系。

答案解析：现代数字系统设计流程

知识点：001

158.什么是IP Core的复用?在现代数字系统设计中采用IP Core复用的优点是什么?

答案： IP Core复用是指在设计新产品时采用已有的各种功能模块。(2分) . 采用IP Core复用的优点:修改非常有限，减少设计的人力和风险，缩短设计周期，确保优良品质。

答案解析：IP Core的作用

知识点：004

159.简述功能仿真和时序仿真各自的目的。如果功能仿真波形显示设计出错,应进行哪些设计文件的修改?

答案：功能仿真是直接对HDL原理图描述或其他描述形式的逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计要求的过程。时序仿真是在EDA工具布局布线后。取得芯片的门延时，线延时信息后，并综合考虑系统各功能，是对芯片真实工作情况的一种仿真。如果功能仿真波形出错，应该修改系统方案和以HDL，原理图为代表的设计输入文件。

答案解析：设计校验的概念

知识点：001

160. FPGA和CPLD分别是基于什么结构的可编程逻辑器件? FPGA和CPLD的基本结构由哪几种可编程部分组成？

答案: CPLD是基于乘积项的可编程逻辑结构, FPGA是基于查找表的可编程逻辑结构。FPGA和CPLD的基本结构由可编程逻辑单元,可编程内部连线(快速互联通道)可编程IO。

答案解析：可编程逻辑器件

知识点：006

五．程序分析题

161. 分析下面的Verilog HDL源程序，回答问题。

module test(data\_in1，data\_in2，sel，data\_out);

input data\_in1，data\_in2;

input [1：0] sel;

空1 data\_out; // output， (posekey sel), endcase

always @ 空2

begin // （data\_in1 or data\_in2 or sel）

case（sel）

2′b00 ： data\_out <= data\_in1 ^ data\_in2; // 异或： 相同为0， 相异为1

2′b01： data\_out <= data\_in1 | data\_in2;

2′b10： data\_out <= data\_in1 ~^ data\_in2;

2′b11： data\_out <= ~data\_in1;

default： data\_out <=2′bxx；

空3

end

endmodule

（1）完成程序填空.

（2）如果输入信号值如题27表所示,写出功能仿真后相应的输出信号值完成表格填空。

题27表

|  |  |  |  |
| --- | --- | --- | --- |
| data\_in1 | data\_in2 | sel | data\_out |
| 1’b1 | 1’b0 | 2’b01 | 空4 |
| 1’b0 | 1’b1 | 2’b00 | 空5 |

答案：空1：output 空2：（data\_in1 or data\_in2 or sel）空3：endcase 空4:1’b1 空5：1’b1

答案解析：Verilog HDL语法

知识点：003

162. 分析下面程序，完成程序填空，说明test2的功能是什么?

module test2(out,in);

output[7：0] out;

input[2：0] in;

reg[7：0] out

空1 @(in)

begin

空2 (in)

3´d0：out=8´b11111110;

3´d1：out=8´b11111101；

3´d2：out=8´b11111011;

3´d3：out=8´b11110111;

3´d4：out=8´b11101111;

3´d5：out=8´b11011111;

3´d6：out=8´b10111111;

3´d7：out=8´b01111111;

default: out=8’b00000000;

空 3

空 4

空 5

答案：空1：always 空2：case 空3：endcase 空4：end 空5：endmodule

该模块描述了一个38译码器。

答案解析：Verilog HDL语法

知识点：003

163.试用Verilog HDL描述一个异步复位、二十进制的减法计数器。

端口设定如下：

输入端口：

CLK----系统输入时钟，时钟上升沿触发模块减1

RST----异步复位信号，当RST=1’b0，系统输出为0，当RST=1’b1，系统正常工作。

输出端口：

COUT----减法器向高位借位

CQ----减法器本位值

答案：

module CNT20(CLK, RST, CQ, COUT);

input CLK,RST;

output[4：0] CQ;

output COUT;

reg[4：0] CQI;

reg COUT;

always @(posedge CLK or negedge RST)

begin

if (!RST)

begin

CQI=5'b0; COUT<=1'b0;

end

else if (CQI==5'b0)

begin

CQI=5'b10100;

COUT<=1'b1;

end

else

begin

CQI=CQI-1;

COUT<=1'b0;

end

end

assign CQ=CQI;

endmodule

答案解析：Verilog HDL语法

知识点：003

164.用Verilog HDL设计一个序列检测器,用于检测串行的二进制序列，每当连续输入三个1时,序列检测器的输出为1,其它情况下输出为0。

（1）画出状态图

（2）写出实现程序。

答案：

（1）



（2）

module xx(reset,clk,in,flag\_out);

input in,clk,reset;

output flag\_out;

reg [1:0] cur\_state;

parameter s1=1,s2=2,s3=3;

always @(posedge clk or posedge reset)

if (!reset)

begin cur\_state<=s1;flag\_out<= 1’b0;end

case(cur\_state)

s1：if(in) begin cur\_state<=s2;flag\_out<=0;end

else begin cur\_state<=s1;flg\_out<=0;end

s2：if(in) begin cur\_state<=s3;flag\_out<=0; end

else begin cur\_state<=s1;flg\_out<=0; end

s3：if(!in) begin cur\_state<=s1;flag\_out<=1; end

else begin cur\_state<=s1;flg\_out<=0; end

default : begin cur\_state<=s1;flg\_out<=0; end

endcase

endmodule

答案解析：Verilog HDL语法

知识点：003

注：编程结果不唯一

165.分析test1模块程序，完成下列题目:

(1)完成程序填空。

(2)分析程序，根据输入信号得到相应功能仿真的输出信号,完成题28表填空。

module test1(inl,in2,in3,out1,out2);

input in1,in2,空1;

output out1;

output [1:0] out2;

空2 data\_temp1,data\_temp2,空 3;

always @ ( in1 or in2 or in3)

begin

data\_temp1 = in1 | in2;

data\_temp2 = in1 & in2;

out1 = data\_temp1& in3;

end

assign out2 = out1 + data\_temp2;

空4

题28表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| in1 | in2 | in3 | out1 | out2 |
| 1’b1 | 1’b0 | 1’b1 | 空5 | 空6 |
| 1’b1 | 1’b0 | 1’b0 | 空7 | 空8 |

答案：空1：in3 空2：reg空3：out 空4 endmodule空5：1’b1空6：2’b01 空7：1’b0 空8：2’b00

答案解析：Verilog HDL语法

知识点：003

166.根据下面的Verilog HDL代码，画出综合后的电路图。

module test12(out,clk,in1,in2,in3,in4);

input clk;

input in1,in2,in3,in4;

output out;

reg out;

reg temp1,temp2;

always @ (posedge clk)

begin

temp1 <= in1 & in2;

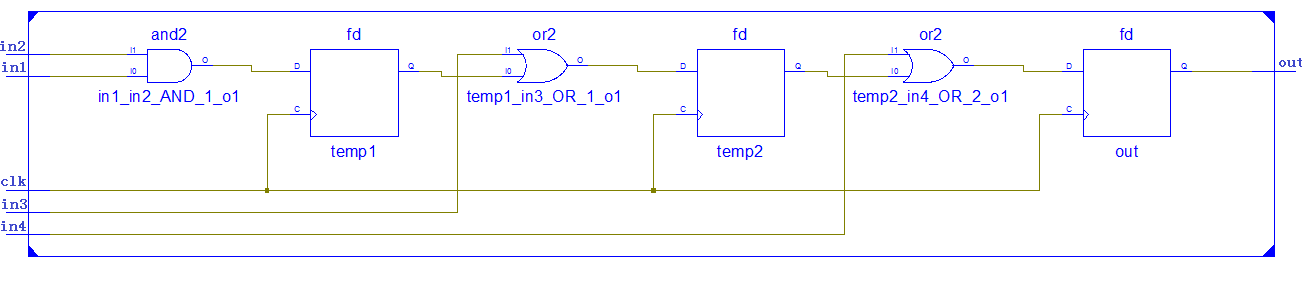
temp2 <= temp1 | in3;

out <= temp2 | in4;

end

endmodule

答案：



答案解析：Verilog HDL语法

知识点：003

167.用Verilog HDL设计一个八分频电路。

1)输入信号:

clk--- -- 输入时钟

reset ------同步复位信号，当reset=1' b1时，系统输出置零，当reset=1' bo时,系统正常工作。

2)输出信号:

clk\_out -----输出信号，其频率是输入时钟的八分之一。

答案：

module test (clk,reset,clk\_out);

input clk;

input reset;

output clk\_out;

reg clk\_out;

reg [2:0] counter;

always @ (posedge clk)

if(reset)

counter <= 3'b000;

else

counter <= counter+1'b1;

always @ (posedge clk)

if(reset)

clk\_out <= 1'b0;

else

if(counter ==3'b000)

clk\_out <= 1'b1;

else

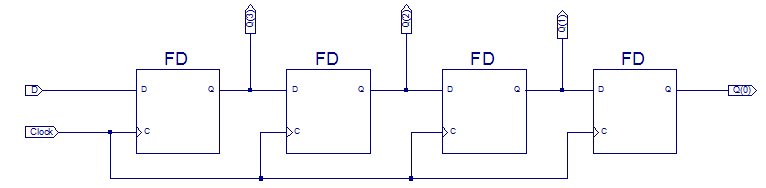
clk\_out <= 1'b0;

endmodule

答案解析：Verilog HDL语法

知识点：003

168.编程实现如题31图所示的D触发器组成的4位移位寄存器电路功能，将串行输入转换为并行输出。



题31图

答案：

module test (D,Clock,Q);

input D;

input Clock;

output [3:0] Q;

reg [3:0] Q;

always @ (posedge Clock)

begin

Q[3] <= D;

Q[2] <= Q[3];

Q[1] <= Q[2];

Q[0] <= Q[1];

end

endmodule

答案解析：Verilog HDL语法

知识点：003

注：编程结果不唯一

169.分析下面的Verilog HDL程序，回答问题。

module test1(cout,sum,a,b,cin );

output cout;

output[3:0] 空1 ;

input 空2 ;

input [3:0] a,b;

空3 {cout,sum}= a + b + cin;

endmodule

1. 完成程序填空。

(2)分析该模块的功能，根据输入信号得到相应的输出信号，完成题27表的填写。按表中的标号将相关数据写到答题卡的相应位置。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入信号 | | | 输出信号 | |
| a | b | cin | cout | sum |
| 4’b1010 | 4’b0011 | 1’b0 | 空4 | 空5 |
| 4’b0101 | 4’b1100 | 1’b1 | 空6 | 空7 |

空1：sum 空2： cin 空3：assign 空4：1’b0 空5： 4’b1101 空6：1’b1 空7：4’b0001

答案解析：Verilog HDL语法

知识点：003

170. 分析下面程序，画出该程序综合后的电路。

module test2(in,clk,yout );

input in,clk;

output yout ;

reg q1,q2,q3;

always @ (posedge clk)

begin

q1<= q3;

q2 <= q1 | in;

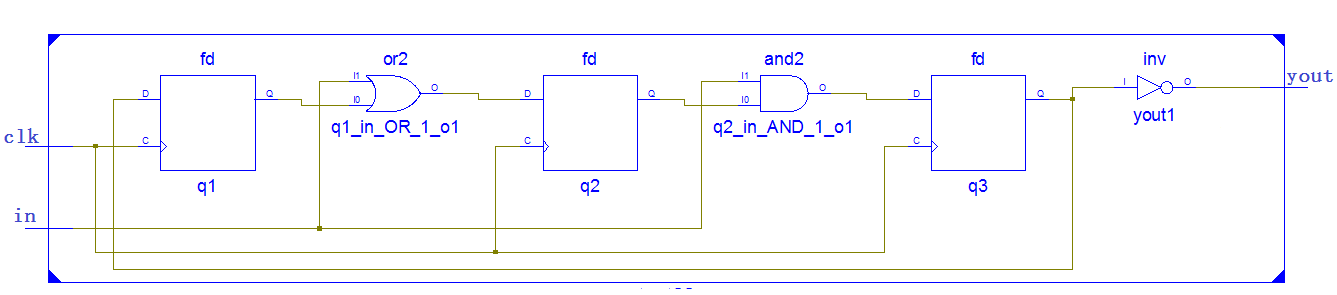
q3 <= q2 & in;

end

assign yout = ~q3

endmodule

答案：



答案解析：Verilog HDL语法

知识点：003

171.用Verilog HDL设计一个数值比较器。

具体要求:

1. 输入的待比较信号: in1, in2,位宽均为4
2. 出信号: out1, ou2, out3, 位宽均为1;

当inl>in2时，out1=1'b1, out2=1'b0， out3=1'b0;

当inl=in2时，out1=1'b0, out2=1'b1， out3=1'b0;

当inl<in2时，out1=1'b0, out2=1'b0， out3=1'b1;

答案：

module test (in1,in2,out1,out2,out3 );

input [3:0] in1,in2;

output out1,out2,out3;

reg out1,out2,out3;

always @ (in1 or in2)

if(in1>in2)

{out1,out2,out3} = 3'b100;

else

if(in1==in2)

{out1,out2,out3} = 3'b010;

else

if(in1<in2)

{out1,out2,out3} = 3'b001;

else

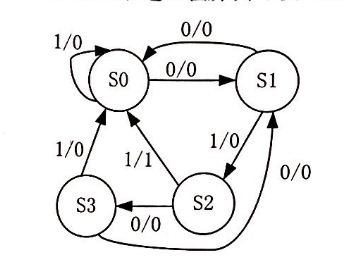
{out1,out2,out3} = 3'b000;

endmodule

答案解析：Verilog HDL语法

知识点：003

172.已知一有限状态机系统的状态转移图如题30图所示，试用Verilog HDL描述该系统。



题30图状态转移图

说明：

1. 该电路系统有4种状态: SO, S1, S2和S3;
2. 系统具有同步复位功能;
3. 系统输入信号及其含义:

clk:时钟

ina:1比特的输入数据

rst:复位信号，当rst=1时系统状态复位为SO,输出复位为1’b0，当rst=0 时, 系统按照题30图所示的状态转移图工作。

1. 系统输出信号及其含义:

out: 1比特的输出数据

(5)状态转换图图示说明: 1/0表示，当输入ina=1'b1时，相应输出out=1'b0,以此类推

答案：

module test2(ina,clk,rst,out);

input ina;

input clk,rst;

output out;

parameter s0=2'b00,s1=2'b01,s2=2'b10,s3=2'b11;

reg out;

reg [1:0] cur\_state;

always @ (posedge clk)

if(rst)

begin

cur\_state <= s0;out<= 1'b0;end

else

case(cur\_state)

s0:begin

out <= 1'b0;

if(!ina)

cur\_state <= s1;

else

cur\_state <= s0;end

s1:begin

out <= 1'b0;

if(ina)

cur\_state <= s2;

else

cur\_state <= s0;end

s2:if(!ina)

begin cur\_state <= s3; out <= 1'b0;end

else

begin cur\_state <= s0; out <= 1'b1;end

s3:begin

out <= 1'b0;

if(!ina)

cur\_state <= s1;

else

cur\_state <= s0;end

default : begin cur\_state <= s0; out <= 1'b0;end

endcase

endmodule

答案解析：Verilog HDL语法

知识点：003

注：编程结果不唯一

173.分析test1.v程序，完成下列各个小题:

（1）完成程序填空

（2）分析程序，根据输入信号得到相应功能仿真的输出信号，完成表一的填空

module test1(in1,in2,in3,in4,out1,out2);

input in1,in2,in3, （空1）;

output [1:0] out1,out2;

（空2）[1:0] out1,out2;

（空3）[1:0] mytest;

input a,b,c;

case({a,b})

2'b00 : mytest= {c,1'b1};

2'b01 : mytest = {1'b0,c & b};

2'b10 : mytest = {1'b1,c};

2'b11 : mytest = {a^c,b^c};

default : mytest = 2'b00;

（空4）

endfunction

always @ (in1 or in2 or in3 or in4)

begin

out1= mytest(in1,in2,in3);out2 = mytest(in2,in3,in4);end

endmodule

表一

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| in1 | in2 | in3 | in4 | out1 | out2 |
| 1’b1 | 1’b1 | 1’b1 | 1’b1 | 空（5） | 空（6） |
| 1’b0 | 1’b1 | 1’b0 | 1’b0 | 空（7） | 空（8） |
| 1’b1 | 1’b1 | 1’b0 | 1’b0 | 空（9） | 空（10） |

答案：空1：in4 空2 reg 空3：function 空4:endcase 空5 2’b00 空6 2’b00

空7:2’b00 空8: 2’b10 空9:2’b11 空10：2’b10

答案解析：Verilog HDL语法

知识点：003

174.分析test2.v模块的功能，画出test2.v综合后的电路图。

module test2(a,b,c,clk,reset,d,e );

input a,b,c;

input clk,reset;

output d,e;

reg d,e;

always @ (posedge clk or posedge reset)

if(reset)

begin

d <= 0;e <= 0;end

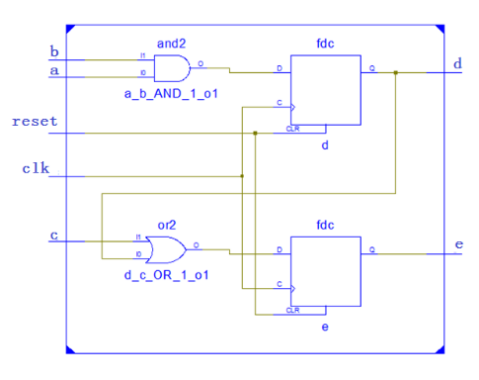
else

begin

d <= a & b; e <= d | c;end

endmodule

答案：



答案解析：Verilog HDL语法

知识点：003

175. 使用Verilog HDL设计一个带同步复位，可以对输入时钟clk进行二分频的模块。

端口定义如下：

输入端口：

reset---同步复位信号，当reset=1,系统复位，输出信号置0，当reset=0,系统正常工作

clk ----输入时钟信号， 时钟信号的上升沿触发电路工作

输出端口：

out -----输出的二分频信号，其信号周期是时钟clk周期的两倍，即: Tout=2Tclk

答案：

module test1 (clk,reset,out );

input clk;

input reset;

output out;

reg out;

always @ (posedge clk)

if(reset)

out <= 1'b0;

else

out <= ~out;

endmodule

答案解析：Verilog HDL语法

知识点：003

176. 使用Verilog HDL设计7人投票表决器，当赞成票数大于等于4时，投票表决通过，系统输出为1,否则投票不通过，系统输出为0。

答案：

module test2(in1,in2,in3,in4,in5,in6,in7,result);

input in1,in2,in3,in4,in5,in6,in7;

output result;

wire [2:0] sum;

assign sum = in1+in2+in3+in4+in5+in6+in7;

assign result= (sum>=4)? 1'b1 : 1'b0;

endmodule

答案解析：Verilog HDL语法

知识点：003

注：编程结果不唯一

177.分析下面程序说明test1的功能是什么?完成表一的填空。

module test1(out,in1,in2,in3,in4,cntrl1,cntrl2);

output out;

input in1,in2,in3,in4;

input cntrl1,cntrl2;

assign out= (cntrl1)?(cntrl2?in4 :in3) : (cntrl2? in2 : in1);

endmodule

表一

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| in1 | in2 | in3 | in4 | cntrl1 | cntrl2 | out |
| 1’b0 | 1’b1 | 1’b1 | 1’b0 | 1’b1 | 1’b1 | 空1 |
| 1’b1 | 1’b0 | 1’b1 | 1’b0 | 1’b1 | 1’b0 | 空2 |
| 1’b0 | 1’b1 | 1’b0 | 1’b1 | 1’b0 | 1’b0 | 空3 |
| 1’b0 | 1’b0 | 1’b0 | 1’b1 | 1’b0 | 1’b1 | 空4 |
| 1’b1 | 1’b0 | 1’b1 | 1’b1 | 1’b1 | 1’b0 | 空5 |

答案：四选一选择模块

空1：1’b0 空2：1’b1 空3：1’b0 空4：1’b0 空5：1’b1

答案解析：Verliog HDL语法

知识点：003

178. 分析test2.v,画出test2.v模块综合后输出的电路原理图。

module test2(A,B,cin,sum,cout);

input A,B,cin;

output sum ,cout;

reg sum,cout;

reg temp1,temp2,temp3;

always @ (A or B or cin)

begin

sum = (A^B)^cin;

temp1 = A^ cin;

temp2 = B & cin;

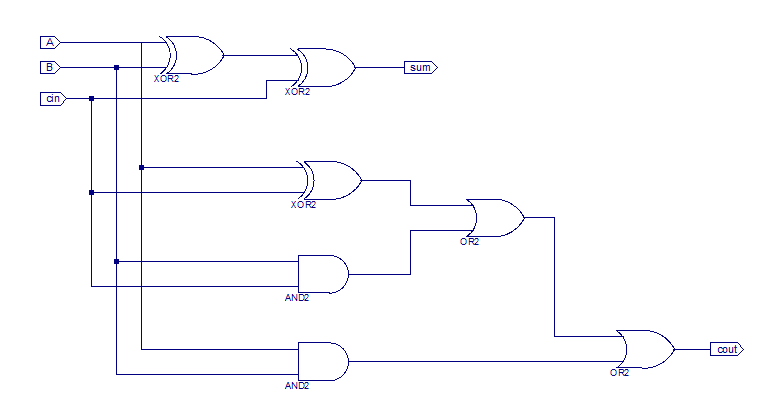
temp3 = A & B;

cout = temp1 | temp2 |temp3;

end

endmodule

答案：



答案解析：Verliog HDL语法

知识点：003

179.用Verilog HDL语言设计一个带异步清0、异步置1的D触发器。

端口设定如下：

输入端口：

clk -----系统输入时钟，时钟的上升沿触发电路工作

reset---异步复位信号，当reset=0,系统输出端数据复位为0, reset=1, 系统正常工作

set----异步置位信号，当set=0,系统输出端数据置为1,当set=1，系统正常工作。

d----D触发器的输入数据，位宽1比特

输出端口：

q---D触发器的输出数据。位宽1比特

答案：

module test3(clk,reset,set,d,q );

input clk;

input reset,set;

input d;

output q;

reg q;

always @ (posedge clk or negedge reset or negedge set)

if(!reset)

q <= 1'b0;

else

if(!set)

q <= 1'b1;

else

q <= d;

endmodule

答案解析：Verliog HDL语法

知识点：003

180.设计一个带有异步复位，同步使能，同步置位控制的10进制计数器。

端口设定如下：

输入端口：

CLK-----系统时钟，时钟的上升沿触发电路工作

RST - - -异步复位信号，当RST=0,系统输出类数据复位为0，当RST=1,系统正常工作

EN-----同步使能信号，当EN=1,系统正常工作，当EN=0,系统输出保持不变

LOAD--- 同步置位控制信号，当LOAD=0,将DIN数据赋给计数器.作为计数初始值，当LOAD=0,系统正常计数

DIN-----置位数据端，位宽为4比特

输出端口：

COUT----计数的进位输出端，

DOUT-- -计数输出端。

答案：

module test4(CLK,RST,EN,LOAD,DIN,COUT,DOUT);

input CLK,RST,EN,LOAD;

input [3:0] DIN;

output COUT;

output [3:0] DOUT;

reg COUT;

reg [3:0] DOUT;

always @ (posedge CLK or negedge RST)

if(!RST)

begin

COUT <= 1'b0; DOUT <= 4'b0000;end

else

if(EN)

if(!LOAD)

DOUT <= DIN;

else

if(DOUT ==4'b1001)

begin

COUT <= 1'b1; DOUT <= 4'b0000;end

else

begin

COUT <= 1'b0; DOUT <= DOUT + 1'b1;end

else

begin

COUT <= COUT; DOUT <= DOUT;end

endmodule

答案解析：Verliog HDL语法

知识点：003

注：编程结果不唯一

181.分析下面的Venlog HDL源程序,回答问题。

module test5\_27(in1,in2,in3,out1, 空1 ); // out2

input [2:0] in1,in2,in3;

output [2:0] 空2 ,out2; // out1

reg 空3 out1,out2;

always @ (in1 or in2 or in3)

begin

out1 = in1 & in2;

out2 = out1 | in3;

end

endmodule

（1）完成程序填空.

（2）如果输入信号值如题27表所示,写出功能仿真后相应的输出信号值完成表格填空。

题27表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| in1 | in2 | in3 | out1 | out2 |
| 3’b001 | 3’b011 | 3’b100 | 空4 | 空5 |

答案：空1:out2 空2：out1 空3：[2:0] 空4: 3’b001 空5: 3’b101

答案解析：Verilog HDL语法

知识点：003

182.分析下面的Verilog HDL源程序,回答问题。

module test2\_1(clk,q,d);

input clk,d;

output q;

空1 q; // reg

always @ (posedge clk)

q <= d;

endmodule

module test2(a,b,clk,data\_out);

input a,b;

input clk;

output data\_out;

wire data\_out;

空2 temp ; // parameter

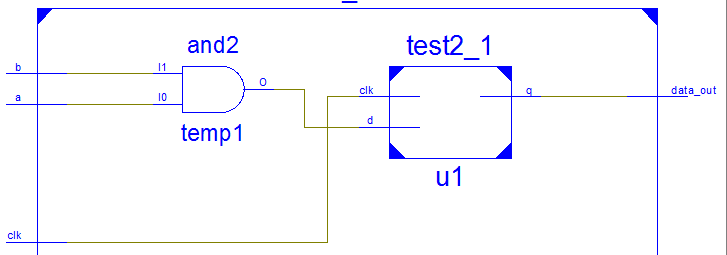
assign temp = a & b;

test2\_1 u1(.clk(clk),.q(空3),.d(temp)); // a

endmodule

1. 完成程序填空.
2. 画出test2.v综合后的电路图

答案：空1 ： reg 空2：wire 空3：data\_out

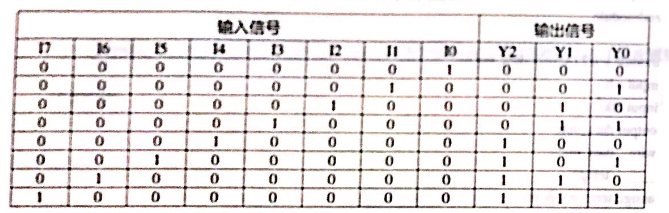


答案解析：Verilog HDL语法

知识点：003

183.用VerigHDL设计一个3位二进制编程器电路，其真值表如题29表所示。

题29表 3位二进制编码器真值表



说明：

（1）输入信号

I7，I6，I5，I4，I3，I2，I1，I0：均是位宽为1bit的信号

（2）输出信号

Y2，Y1，Y0：均是位宽为1bit的信号

答案：

module test (I7,I6,I5,I4,I3,I2,I1,I0,Y2,Y1,Y0);

input I7,I6,I5,I4,I3,I2,I1,I0;

output Y2,Y1,Y0;

reg Y2,Y1,Y0;

always @ (I7 or I6 or I5 or I4 or I3 or I2 or I1 or I0)

case({I7,I6,I5,I4,I3,I2,I1,I0})

8'b00000001 : {Y2,Y1,Y0}= 3'b000;

8'b00000010 : {Y2,Y1,Y0}= 3'b001;

8'b00000100 : {Y2,Y1,Y0}= 3'b010;

8'b00001000 : {Y2,Y1,Y0}= 3'b011;

8'b00010000 : {Y2,Y1,Y0}= 3'b100;

8'b00100000 : {Y2,Y1,Y0}= 3'b101;

8'b01000000 : {Y2,Y1,Y0}= 3'b110;

8'b10000000 : {Y2,Y1,Y0}= 3'b111;

default : {Y2,Y1,Y0}= 3'bzzz;

endcase

endmodule

答案解析：Verilog HDL语法

知识点：003

184.用Verilog HDL设计一个异步复位，同步使能的六十进制计数器。对时钟clk上升沿进行计数。具体要求如下;

(1)输入信号:

clk :时钟信号.

reset:异步复位信号，当reset=1时，输出信号置0，当reset=0时，系统正常计数.

en:同步使能信号，当en=0 ，保持当前数值不变；当en=1时，系统正常计数。

(2)输出信号：

Carry :位宽为1bit ,表示进位。

Cout :位宽为6bits ,表示0到59的计数值。

答案：

module test (clk,reset,en,Carry,Cout);

input clk;

input reset;

input en;

output Carry;

output [5:0] Cout;

reg Carry;

reg [5:0] Cout;

always @ (posedge clk or posedge reset)

if(reset)

begin

Carry <= 1'b0;

Cout <= 6'b000000;

end

else

if(en)

if(Cout == 6'b111011) // (cout==6‘d59) 到60进1，

begin

Cout <= 6'b000000; Carry <= 1'b1; // cout清零， carry进1

end

else

begin

Cout <= Cout + 1'b1; Carry <= 1'b0;

end

else

begin

Cout <= Cout ; Carry <= Carry;

end

endmodule

答案解析：Verilog HDL语法

知识点：003

注： 编程实现结果不唯一

end。 门级电路图

