



**中国科学技术大学**  
University of Science and Technology of China

---

# **实验05**

## **使用Vivado进行仿真**

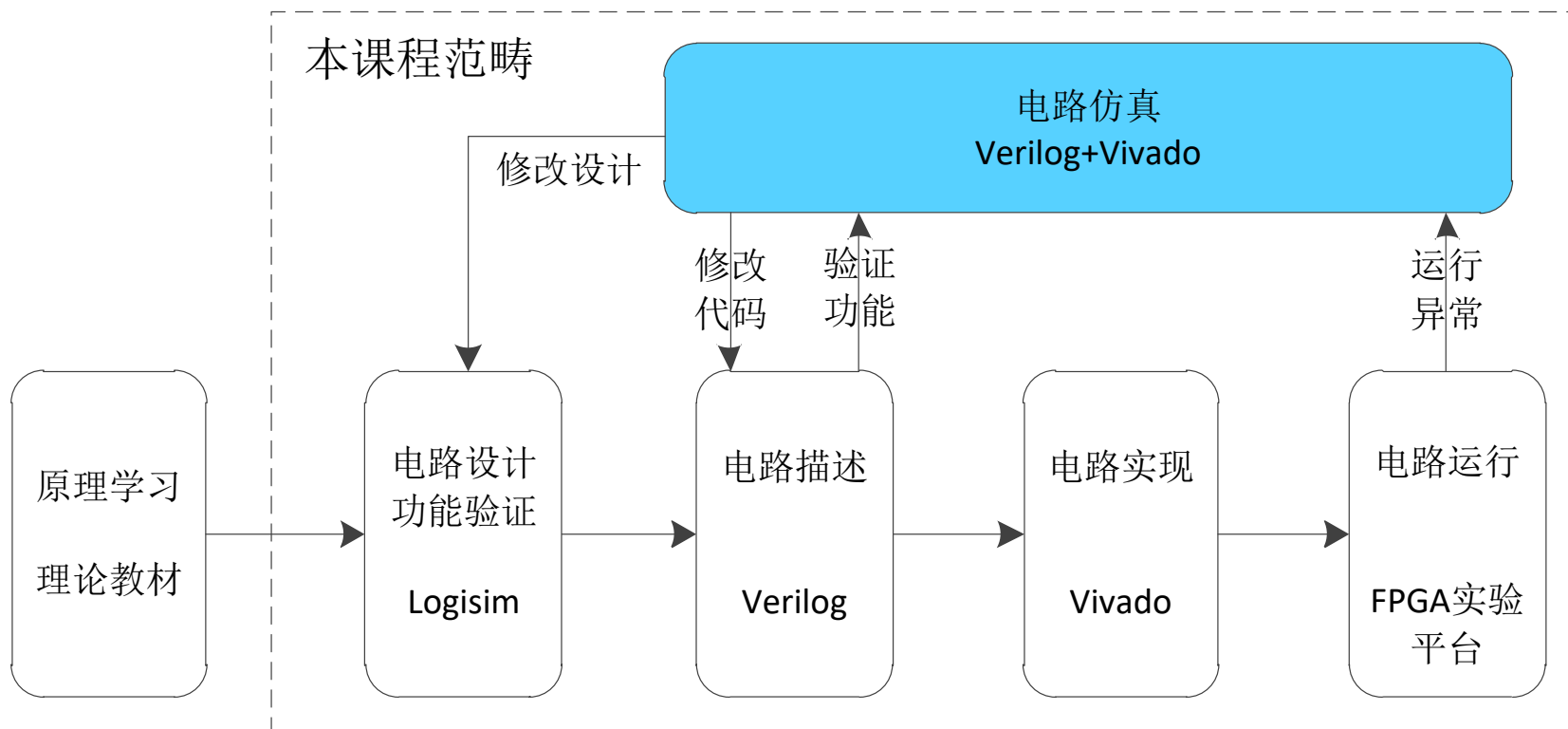
**2022/11/03**

# 实验安排

数字电路实验关键时间节点				
时间	实验发布（23：59前）	实验讲解（上课时间）	检查截止（21:30前）	报告提交截止（23:59前）
第四周 (09. 22)	实验01_Logisim入门			
第五周 (09. 29)	实验02_简单组合逻辑电路	实验01_Logisim入门		
第七周 (10. 13)	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门	
第八周 (10. 20)	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门
第九周 (10. 27)	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路
第十周 (11. 03)	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路
十一周 (11. 10)	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言
十二周 (11. 17)	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真
十三周 (11. 24)	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合
十四周 (12. 01)	实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核
十五周 (12. 08)		实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机
十六周 (12. 15)			实验10_综合实验	实验09_竞争冒险及流水线技术
十七周 (12. 22)				实验10_综合实验

# 实验目的

- 熟悉Vivado软件的下载、安装及使用
- 学习使用Verilog编写仿真文件
- 学习使用Verilog进行仿真，查看并分析波形文件



# 实验环境

---

- 远程虚拟机平台: [vlab.ustc.edu.cn](http://vlab.ustc.edu.cn)
- 赛灵思FPGA集成开发环境: Vivado
- Verilog在线测评系统: [verilogoj.ustc.edu.cn](http://verilogoj.ustc.edu.cn)
- [https://hdlbits.01xz.net/wiki/Main\\_Page](https://hdlbits.01xz.net/wiki/Main_Page)

# 实验原理

## ■ 直接使用VLAB平台环境

### ■ 使用默认系统镜像

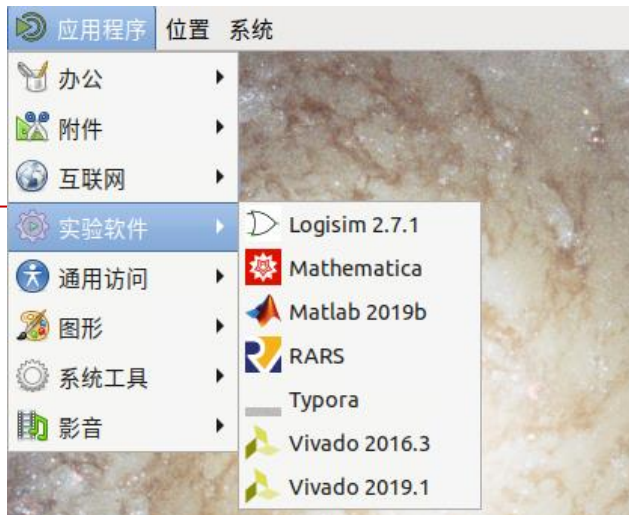
## ■ 自行下载并安装Vivado

### ■ <https://vlab.ustc.edu.cn/docs/downloads/>

### ■ <https://china.xilinx.com/products/design-tools/vivado/vivado-ml.html>

## ■ 使用实验室预装环境

### ■ 使用硬件课程模板



## 资源下载

- Git for Windows 最新版本: [GitHub Releases](#) / [清华大学 TUNA 镜像站](#)
- Java 8 运行环境: [Windows 64 位](#) / [Mac OS X 10.7.3+](#)
- Logisim (v2.7.1, 需要 Java): [Windows](#) / [macOS 10.12+](#) / [Java JAR](#)
- TigerVNC 客户端 (v1.11.0) [Windows \(64 位\)](#) / [macOS](#) / [Java JAR](#)
- RealVNC 客户端 (v6.20.113): [Windows](#) / [macOS 10.12+](#)
- Vivado Design Suite - HLx Editions 2016.3: [全平台](#) (tar.gz 压缩包, 大小 21 GB)
- Vivado Design Suite - HLx Editions 2019.1: [全平台](#) (tar.gz 压缩包, 大小 21 GB)

🏠 / 开发者工具 / Vivado 概述 / Vivado ML



🔍 点击放大图片

## Vivado ML

by: Xilinx, Inc

XILINX.

免费下载 Vivado® ML 标准版。购买企业版 (起价为 2995 美元)。

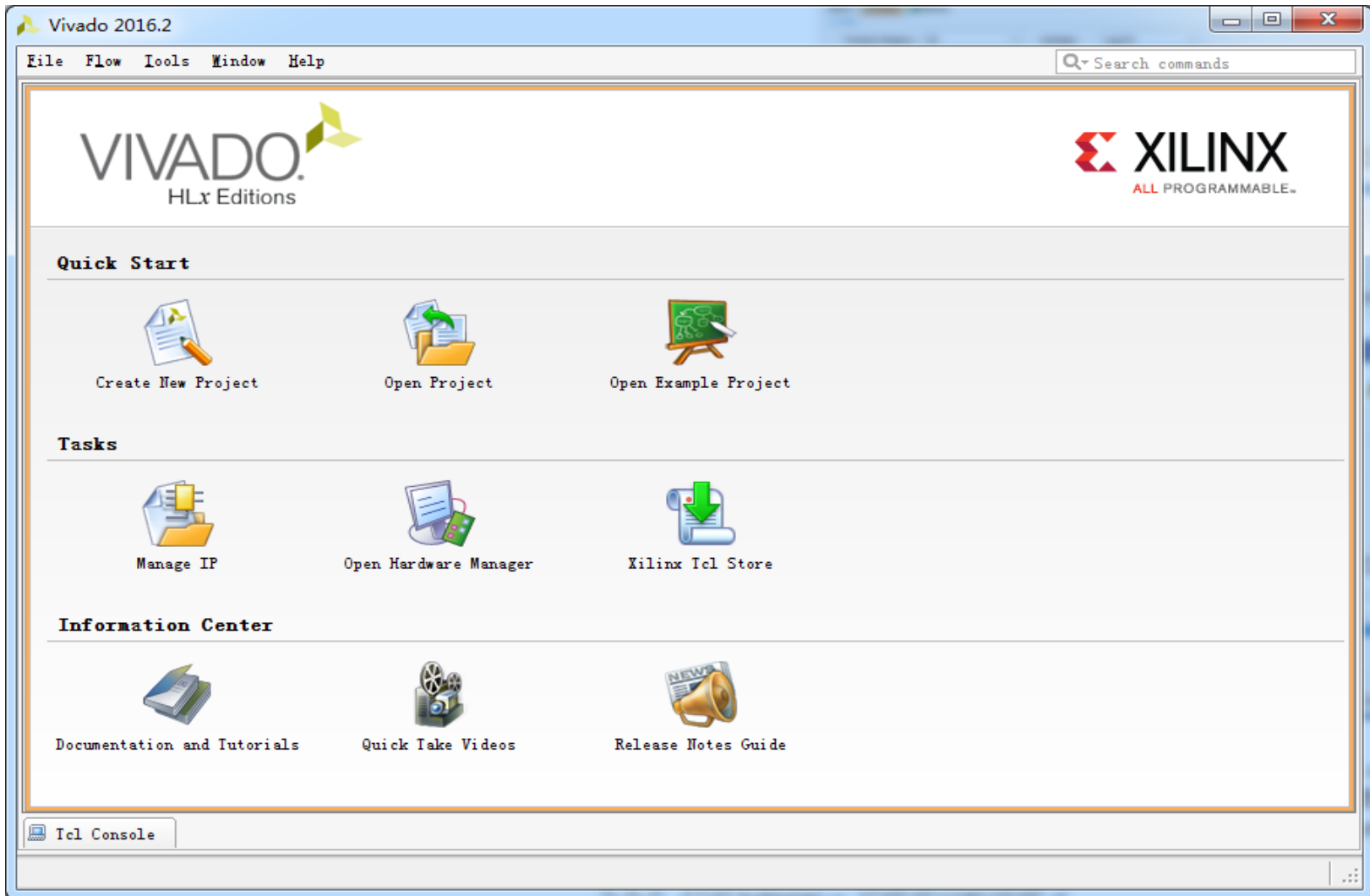
Edition:

标准

Download from Download Center

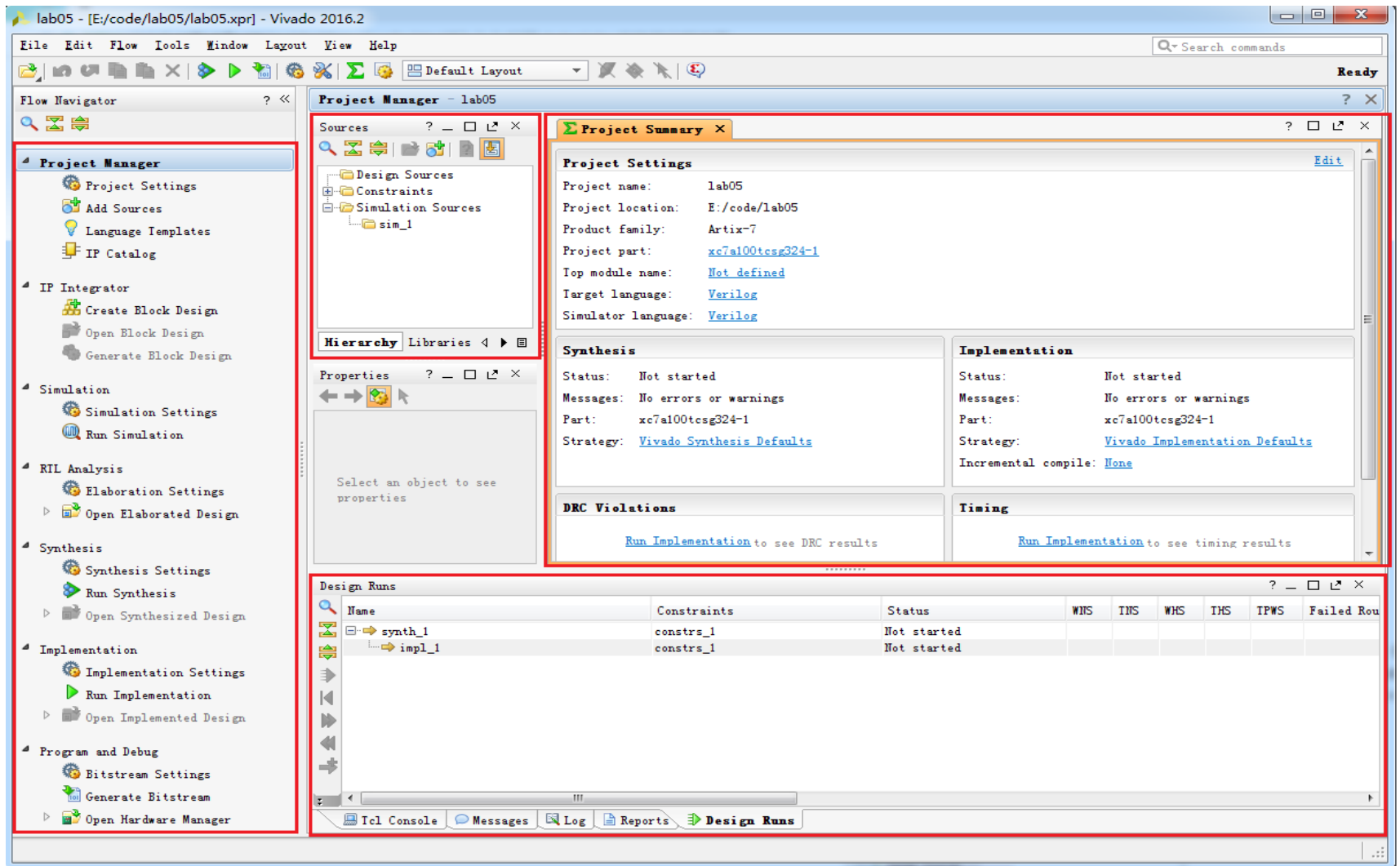
# 实验原理

## ■ 建立Vivado工程



# 实验原理

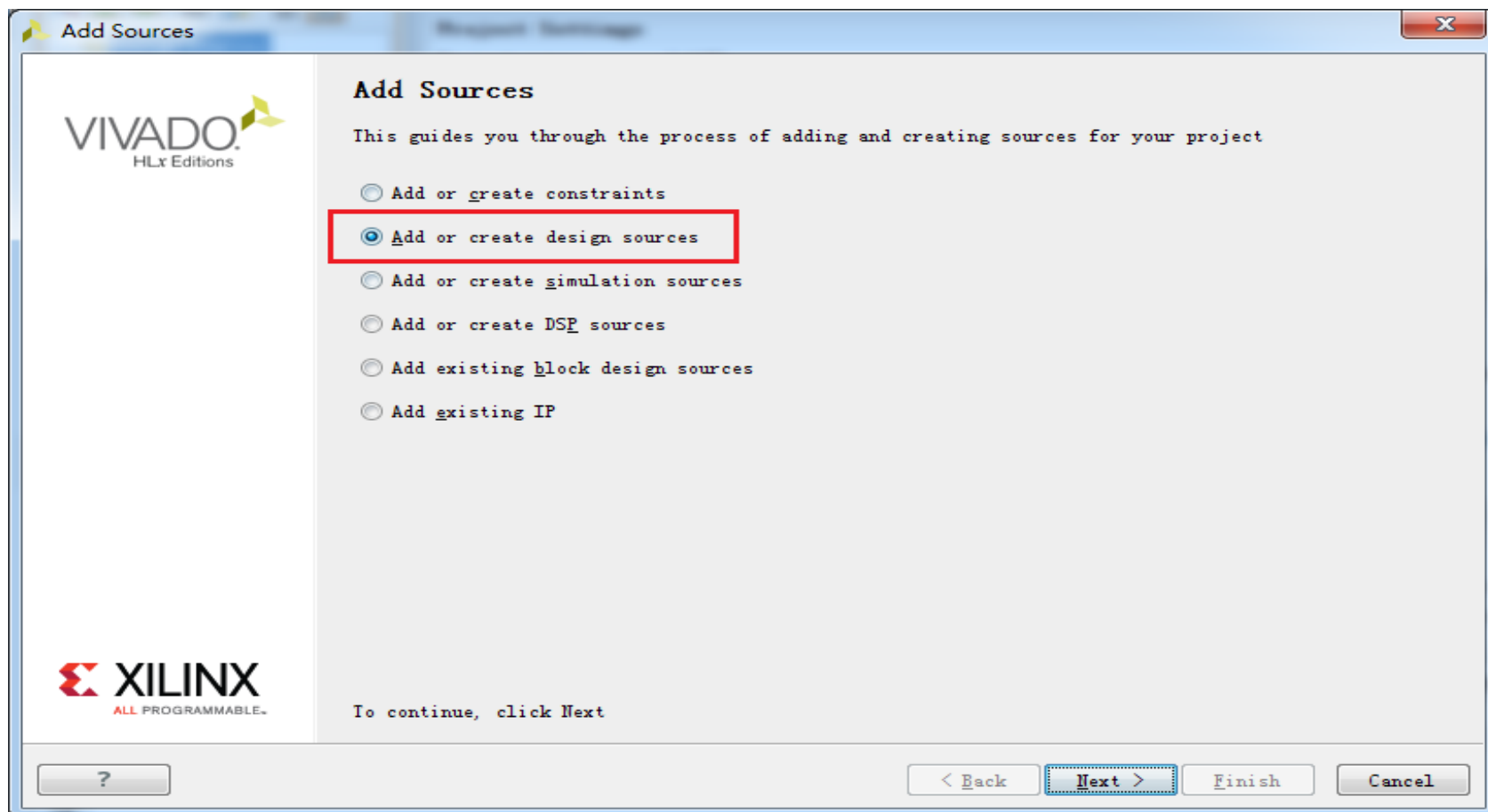
## ■ Vivado工作主页面介绍



# 实验原理

## ■ 向工程中添加文件

■ 设计源文件、仿真文件、约束文件都通过该方式添加





# 实验原理

Project Manager - lab05

Sources ? \_ □ ↗ ×

- Design Sources (1)
  - lab05 (lab05.v)
- Constraints
  - constrs\_1
- Simulation Sources (1)
  - sim\_1 (1)
    - test\_bench (test\_bench.v)
    - lab05 - lab05 (lab05.v)

Hierarchy Libraries Compile Order

Source File Properties ? \_ □ ↗ ×

test\_bench.v

Enabled

Location: E:/code/lab05/lab05

Type: Verilog

Project Summary × lab05.v × test\_bench.v \* ×

E:/code/lab05/lab05.srscs/sim\_1/new/test\_bench.v

```
22 `timescale 1ns / 1ps
23 module test_bench( );
24     reg      [3:0]    a, b, c, d;
25     reg      [1:0]    sel;
26     wire     [3:0]    o;
27     lab05 lab05(.a(a),.b(b),.c(c),.d(d),.sel(sel),.o(o));
28     initial
29     begin
30         a = 4'h1; b = 4'h5 ; c = 4'h8 ; d = 4'hF; sel = 2'h0;
31         #20 a = 4'h1; b = 4'h5 ; c = 4'h8 ; d = 4'hF; sel = 2'h1;
32         #20 a = 4'h1; b = 4'h5 ; c = 4'h8 ; d = 4'hF; sel = 2'h2;
33         #20 a = 4'h1; b = 4'h5 ; c = 4'h8 ; d = 4'hF; sel = 2'h3;
34         #20 a = 4'h1; b = 4'h5 ; c = 4'h8 ; d = 4'h6; sel = 2'h3;
35         #20 $finish;
36     end
37 endmodule
```

# 实验原理

## ■ 仿真并查看波形

lab05 - [E:/code/lab05/lab05.xpr] - Vivado 2016.2

File Edit Flow Tools Window Layout View Run Help

Default Layout 100 us

Flow Navigator

- Project Manager
  - Project Settings
  - Add Sources
  - Language Templates
  - IP Catalog
- IP Integrator
  - Create Block Design
  - Open Block Design
  - Generate Block Design
- Simulation
  - Simulation Settings
  - Run Simulation
- RIL Analysis
  - Elaboration Settings
  - Open Elaborated Design
- Synthesis
  - Synthesis Settings
  - Run Synthesis
  - Open Synthesized Design
- Implementation
  - Implementation Settings
  - Run Implementation
  - Open Implemented Design
- Program and Debug
  - Bitstream Settings
  - Generate Bitstream
  - Open Hardware Manager

Behavioral Simulation - Functional - sim\_1 - test\_bench

Scopes

Objects

lab05.v x test\_bench.v x Untitled 1 x

100.000 ns

0 ns 20 ns 40 ns 60 ns 80 ns

1 5 8 6 3 6

5 8 6 3 6

0 1 2 3

1 5 8 f 6

4

Tcl Console

INFO: [USF-XSim-97] XSim simulation ran for 1000ns

launch\_simulation: Time (s): cpu = 00:00:07 ; elapsed = 00:01:12 . Memory (MB): peak = 959.961 ; gain = 55.066

Tcl Console Messages Log

配置设计综合, 设计仿真, 设计实现, 和IP有关的选项

Sim Time: 100 ns

# 实验原理

```
module test(  
input  [7:0] a,b,  
output [7:0] c,d,e,f,g,h,i,j,k );  
assign c = a & b;  
assign d = a | b;  
assign e = a ^ b;  
assign f = ~a;  
assign g = {a[3:0],b[3:0]};  
assign h = a >> 3;  
assign i = &b;  
assign j = (a > b) ? a : b;  
assign k = a - b;  
endmodule
```

```
module tb( );  
reg  [7:0] a,b;  
  
initial  
begin  
    a = 0;  
    b = 0;  
    #100  
    a = 100;  
    b = 255;  
    repeat(10)  
    begin  
        #100;  
        a = $random % 256;  
        b = $random % 256;  
    end  
end  
  
test test(  
.a(a),  
.b(b)) ;  
endmodule
```

# 实验内容

---

- 按时完成实验指导书上的所有题目
- 按时提交实验报告
- 登录[verilogoj.ustc.edu.cn](http://verilogoj.ustc.edu.cn)练习Verilog设计及仿真语法（选做）

---

**谢谢！**