



**中国科学技术大学**  
University of Science and Technology of China

# **实验03**

## **简单时序逻辑电路**

**2022/10/20**

# 实验安排

数字电路实验关键时间节点				
时间	实验发布（23：59前）	实验讲解（上课时间）	检查截止（21:30前）	报告提交截止（23:59前）
第四周 (09. 22)	实验01_Logisim入门			
第五周 (09. 29)	实验02_简单组合逻辑电路	实验01_Logisim入门		
第七周 (10. 13)	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门	
第八周 (10. 20)	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门
第九周 (10. 27)	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路
第十周 (11. 03)	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路
十一周 (11. 10)	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言
十二周 (11. 17)	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真
十三周 (11. 24)	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合
十四周 (12. 01)	实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核
十五周 (12. 08)		实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机
十六周 (12. 15)			实验10_综合实验	实验09_竞争冒险及流水线技术
十七周 (12. 22)				实验10_综合实验

# 实验目的

---

- 掌握时序逻辑相关器件的原理及底层结构
- 能够用基本逻辑门搭建各类时序逻辑器件
- 能够使用Verilog HDL设计简单逻辑电路

# 实验环境

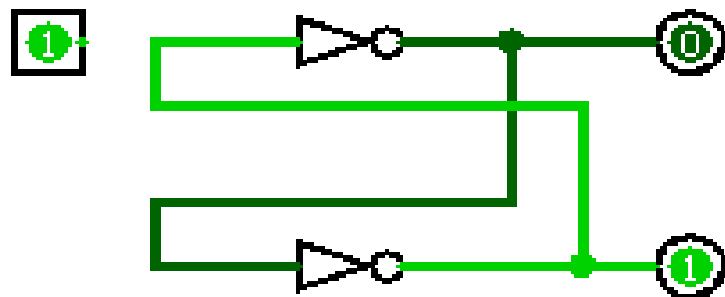
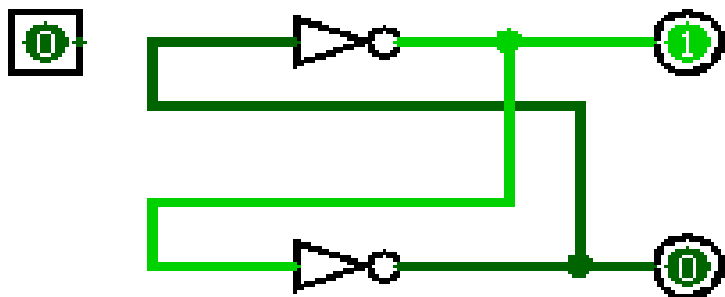
---

- [vlab.ustc.edu.cn](http://vlab.ustc.edu.cn)
- Logisim
- [verilogoj.ustc.edu.cn](http://verilogoj.ustc.edu.cn)

# 实验步骤

## ■ Step1: 双稳态电路

- 双稳态电路是组合逻辑与时序逻辑之间的过渡
- 由两个非门交叉耦合构成，电路内形成了反馈
- 电路存在两个稳定状态
- 没有输入信号，也没有实用价值

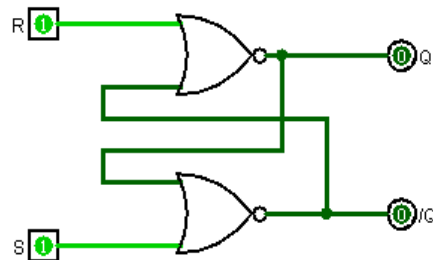
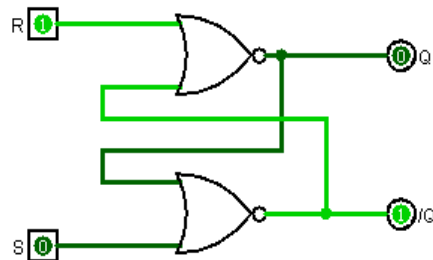
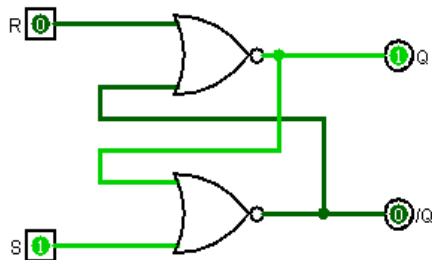
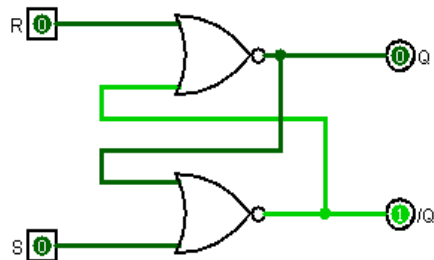


# 实验步骤

## ■ Step2: SR锁存器

- 将双稳态电路中的**非门**替换成**或非门**
- 多出来的两个端口作为输入 (**S****e**t、**R****e**set)
- 可以通过两个输入端口改变电路状态

S	R	Q
0	0	保持状态
0	1	0
1	0	1
1	1	非法状态

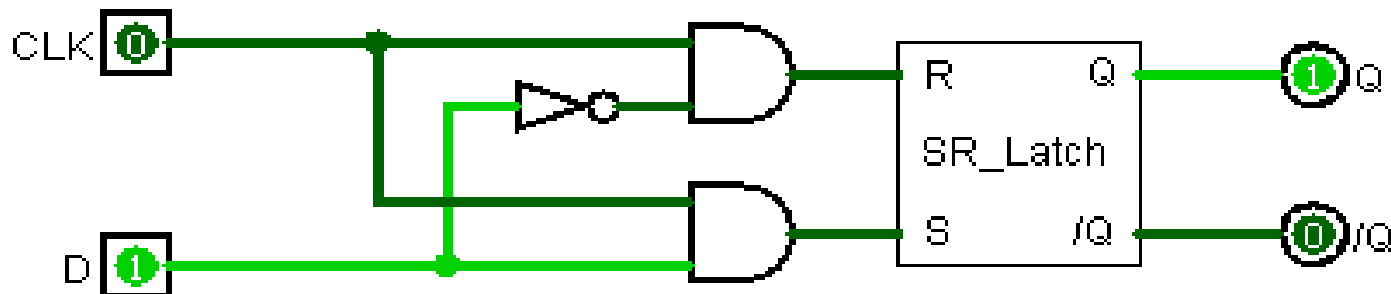


# 实验步骤

## ■ Step3: D锁存器

- 在SR锁存器的基础上添加2个与门、1个非门
- 消除了S、R同时为1的非法状态
- 分为“保持”、“跟随”两个状态，由CLK控制

CLK	D	Q	说明
0	X	不变	保持状态
1	X	D	跟随状态



# 实验步骤

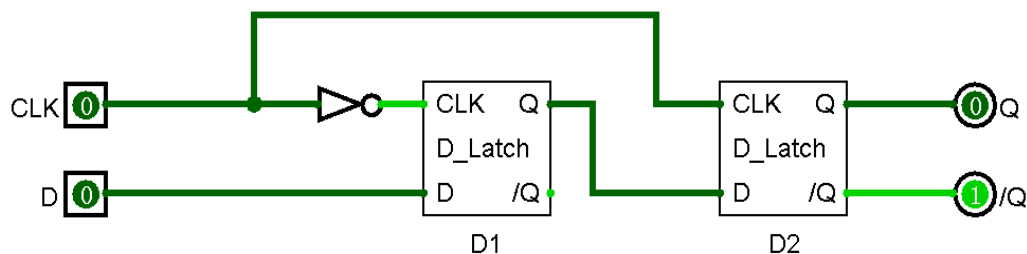
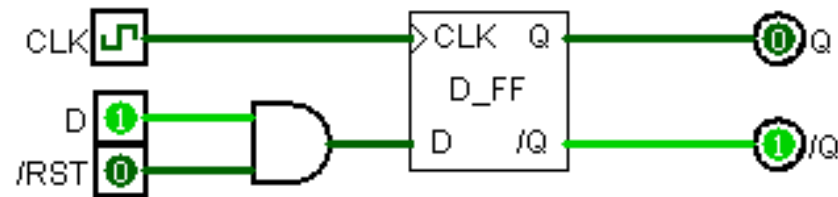
## ■ Step4: D触发器

■由2个D锁存器和1个非门构成

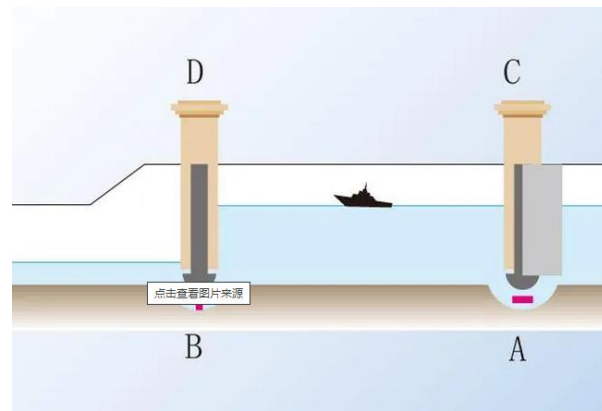
■只有在CLK信号从0变为1的时刻，Q才会更新

■从电平控制转变为了边沿控制

■是时序逻辑电路的核心部件



```
module d_ff(  
    input clk, d,  
    output reg q);  
    always@(posedge clk)  
        q <= d;  
endmodule
```





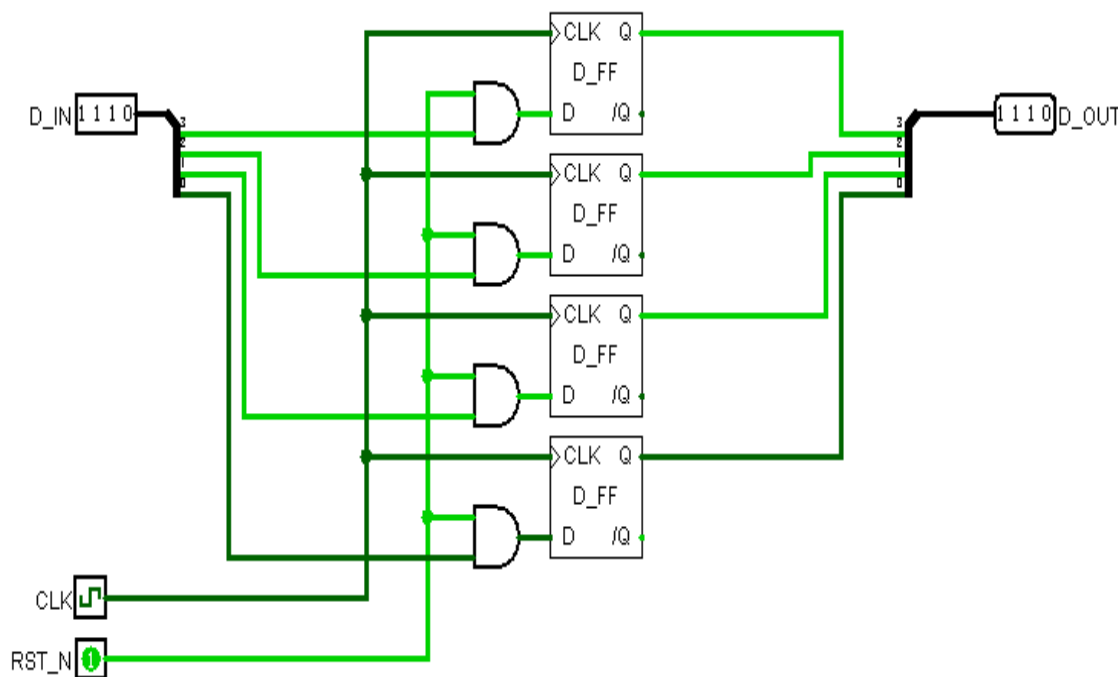
# 实验步骤

## ■ Step5: 寄存器

■寄存器本质上来说就是D触发器

■n-bit寄存器中包含了n个D触发器

```
module REG4(  
    input CLK, RST_N,  
    input [3:0] D_IN,  
    output reg [3:0] q);  
always@(posedge CLK)  
begin  
    if (RST_N==0)  
        D_OUT <= 4'b0;  
    else  
        D_OUT <= D_IN;  
end  
endmodule
```



# 实验步骤

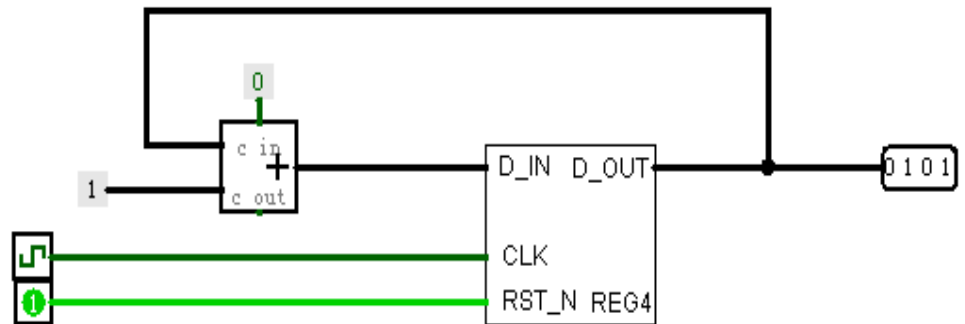
## ■ Step6: 时序逻辑电路

■ 加法器为组合逻辑部件

■ 寄存器为时序逻辑部件

■ 两者一起构成了有实际作用的功能电路

```
module CNT4(  
  input CLK, RST_N,  
  output reg [3:0] CNT);  
always@(posedge CLK)  
begin  
  if (RST_N==0)  
    CNT <= 4' b0;  
  else  
    CNT <= CNT + 4' b1;  
end  
endmodule
```



# 实验检查

---

- 完成实验指导手册中的练习题
- 按时提交检查并提交实验报告
- 登录[verilogoj.ustc.edu.cn](http://verilogoj.ustc.edu.cn)进行编码练习

---

**谢谢！**