**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：使用Vivado进行仿真

学生姓名：陈鸿绪

学生学号：PB21000224

完成日期：11.3

计算机实验教学中心制

2020年09月

**【实验题目】**

使用Vivado进行仿真

**【实验目的】**

学会Vivado 软件的下载、安装及使用;

学会使用 Verilog编写仿真文件;

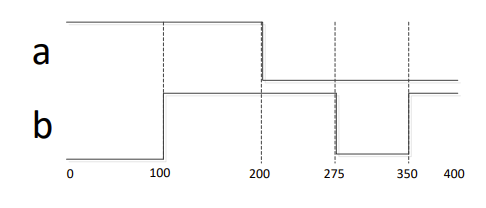
学会使用 Verilog 进行仿真，查看并分析波形文件;

**【实验环境】**

实验平台：vlab.ustc.edu.cn

实验软件：Vivado

**【实验练习】**

 T1. 请编写 Verilog 仿真文件，生成如下图所示的波形，并在 Vivado 中进行仿真。

[解]：首先观察a、b的波形，判断各自高电平、低电平相应的持续时间，发现：a在0—200处于高电平，200—400处于低电平；

B在0—100和275—350两个时间段处于低电平，100—275和350—400两个时间端处于高电平。进而写出Verilog仿真代码：

**`timescale 1ns / 1ps**

**module test\_bench();**

**reg a,b;**

**initial**

**begin**

**a=1;**

**#200 a=0;**

**#200 $stop;**

**end**

**initial**

**begin**

**b=0;**

**#100 b=1;**

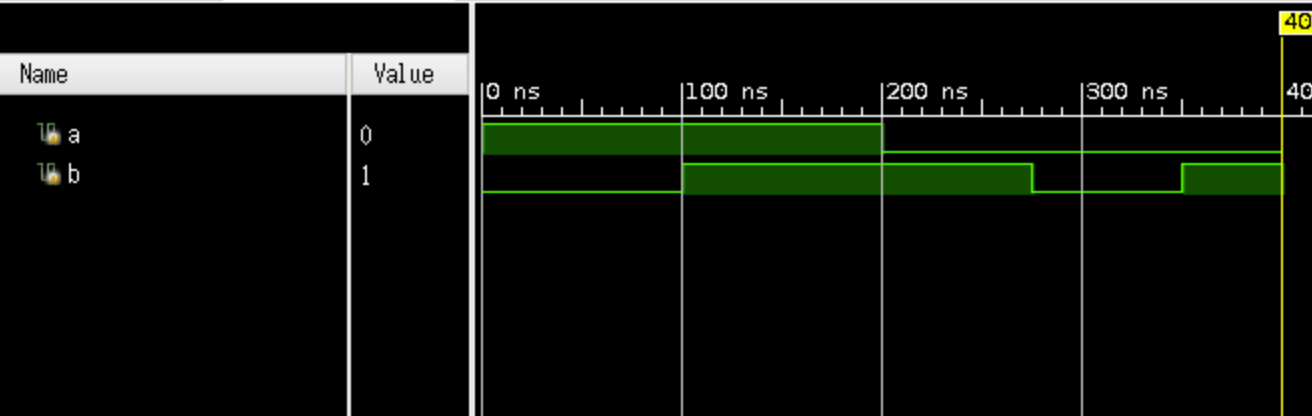
**#175 b=0;**

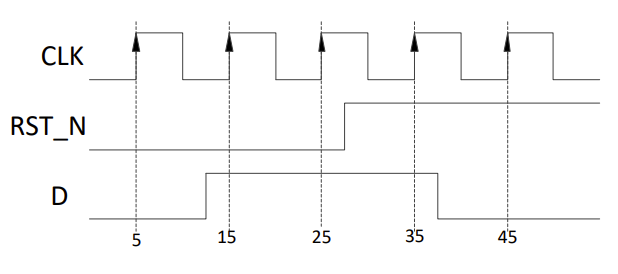
**#75 b=1;**

**#50 $stop;**

**end**

**endmodule**

在Vivado里进行仿真后得到波形如下截图所示：

T2. 请编写 Verilog 仿真文件，生成如下图所示的波形，并在 Vivado 中进行仿真。

[解]：对时钟信号clk，我们可以使用always #5 clk=~clk；语句让其周期性循环，对RST\_N与D两个信号，认为其上升沿与下降沿都在时钟1/4周期的整数倍位置，所以得到如下Verilog仿真代码：

**`timescale 1ns / 1ps**

**module test\_bench();**

**reg rst\_n,D,clk;**

**initial clk=0;**

**always #5 clk=~clk;**

**initial**

**begin**

**rst\_n=0;**

**#27.5 rst\_n=1;**

**#27.5 $stop;**

**end**

**initial**

**begin**

**D=0;**

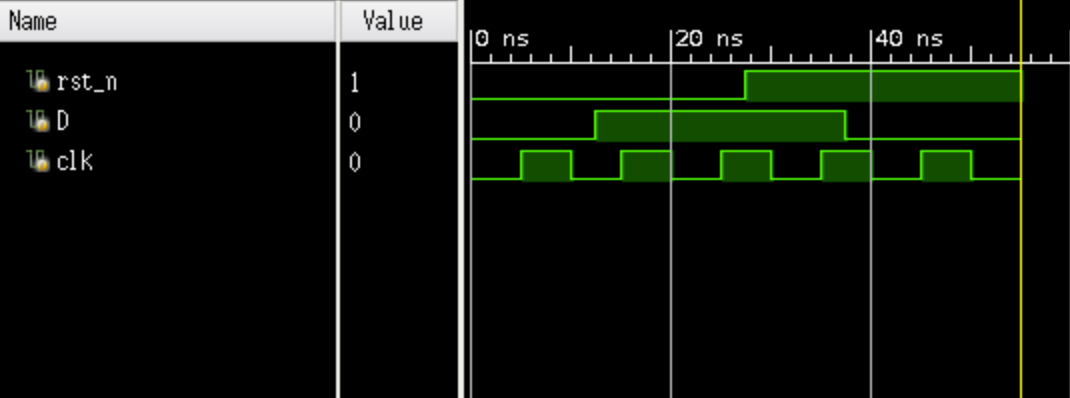
**#12.5 D=1;**

**#25 D=0;**

**#17.5 $stop;**

**end**

**endmodule**

****在Vivado里进行仿真后得到波形如下截图所示：

T3. 利用题目 2 中的信号作为以下代码的输入，在 Vivado 中对 其仿真，并观察仿真波形。

module d\_ff\_r(

input clk,rst\_n,d,

output reg q);

always@(posedge clk)

begin

if(rst\_n==0)

q <= 1’b0;

else q <= d;

end

endmodule

[解]：由题目中所给代码，可知这是一个同步复位触发器，首先新建Verilog设计文件，将题目中所给代码写入其中，再新建Verilog仿真文件，由于信号输入是题目二中的信号，所以我们有如下Verilog仿真文件代码：

**`timescale 1ns / 1ps**

**module test\_bench();**

**reg rst\_n,d,clk;**

**wire q;**

**d\_ff\_r u1(.clk(clk),.rst\_n(rst\_n),.d(d),.q(q));**

**initial clk=0;**

**always #5 clk=~clk;**

**initial**

**begin**

**rst\_n=0;**

**#27.5 rst\_n=1;**

**#27.5 $stop;**

**end**

**initial**

**begin**

**d=0;**

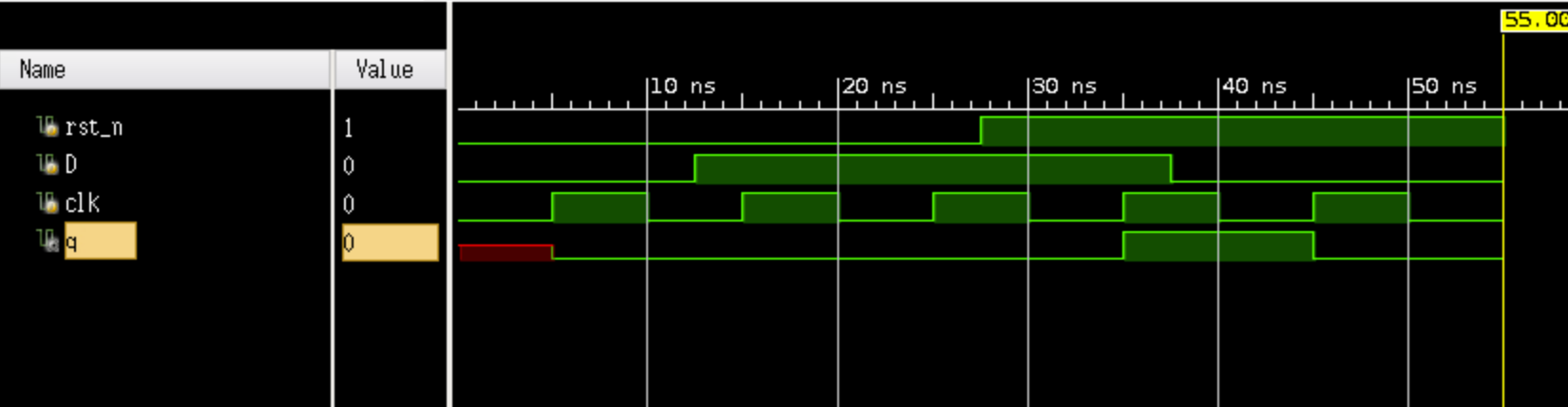
**#12.5 d=1;**

**#25 d=0;**

**#17.5 $stop;**

**end**

**endmodule**

****在Vivado里进行仿真后得到波形如下截图所示：

不难发现，q在初始阶段0—5时间段是处于高阻态的，这与D触发器初始阶段没有设置 q初始值有关系。

T4. 设计一个 3-8 译码器，编写仿真测试文件，在 Vivado 中对其进行仿真。要求仿真时遍历所有的输入情况组合，给出源代码和仿真截图。

[解]：首先新建Verilog设计文件，将设计出的3-8 译码器代码写入文件，该译码器可以使用case语句实现，代码具体如下：

**`timescale 1ns / 1ps**

**module decode(**

**input [2:0] a,**

**output reg [7:0] o**

**);**

**always@(\*)**

**begin**

**case(a)**

**3'b000: o=8'b00000001;**

**3'b001: o=8'b00000010;**

**3'b010: o=8'b00000100;**

**3'b011: o=8'b00001000;**

**3'b100: o=8'b00010000;**

**3'b101: o=8'b00100000;**

**3'b110: o=8'b01000000;**

**3'b111: o=8'b10000000;**

**default: o=8'b0;**

**endcase**

**end**

**endmodule**

题中要求需要遍历输入组合情况，所以可以用for语句，让输入从0不断增1，一直到7为止。具体Verilog仿真代码如下：

**`timescale 1ns / 1ps**

**module test\_bench();**

**reg [2:0] a;**

**wire [7:0] o;**

**integer i;**

**decode u1(.a(a),.o(o));**

**initial**

**begin**

**a=3'b000;**

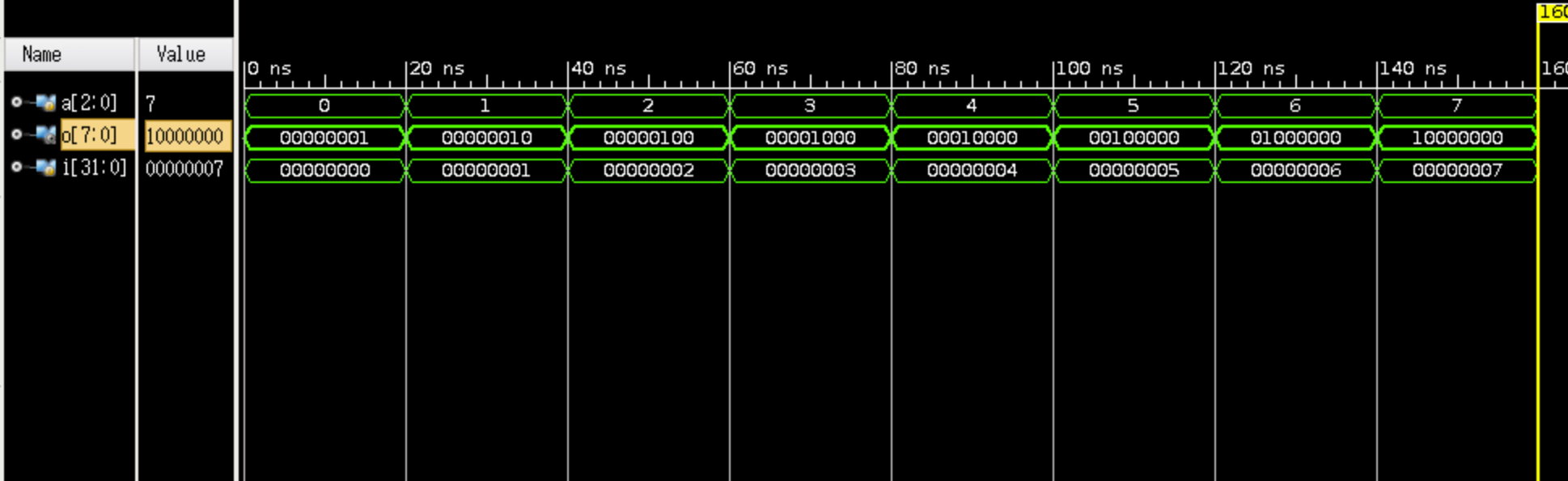
**for(i=0;i<7;i=i+1)**

**#20 a=a+3'b001;**

**#20 $stop;**

**end**

**endmodule**

****在Vivado里进行仿真后得到波形如下截图所示：

**【总结与思考】**

1. 收获巨大，我学会了如何使用Vivado进行Verilog仿真
2. 难易程度：一般，主要是操作方面可能一开始比较迷惑
3. 任务量适中
4. 改进建议：可以适当拓展Vivado操作知识