**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：Verilog硬件描述语言

学生姓名：陈鸿绪

学生学号：PB21000224

完成日期：10.28

计算机实验教学中心制

2020年09月

**【实验题目】**

Verilog硬件描述语言

**【实验目的】**

掌握 Verilog HDL 常用语法;

熟练阅读并理解 Verilog 代码;

可以设计较复杂的数字功能电路;

能够将 Verilog 代码与实际硬件相对应;

**【实验环境】**

vlab.ustc.edu.cn

verilog.ustc.edu.cn

**【实验练习】**

**T1. 阅读以下 Verilog 代码，找出其语法错误，并进行修改**

**module test(**

**input a,**

**output b);**

**if(a) b = 1’b0;**

**else b = 1’b1;**

**endmodule**

[解]：if else 语句一般出现在always语句的过程语句部分，

而不能直接在模块内部单独出现。且在always语句中的被赋

值变量一般是reg变量，不可以是wire型变量。修改后如下：

**module test(**

**input a,**

**output reg b);**

**always@(\*)**

**begin**

**if(a) b = 1’b0;**

**else b = 1’b1;**

**end**

**endmodule**

**T2. 阅读以下 Verilog 代码，将空白部分补充完整**

**module test(**

**input [4:0] a,**

**\_\_\_\_\_\_\_\_\_\_\_\_\_);**

**always@(\*)**

**b = a;**

**\_\_\_\_\_\_\_\_\_\_\_\_**

[解]：output中的b由于在always语句中被赋值，所以b应该

是reg类型变量，且由于a有5 bits,故b也应该有5 bits。

代码如下所示：

**module test(**

**input [4:0] a,**

**output reg [4:0] b);**

**always@(\*)**

**b = a;**

**endmodule**

**T3. 阅读以下 Verilog 代码,写出当 a = 8’b0011\_0011, b = 8’b1111\_0000 时各输出信号的值。**

**module test(**

**input [7:0] a,b,**

**output [7:0] c,d,e,f,g,h,i,j,k );**

**assign c = a & b;**

**assign d = a | b;**

**assign e = a ^ b;**

**assign f = ~a;**

**assign g = {a[3:0],b[3:0]};**

**assign h = a >> 3;**

**assign i = &b;**

**assign j = (a > b) ? a : b;**

**assign k = a - b;**

**endmodule**

[解]：当 a = 8’b0011\_0011, b = 8’b1111\_0000 时

1. c=a & b=8’b0011\_0000

2. d=a | b=8’b1111\_0011

3. e=a ^ b=8’b1100\_0011

4. f = ~a=8’b1100\_1100

5. g = {a[3:0],b[3:0]}=8’b0011\_0000

6. h = a >> 3=8’b0000\_0110;

7. i = &b = 8b’0000\_0000;

注：事实上这一道题是有问题的，i有8位，而赋值的数只有1位，i得到的值是高阻态更加合理。

8. j = (a > b) ? a : b=8’b1111\_0000;

9. k = a – b= 8’b0100\_0011;

**题目 4. 阅读以下 Verilog 代码，找出代码中的语法错误,并修改**

**module sub\_test(**

**input a,b,**

**output reg c);**

**assign c = (a<b)? a : b;**

**endmodule**

**module test(**

**input a,b,c,**

**output o);**

**reg temp;**

**sub\_test(.a(a),.b(b),temp);**

**sub\_test(temp,c,.c(o));**

**endmodul**

[解]：assign中被赋值的数据类型应该是wire型，故c为wire类型，故temp也为wire类型；两种模块调用方式不可以混用；模块调用需要有模块名；故修改后的Verilog代码如下：

**module sub\_test(**

**input a,b,**

**output c);**

**assign c = (a<b)? a : b;**

**endmodule**

**module test(**

**input a,b,c,**

**output o);**

**wire temp;**

**sub\_test sub\_test1(.a(a),.b(b),.c(temp));**

**sub\_test sub\_test2(temp,c,o);**

**endmodul**

T5. 阅读以下 Verilog 代码，找出其中的语法错误，说明错误原因,并进行修改。

**module sub\_test(**

**input a,b);**

**output o;**

**assign o = a + b;**

**endmodule**

**module test(**

**input a,b,**

**output c);**

**always@(\*)**

**begin**

**sub\_test sub\_test(a,b,c);**

**end**

**endmodule**

[解]：1.output参数与input参数应该在同一个括号内

2.调用的模块一般不可以放在always语句当中

修改后代码如下：

**module sub\_test(**

**input a,b**

**output o);**

**assign o = a + b;**

**endmodule**

**module test(**

**input a,b,**

**output c);**

**sub\_test sub\_test(a,b,c);**

**endmodule**

**【总结与思考】**

1.我掌握 Verilog HDL 常用语法;并且可以熟练阅读并理解Verilog 代码;同时学会了设计较复杂的数字功能电路; 能够将 Verilog代码与实际硬件相对应;

2.难易程度：适中

3.任务量：偏小

4.改进建议：有让同学编写Verilog代码的题目。