



Versión
8/07/18

Escuela KiCad

Esquemático y asociación de huellas

Conceptos nuevos:

- Hojas jerárquicas.
- Conexiones jerárquicas y locales.
- Verificación de reglas eléctricas y power flag.
- Criterios para la asociación de huellas.

Preparado por **Diego Brengi**, para la Carrera de Especialización en Sistemas Embebidos y para el Taller de Electrónica.



PARTE 1

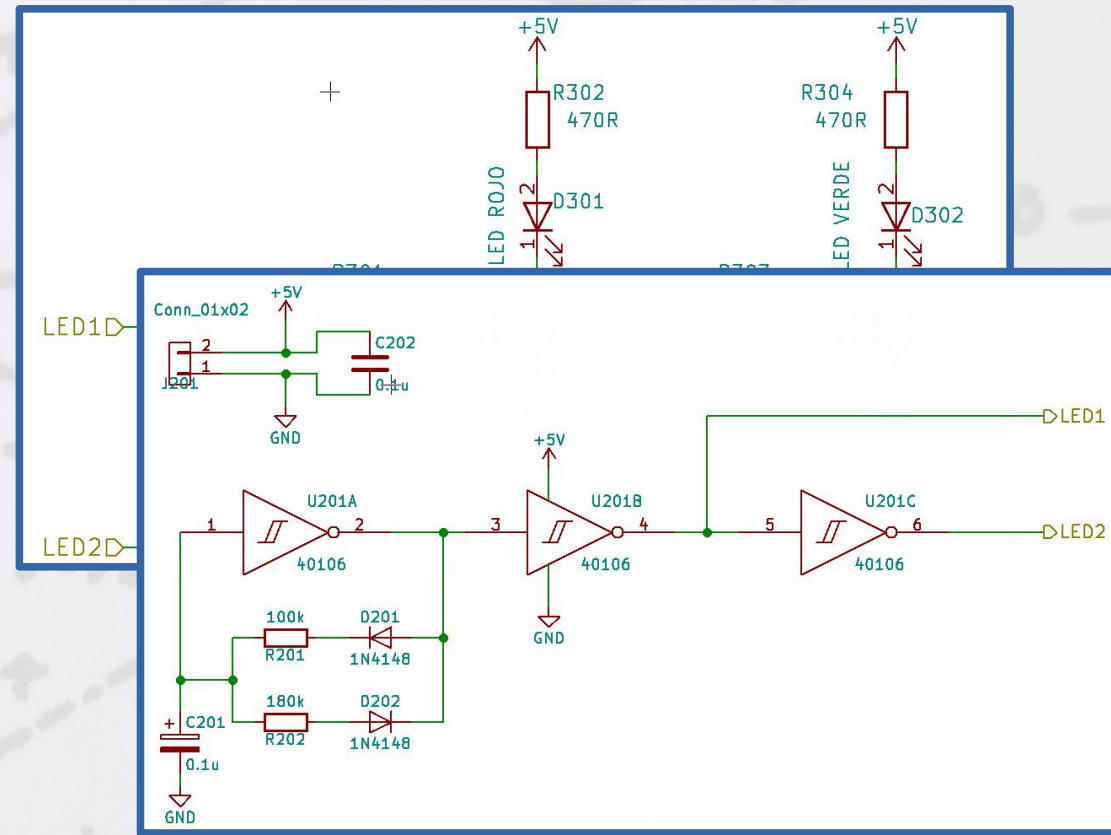
Editor de esquemáticos

Ejercicio 2 - Inicio

En este ejercicio iremos viendo un poco más en profundidad las opciones de KiCad.

El ejercicio consiste en un circuito simple, pero se enfocará en tareas y métodos que son utilizados de igual forma en un diseño de baja y mediana complejidad:

- Uso de jerarquía de hojas.
- Uso de etiquetas y buses.
- Funcionamiento del ERC.
- Asociación de huellas.



- 1) Crear un proyecto "Ejercicio2".
- 2) Guardar.

Configurar bibliotecas

Ejercicio 2 - Configuración de bibliotecas

Las bibliotecas provistas por KiCad pueden modificarse en el tiempo, pero nuestro diseño debe mantenerse inalterado.

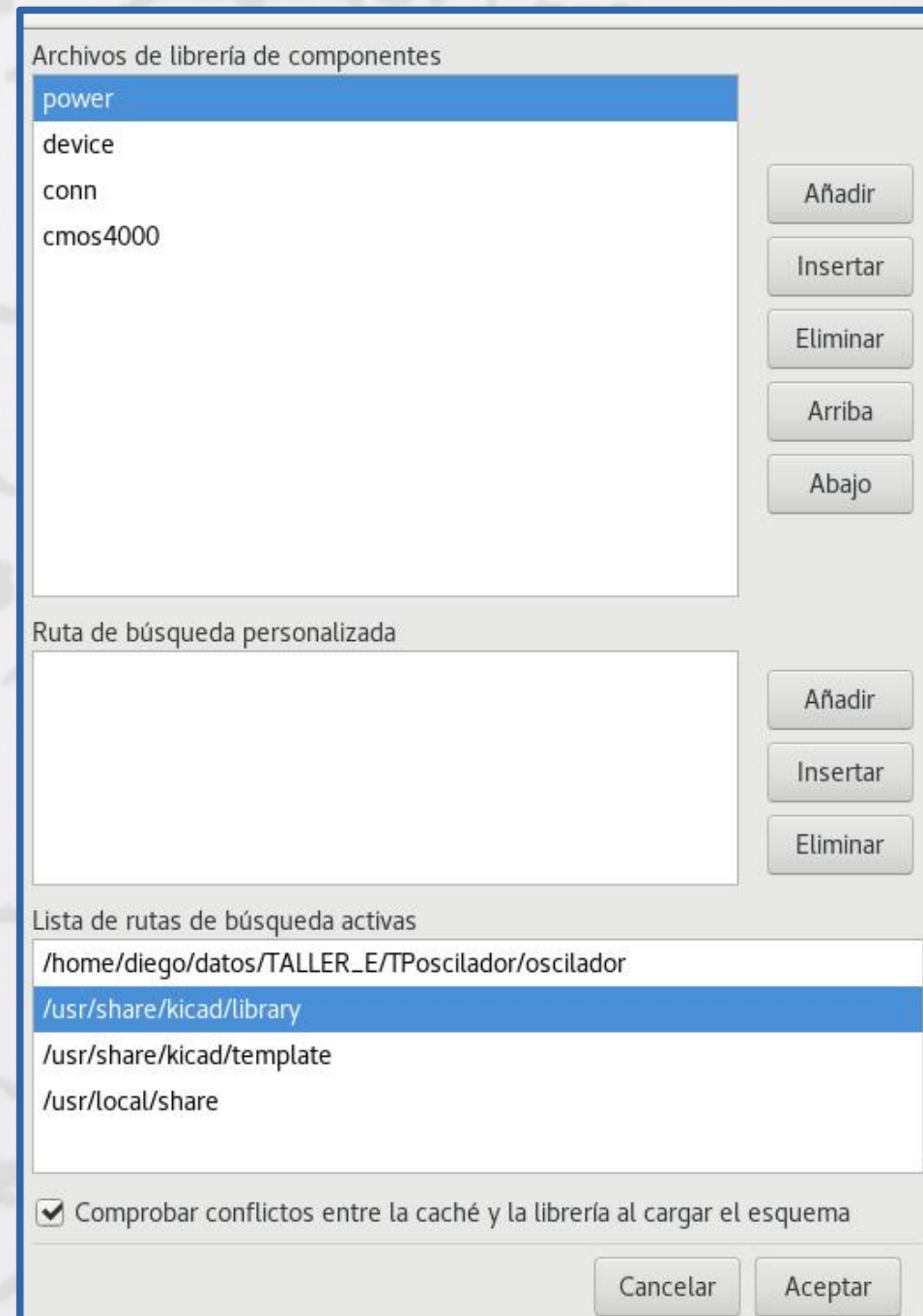
Las bibliotecas que usaremos son:

- **device** (dispositivos de uso común)
- **power** (Etiquetas para alimentación)
- **conn** (Conectores)
- **cmos4000**

1) Dejar solo las bibliotecas que utilizaremos.

Tip: Es una buena práctica al finalizar el diseño, dejar solamente una biblioteca con todos los componentes utilizados dentro.

Tip: Al agregar una ruta (path) que está dentro de nuestro proyecto, es conveniente agregarla en forma relativa. Así no depende del lugar absoluto de trabajo.



The background is a faded image of a circuit board. It features several integrated circuits, including two TL064 operational amplifiers and a TL061 op-amp. There are also resistors labeled R5, R6, and R7, and a potentiometer labeled P1. A green rectangular box is superimposed over the center of the image, containing the text 'Crear jerarquía' in bold black font.

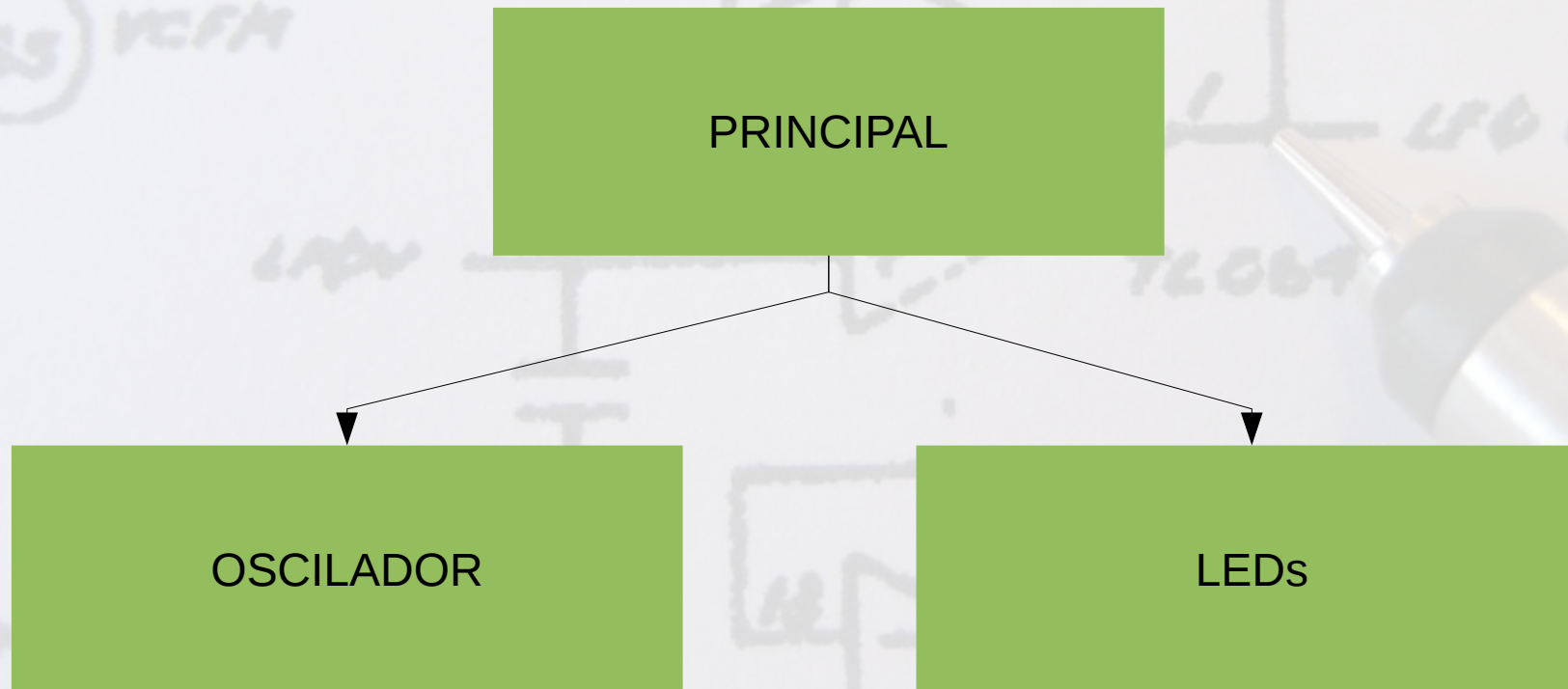
Crear jerarquía

Eeschema - Jerarquía de hojas

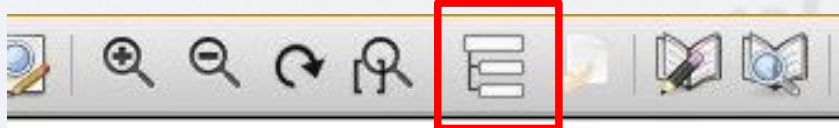
Diseño Jerárquico:

KiCad permite diseño jerárquico simple y complejo. Para el ejercicio utilizaremos una hoja principal y dos sub-hojas.

Tip: Configurar siempre las páginas en tamaño A4 para permitir una correcta impresión del esquemático.



Eeschema - Jerarquía de hojas - Botones



Navegador de jerarquía

Subir/bajar jerarquía

Diseño Jerárquico: Flujo de trabajo

1) Agregar en la hoja principal las sub-hojas.

Navegación entre hojas

- Para ir a cualquier hoja usar el navegador de la barra superior o el de la barra lateral derecha (funcionan diferente).

1

Crear label jerárquico en sub-hoja
Crear nueva hoja jerárquica en hoja principal

Importar pin jerárquico en la hoja jerárquica

Crear pin jerárquico en hoja jerárquica



Ejercicio 2 - Jerarquía de hojas

Realizaremos una jerarquía de hojas con:

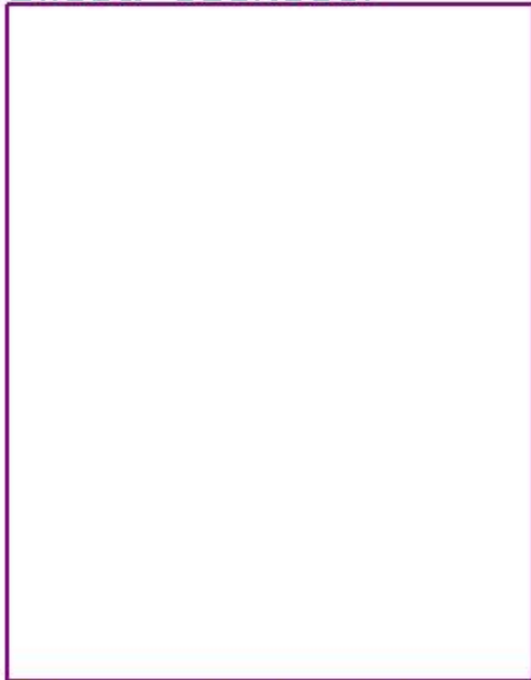
- Una página principal
- Una sub-hoja para el oscilador.
- Una sub-hoja para los LEDs.

Propiedades del esquema

Nombre de archivo:	oscilador.sch	Tamaño:	1,524	milímetros
Nombre de hoja:	Oscilador	Tamaño:	1,524	milímetros
Marca de tiempo:	5B29485D			

Cancelar Aceptar

Sheet: Oscilador



File: oscilador.sch

Sheet: Leds



File: leds.sch

- 1) Crear dos hojas jerárquicas en la página principal.
- 2) Probar ingresar y salir de las hojas jerárquicas.

The background is a faded schematic diagram of an electronic circuit. It features two operational amplifiers, labeled TL064 and TL061. The TL064 is at the top, with its non-inverting input (+) connected to a 10V source and its inverting input (-) connected to a feedback loop. The TL061 is at the bottom, with its non-inverting input (+) connected to a 12V source and its inverting input (-) connected to a feedback loop. A pen is pointing to the TL064 op-amp. A green rectangular box is overlaid on the center of the image, containing the text 'Completar el rótulo'.

Completar el rótulo

Esquemático - El rótulo

Completar adecuadamente el rótulo para una documentación prolija:

- Fecha: No es automático, actualizarlo luego de cambios significativos.
- Revisión: Actualizar luego de cambios mayores.
- Company: Institución/empresa y autor particular.
- En proyectos abiertos: Es conveniente mencionar la licencia, o indicar donde se encuentra.
- Para varios autores se puede indicar donde encontrar el listado de autores.

Paper

Tamaño:
A4 210x297mm

Orientación
Landscape

Custom Size:
Height: 11,000 Width: 17,000

Layout Preview

Title Block Parameters

Number of sheets: 13 Sheet number: 1

Issue Date
2 dec 2014

Revision
CEIBO 1.1

Title
CIAA Freescale - Esquemático jerárquico

Company
CIAA - COMPUTADORA INDUSTRIAL ABIERTA ARGENTINA. Versión FSL (Freescale K60)

Comment1
Autores: Ver 'doc/CHANGES.txt' Licencia: Ver 'doc/LICENCIA_CIAA_FSL.txt'

Comment2

Comment3

Comment4

Page layout description file

Export to other sheets (checked for Title, Company, Comment1)

Cancelar Aceptar

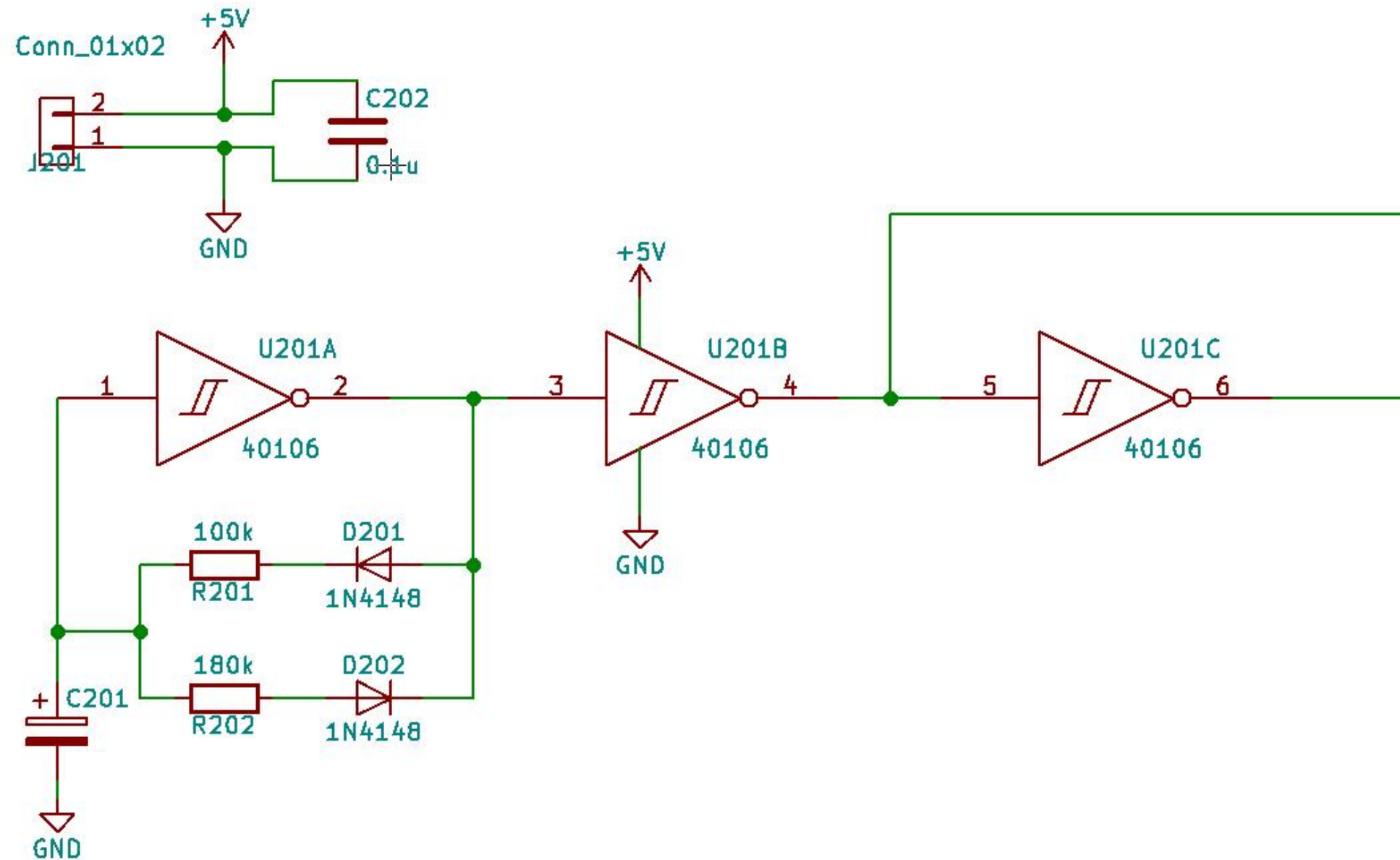
Tip: Utilizar la opción de exportar a las demás hojas para los campos comunes. El título base es común a todos, y luego se edita para agregar el subtítulo de cada hoja particular.

Ejercicio Oscilador con 40106 - Principal
Ejercicio Oscilador con 40106 – Etapa oscilador
Ejercicio Oscilador con 40106 – Leds indicadores

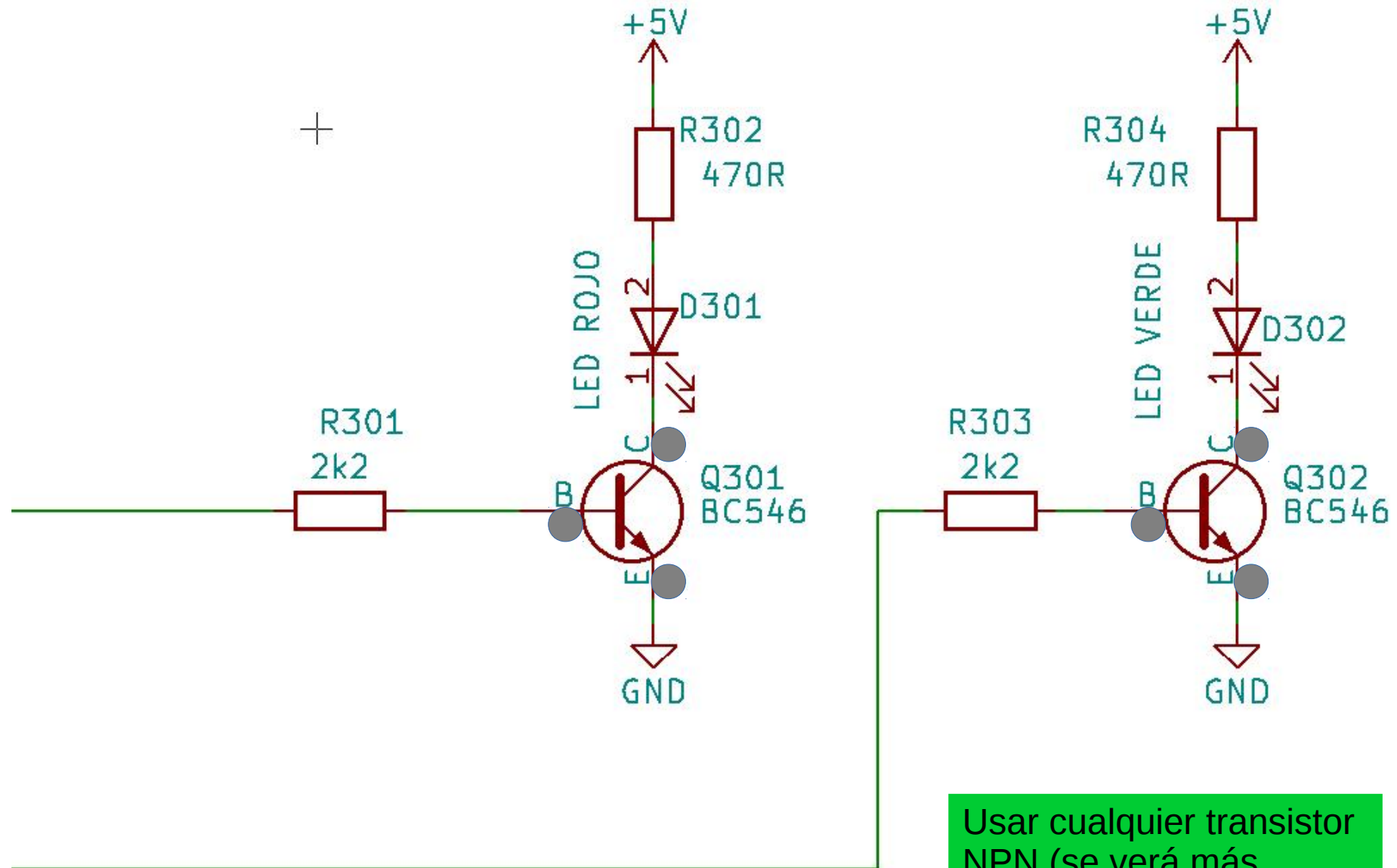
The background is a faded circuit diagram. It features two operational amplifiers, labeled TL064 and TL061. The TL064 is at the top, with its non-inverting input (+) connected to a 10V source and its inverting input (-) connected to a 10V source. The TL061 is at the bottom, with its non-inverting input (+) connected to a 12V source and its inverting input (-) connected to a 12V source. A pen is pointing to the TL064 op-amp. The text "Completar el circuito" is overlaid on a green rectangular background in the center of the image.

Completar el circuito

Esquemático - Hoja Oscilador



Esquemático - Hoja Indicadores LEDs

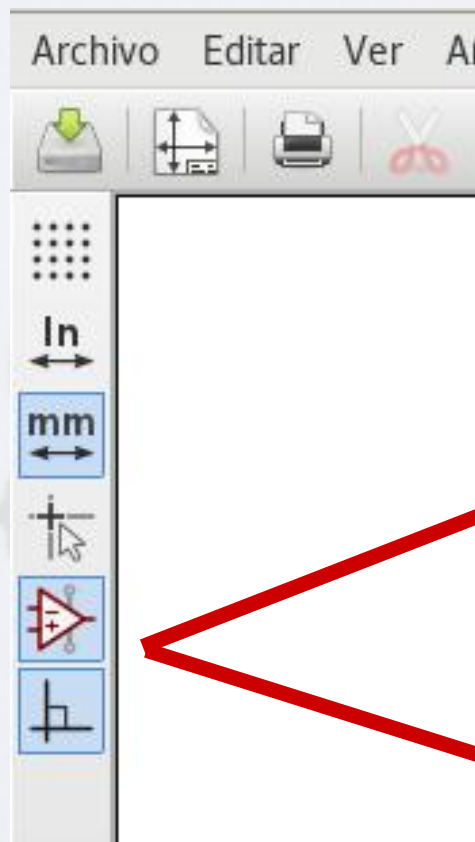


Usar cualquier transistor NPN (se verá más adelante el adecuado).

The background is a faded schematic diagram of an electronic circuit. It includes various components such as resistors (labeled R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26, R27, R28, R29, R30, R31, R32, R33, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, R49, R50, R51, R52, R53, R54, R55, R56, R57, R58, R59, R60, R61, R62, R63, R64, R65, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86, R87, R88, R89, R90, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100), capacitors (labeled C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C26, C27, C28, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C40, C41, C42, C43, C44, C45, C46, C47, C48, C49, C50, C51, C52, C53, C54, C55, C56, C57, C58, C59, C60, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74, C75, C76, C77, C78, C79, C80, C81, C82, C83, C84, C85, C86, C87, C88, C89, C90, C91, C92, C93, C94, C95, C96, C97, C98, C99, C100), and integrated circuits (labeled TL084, TL082, TL081, TL080, TL083, TL084, TL085, TL086, TL087, TL088, TL089, TL090, TL091, TL092, TL093, TL094, TL095, TL096, TL097, TL098, TL099, TL100). A green rectangular box is centered over the diagram, containing the title text.

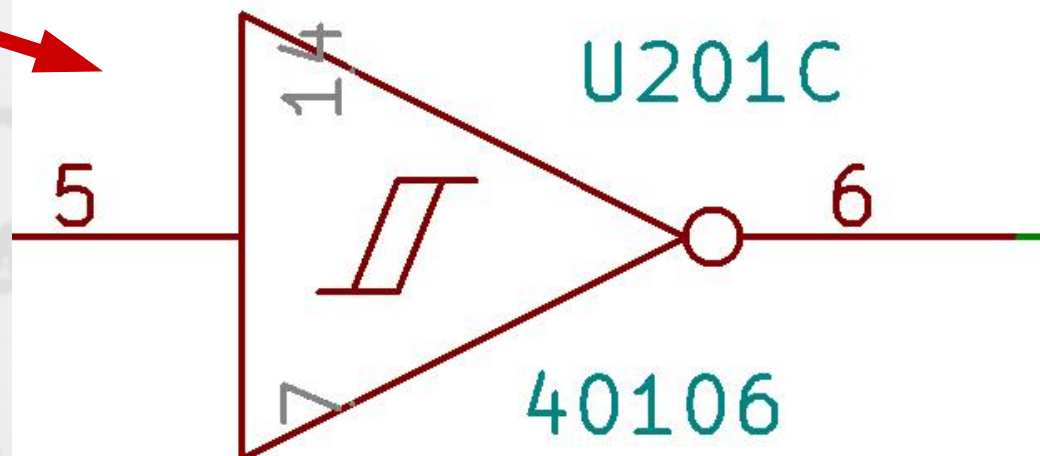
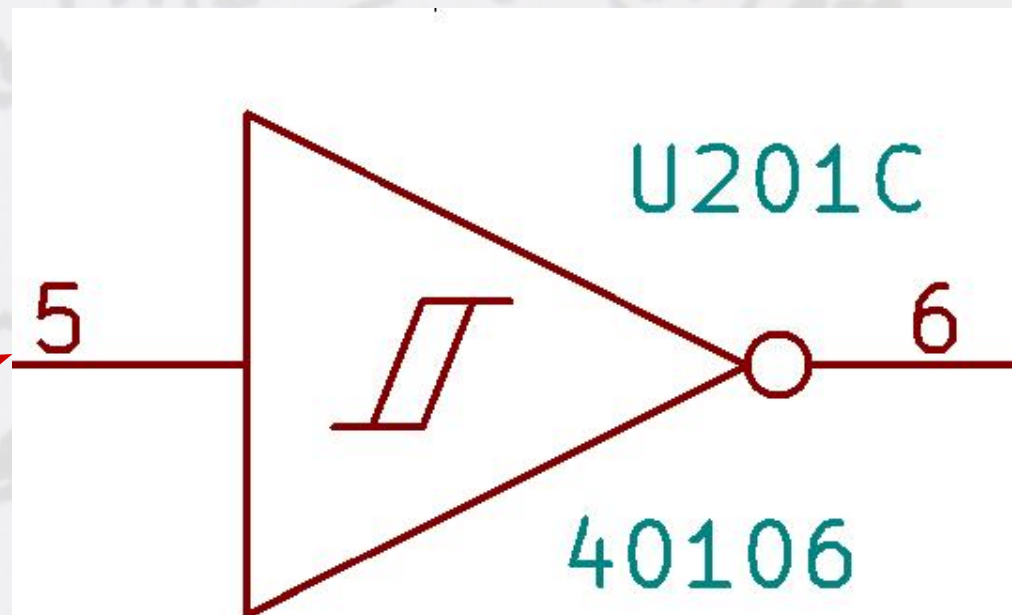
Conexiones de alimentación

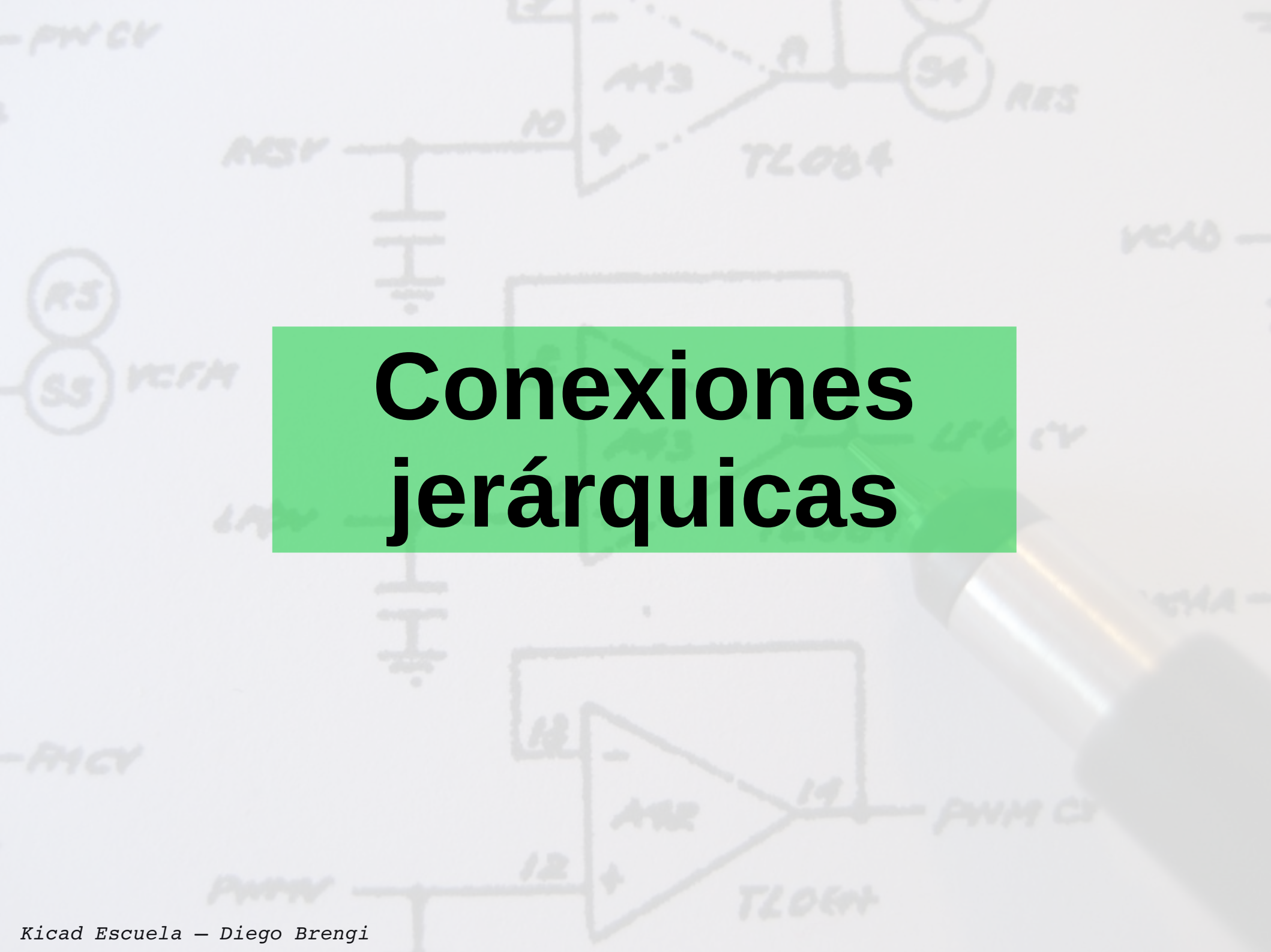
Esquemático - Conexión de alimentación.



La herramienta mostrada permite ver pines de conexión invisibles u ocultos.

Como los pines de alimentación se repiten en el multiparte, solamente hay que conectarlos una vez.





Conexiones jerárquicas

Eeschema - Pines/etiquetas jerárquicos

Diseño Jerárquico: Flujo de trabajo

- 2) Editar cada sub-hoja creando las etiquetas jerárquicas correspondientes.
- 3) Importar los pines jerárquicos en cada sub-hoja de la hoja principal.
- 4) Realizar las interconexiones entre hojas.

Tips

- Evitar usar etiquetas globales ya que son difíciles de rastrear en el esquemático.
- Ubicar los labels jerárquicos en los bordes de las páginas para encontrarlos rápidamente.

2

Crear label jerárquico en sub-hoja

Crear nueva hoja jerárquica en hoja principal

3

Importar pin jerárquico en la hoja jerárquica

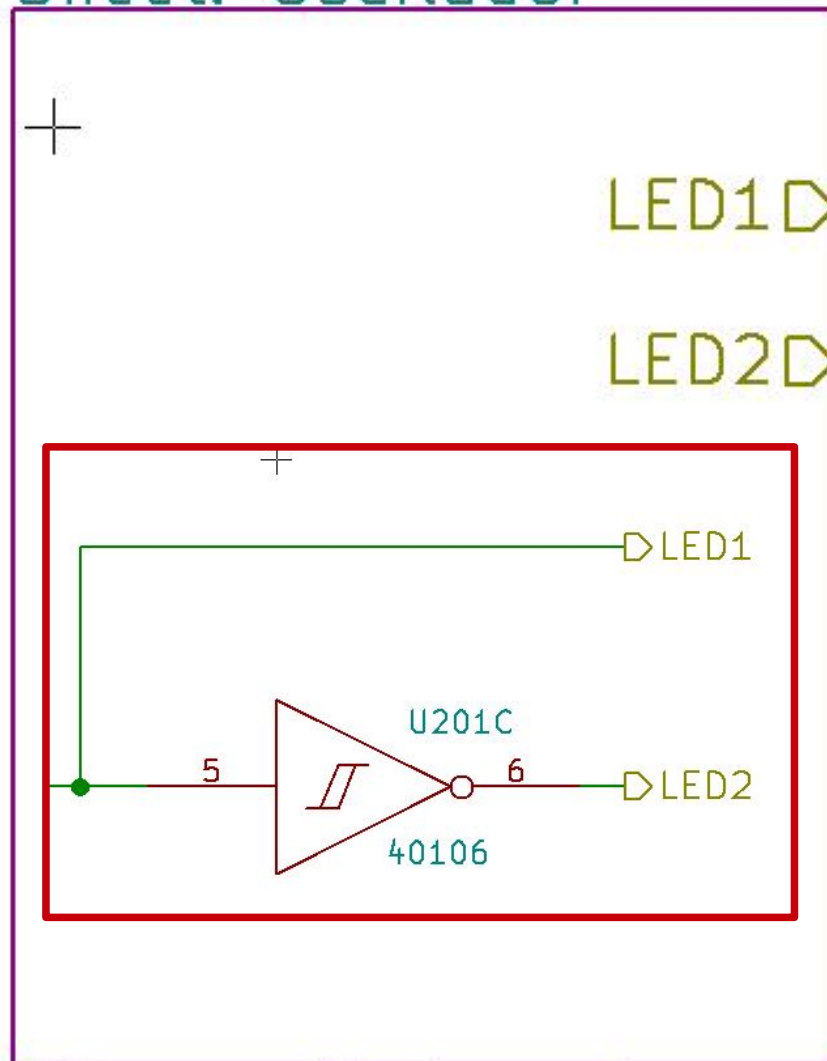
Crear pin jerárquico en hoja jerárquica

Este último botón no conviene usarlo, no es práctico!



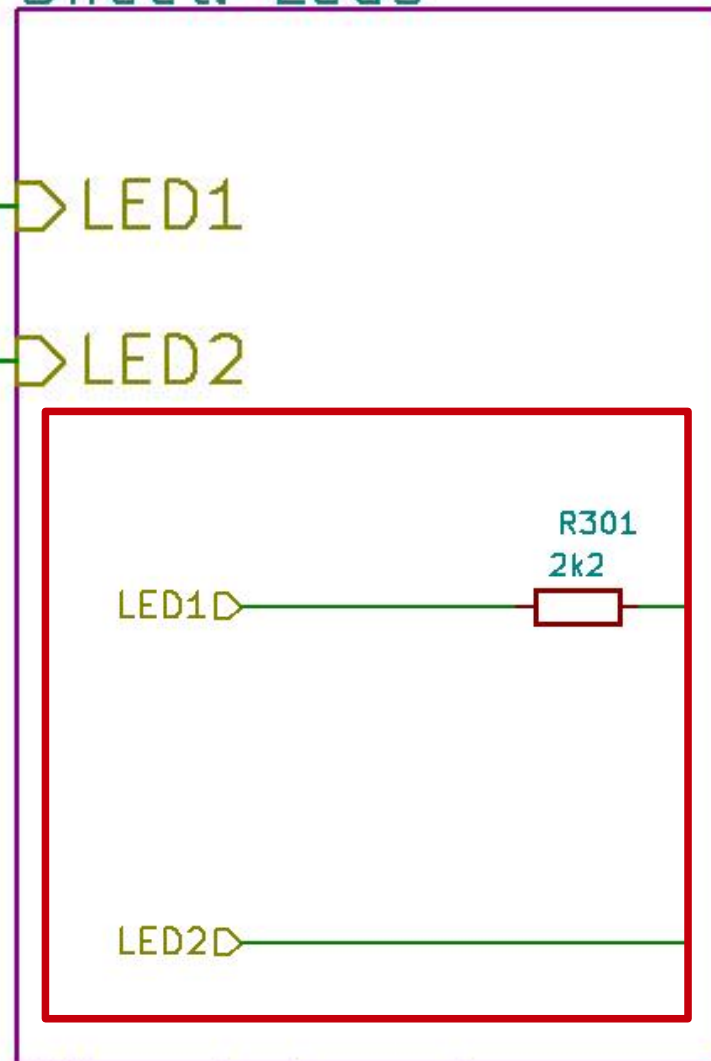
Esquemático - Hoja Principal

Sheet: Oscilador



File: oscilador.sch

Sheet: Leds



File: leds.sch

The background is a faded circuit diagram. It features two operational amplifiers, labeled 'TL084' and 'TL081'. The 'TL084' is at the top, with its non-inverting input (+) connected to a network of resistors and a voltage source labeled 'RESV'. Its inverting input (-) is connected to a feedback loop. The 'TL081' is at the bottom, with its non-inverting input (+) connected to a voltage source labeled 'PWNV'. Its inverting input (-) is connected to a feedback loop. Various other components like resistors (R5, R3, R4, R2), capacitors (C1, C2), and voltage sources (RES, VCF, VCA, VMA) are visible. A green rectangular box is centered over the diagram, containing the title text.

Numeración de componentes

Esquemático - Numeración de componentes

Anotar esquema

Alcance

☒ Utilizar todo el esquema

☐ Utilizar solo la hoja activa

☒ Mantener la anotación actual


☐ Eliminar la anotación actual


☐ Eliminar pero no intercambiar ningún componente múltiple

Orden de anotación

☒ Ordenar los componentes por su posición X

☐ Ordenar los componentes por su posición Y





Opciones de anotación

☐ Utilizar el primer número libre en el esquema

☒ Comenzar como número de hoja*100 y utilizar el primer número libre

☐ Comenzar como número de hoja*1000 y utilizar el primer número libre

Diálogo

☐ Mantener este diálogo abierto

☒ Siempre preguntar por confirmación


Cerrar

Eliminar anotación

Anotar

Usaremos numeración independiente en cada hoja.

Tip
Para trabajar independientemente en cada hoja se puede numerar con rangos de a 100 componentes por hoja.

The background is a faded circuit diagram. It includes various components like resistors (R5, R6), capacitors (C1, C2), and integrated circuits (TL084, TL082). There are also labels like 'PWN CV', 'RES', 'VCFM', 'VCAO', 'PMA', and 'PMTV'. A green rectangular box is centered over the diagram, containing the title text.

Chequeo de reglas eléctricas y *power flags*

Esquemático - ERC



Control de las reglas eléctricas (ERC)

ERC Opciones

Informe ERC:

Total: 2

Avisos: 2

Errores: 0

☐ Crear archivo de informe ERC

Mensajes

Lista de errores:

Error(3): Pin conectado a otros pines pero sin alimentación

- @ (123,19mm,64,77mm): El pin 1 (Entrada de alimentación) del componente #PWR01 no está alimentado (red 4).

Error(3): Pin conectado a otros pines pero sin alimentación

- @ (123,19mm,74,93mm): El pin 1 (Entrada de alimentación) del componente #PWR05 no está alimentado (red 8).

Eliminar marcadores Ejecutar Cerrar

Esquemático - Propiedades de los pines

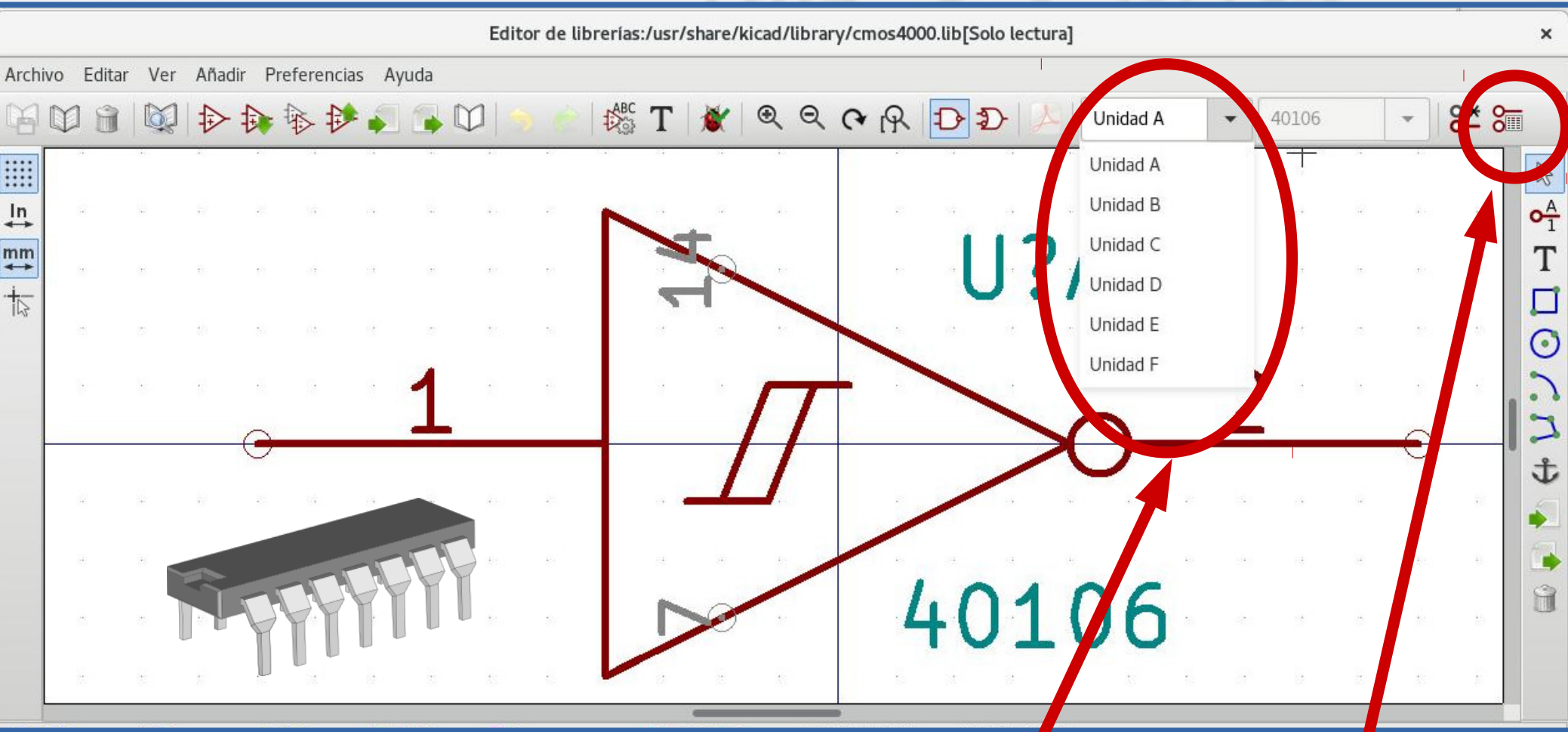
INVESTIGACIÓN:
Para ver las propiedades de cada pin del 40106, lo editamos con el editor de librerías.

The screenshot shows a circuit schematic with a 40106 component (U201C) and an LED2 component. A context menu is open over the 40106 component, with 'Editar componente' selected, which has opened a sub-menu where 'Editar con el editor de librerías' is highlighted. The bottom status bar shows component details for 'leds.sch'.

Componente	Librería
40106	cmos4000

leds.sch' Z 5,50 X 193,04 Y 90,17 dx 193,04 dy 90,17 dist 213,06 mm

Esquemático - Propiedades de los pines



Vemos que tiene varias unidades.

Nos muestra una tabla de los pines y las propiedades de cada uno.

INPUT, PASSIVE, OPEN COLLECTOR,	OUTPUT, NO ESPECIFICADO, OPEN EMITTER,	BIDIRECCIONAL, POWER INPUT, NO CONNECTION	TRI-STATE, POWER OUTPUT,
---------------------------------------	--	---	-----------------------------

Esquemático - Propiedades de los pines

ATENCIÓN:

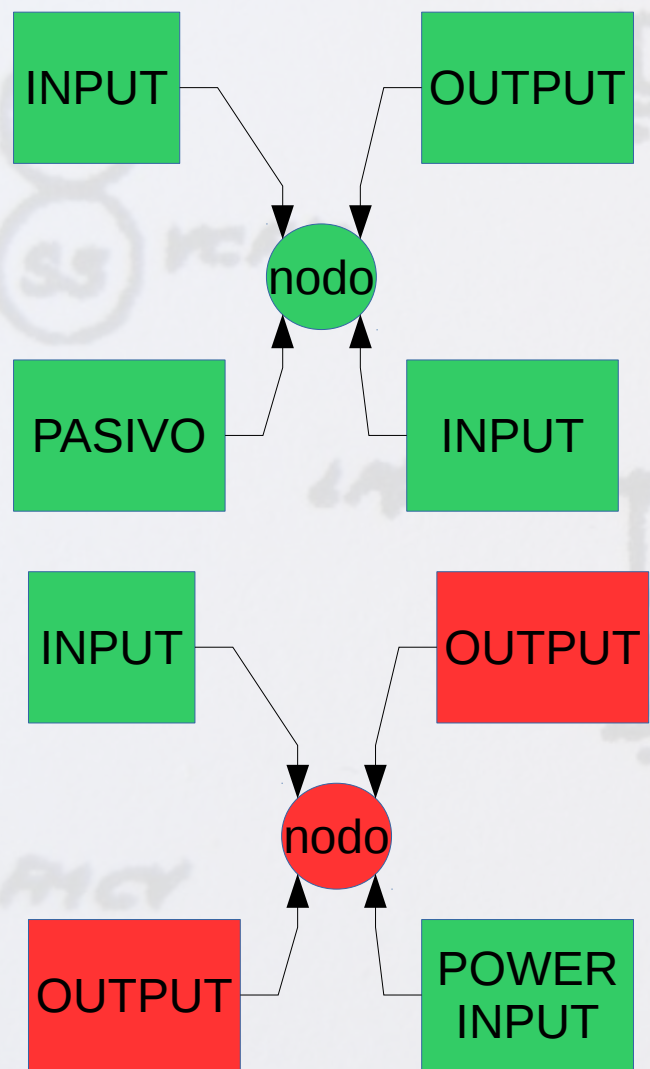
Los pines 7 y 14 figuran con propiedad de “ENTRADA DE ALIMENTACIÓN”.

Tabla de pines			
Número	Nombre	Tipo	Posición
▶ 1	1:In	Entrada	(-500,0)
▶ 2	1:Out	Salida	(500,0)
▶ 3	2:In	Entrada	(-500,0)
▶ 4	2:Out	Salida	(500,0)
▶ 5	3:In	Entrada	(-500,0)
▶ 6	3:Out	Salida	(500,0)
▶ 7	2:VSS	Entrada de alimentación	(-100,-150)
▶ 7	4:VSS	Entrada de alimentación	(-100,-150)
▶ 7	6:VSS	Entrada de alimentación	(-100,-150)
▶ 7	5:VSS	Entrada de alimentación	(-100,-150)
▶ 7	1:VSS	Entrada de alimentación	(-100,-150)
▶ 7	3:VSS	Entrada de alimentación	(-100,-150)
▶ 8	4:Out	Salida	(500,0)
▶ 9	4:In	Entrada	(-500,0)
▶ 10	5:Out	Salida	(500,0)
▶ 11	5:In	Entrada	(-500,0)
▶ 12	6:Out	Salida	(500,0)
▶ 13	6:In	Entrada	(-500,0)
▶ 14	5:VDD	Entrada de alimentación	(-100,150)
▶ 14	2:VDD	Entrada de alimentación	(-100,150)
▶ 14	4:VDD	Entrada de alimentación	(-100,150)
▶ 14	3:VDD	Entrada de alimentación	(-100,150)
▶ 14	6:VDD	Entrada de alimentación	(-100,150)
▶ 14	1:VDD	Entrada de alimentación	(-100,150)

Aceptar

Esquemático - ERC

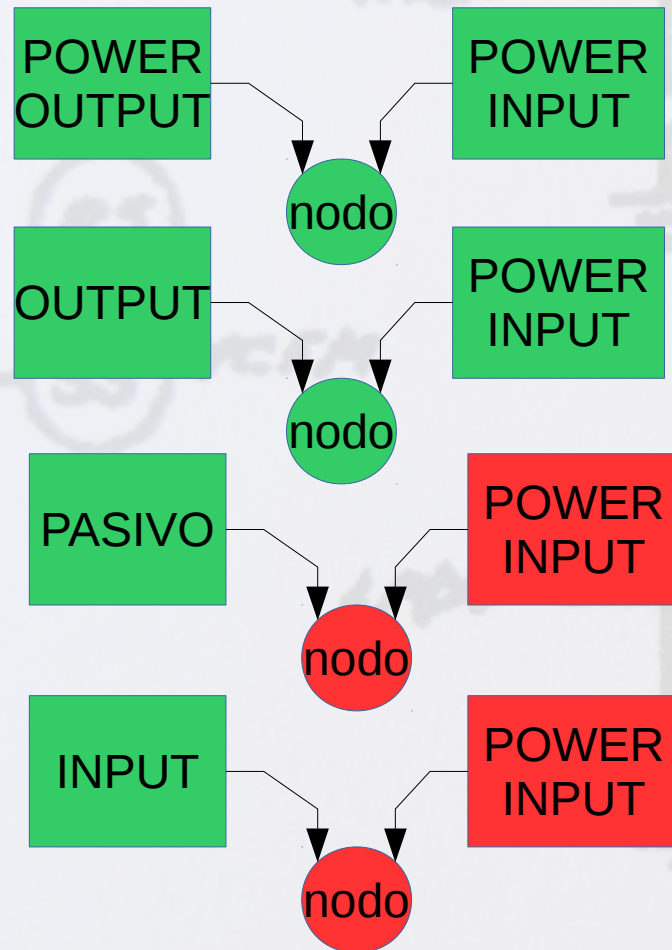
Las propiedades de los pines son utilizadas por el ERC.
El ERC (Electrical Rules Checker) de KiCad NO SIMULA, solamente aplica esta matriz en cada nodo, considerando las propiedades de los pines conectados al mismo.



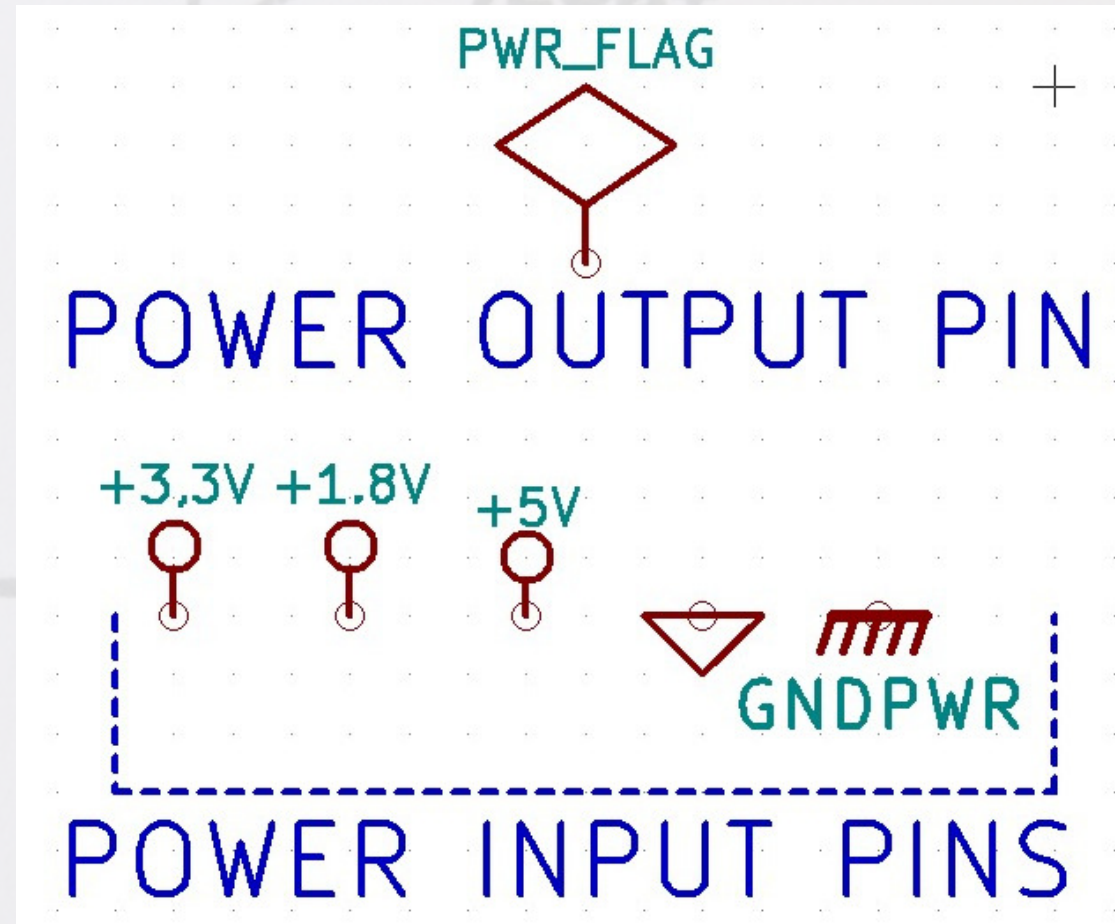
ERC		Opciones												Defecto	
		Input Pin						Output Pin							
Input Pin.....															
Output Pin.....															
Bidirectional Pin..															
Tri-State Pin.....															
Passive Pin.....															
Unspecified Pin....															
Power Input Pin....															
Power Output Pin...															
Open Collector.....															
Open Emitter.....															
No Connection.....															

Esquemático - ERC - Power

KiCad verifica que un pin de entrada de alimentación (power input) esté alimentado por alguno de los componentes del nodo.



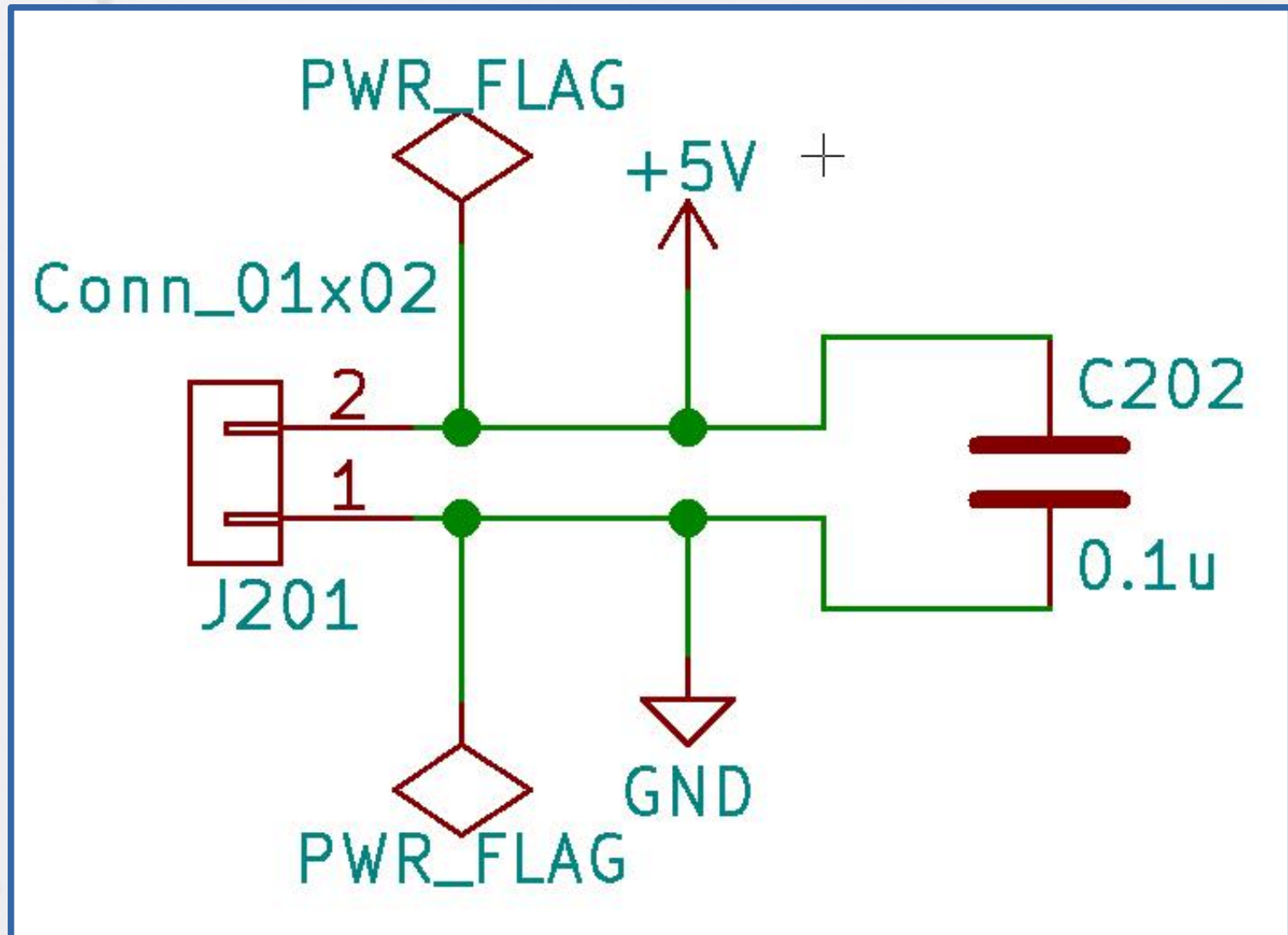
Además el ERC verifica que todos los componentes tengan una referencia válida, elementos no conectados, etc.



El POWER FLAG se utiliza para evitar el error de ERC cuando la alimentación proviene de un conector o viene de un componente con propiedad pasiva (fusible, diodo, resistor, etc.).

Esquemático - Power Flags

Si la alimentación ingresa por los conectores, colocar los power flag cerca de los mismos.



Etiquetas locales

Eeschema - Etiqueta local

La etiqueta local permite realizar una conexión dentro de una hoja, sin que una línea realice todo el trayecto de conexión.

La etiqueta debe aplicarse sobre un pin o sobre un tramo de cable.

El punto de conexión es un cuadrado debajo de la primera letra de la etiqueta, y debe estar en contacto con el pin o con el tramo de cable.

TIP: Las etiquetas pueden hacer más claro un circuito esquemático al eliminar líneas que cruzan por la hoja. Pero su abuso conduce a esquemáticos sin interconexiones visibles que dificultan la interpretación (como leer un archivo netlist).

Las etiquetas también sirven para definir buses.

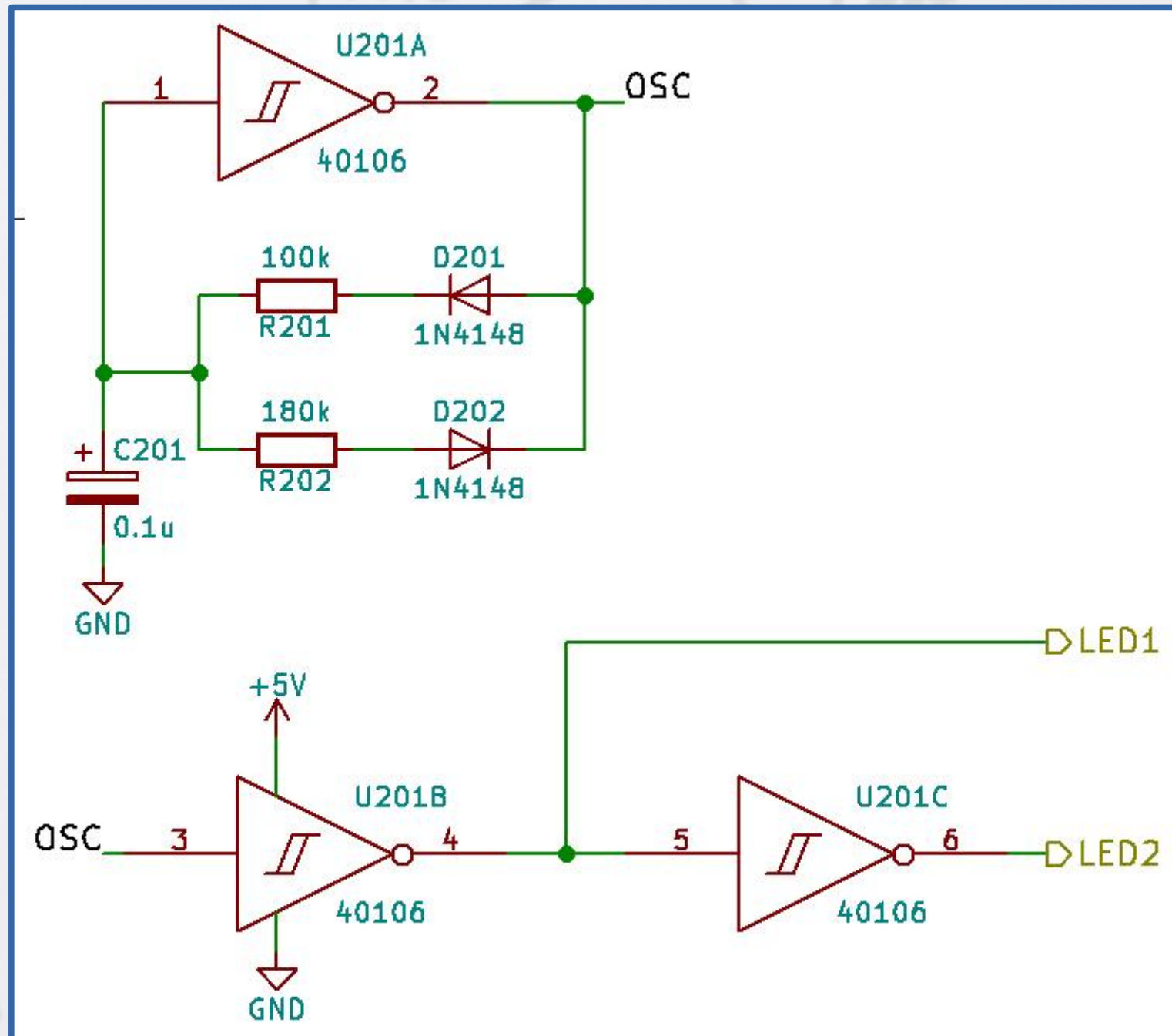
RX Etiqueta

Etiqueta local



Eeschema - Etiqueta local

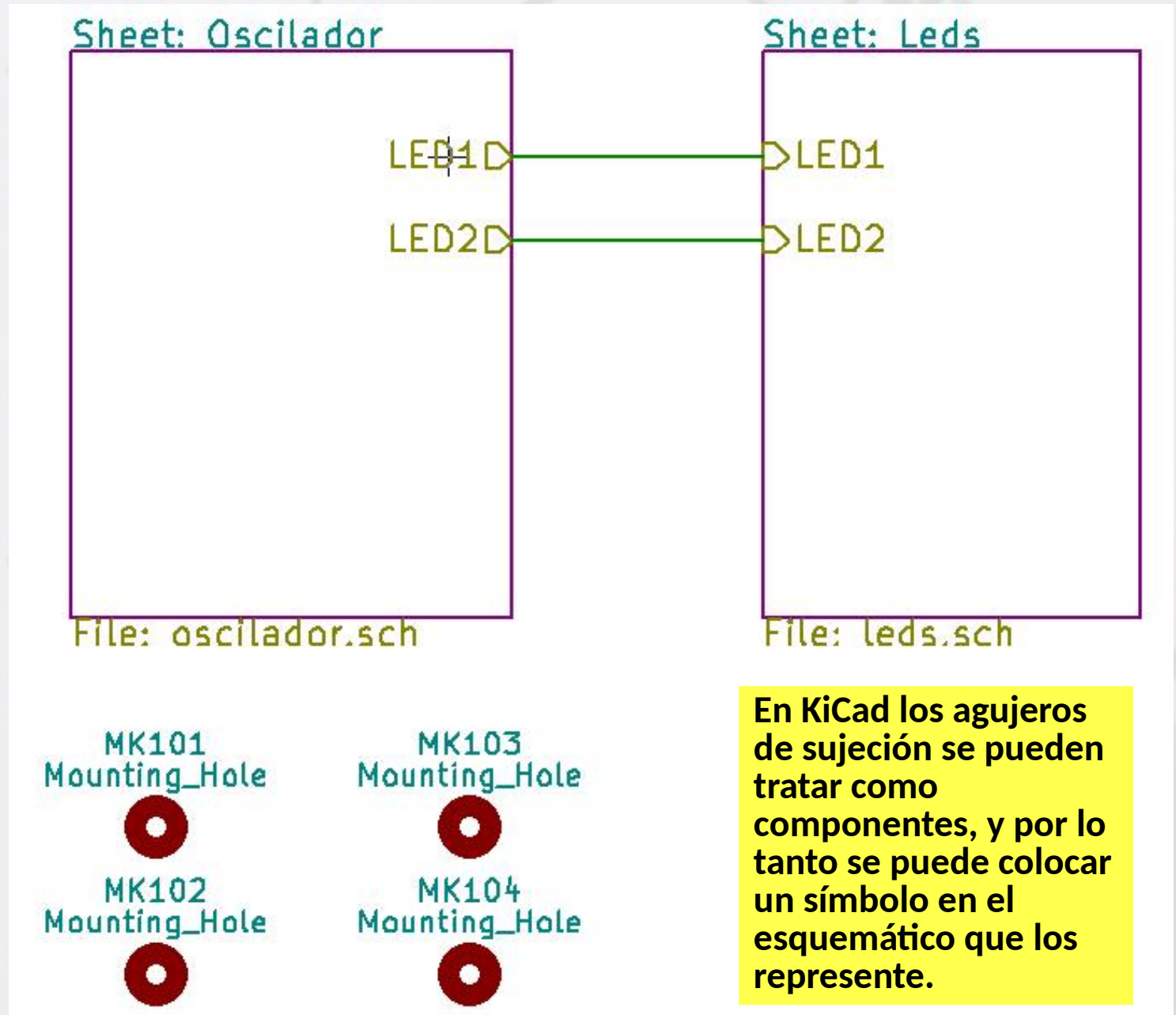
- 1) Mover el bloque de buffers de salida.
- 2) Agregar las etiquetas locales.
- 3) Repetir el ERC.



Agujeros de sujeción

Eeschema - Agujeros de sujeción

- 1) Agregar la biblioteca "Mechanical".
- 2) Agregar cuatro agujeros de sujeción "Mounting_Hole".



En KiCad los agujeros de sujeción se pueden tratar como componentes, y por lo tanto se puede colocar un símbolo en el esquemático que los represente.



PARTE 2

Asociación de huellas

Sobre la asociación de footprints



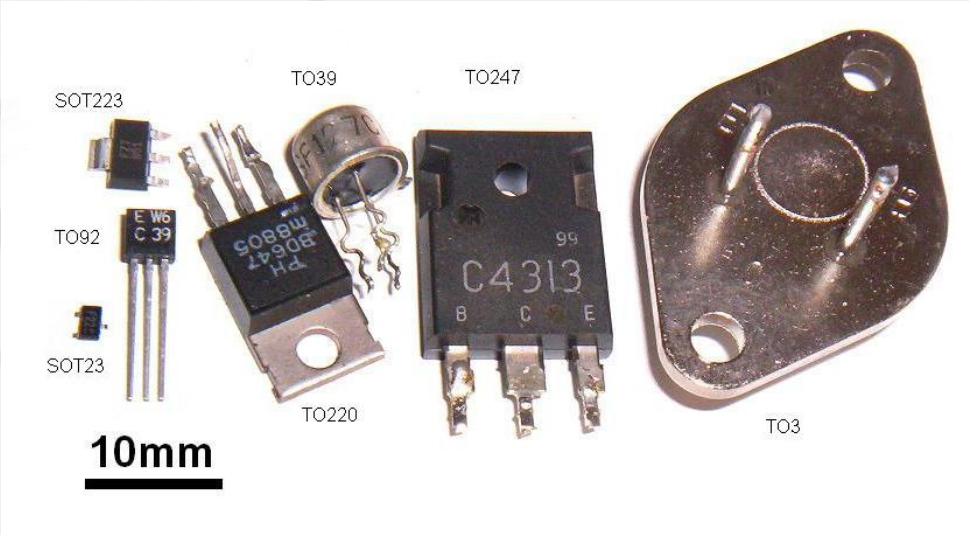
Se debe tener especial cuidado al asociar un símbolo con un footprint. La problemática es la siguiente:

1) Existe una gran cantidad de símbolos genéricos que se pueden utilizar para una gran variedad de componentes diferentes (como por ejemplo el símbolo de un transistor NPN).



2) Existe una gran cantidad de footprints estandarizados como por ejemplo TO-92, TO-220, TO-3, TO-18, SOT-23. El estándar del encapsulado define la forma y las dimensiones, pero no la función de cada pin o el tipo de dispositivo.

3) Lo que termina definiendo la relación entre la funcionalidad del pin y su correspondiente pin en el encapsulado es la hoja de datos.



<https://commons.wikimedia.org/wiki/File:Transbauformen.jpg>

BC548

Emitter
Base
Collector

BC640

TO-92

1. Emitter 2. Collector 3. Base

NTE123A, 2N2222
2N3904, NTE108
NPN, TO-92
2N3563 PN100

Front view

1 = emitter
2 = base
3 = collector

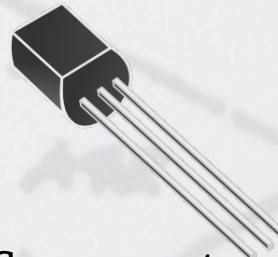
Se presenta al transistor NPN como ejemplo de la problemática. El diseñador debe verificar que las conexiones físicas al encapsulado se realicen correctamente.

Sobre la asociación de footprints

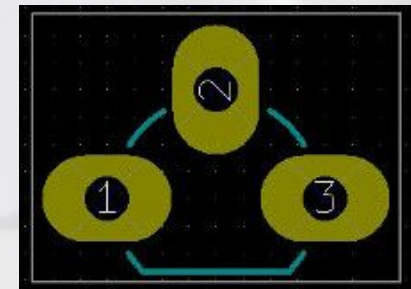
Es necesario consultar la hoja de datos, analizar y realizar los ajustes necesarios:



Símbolo genérico



Componente real

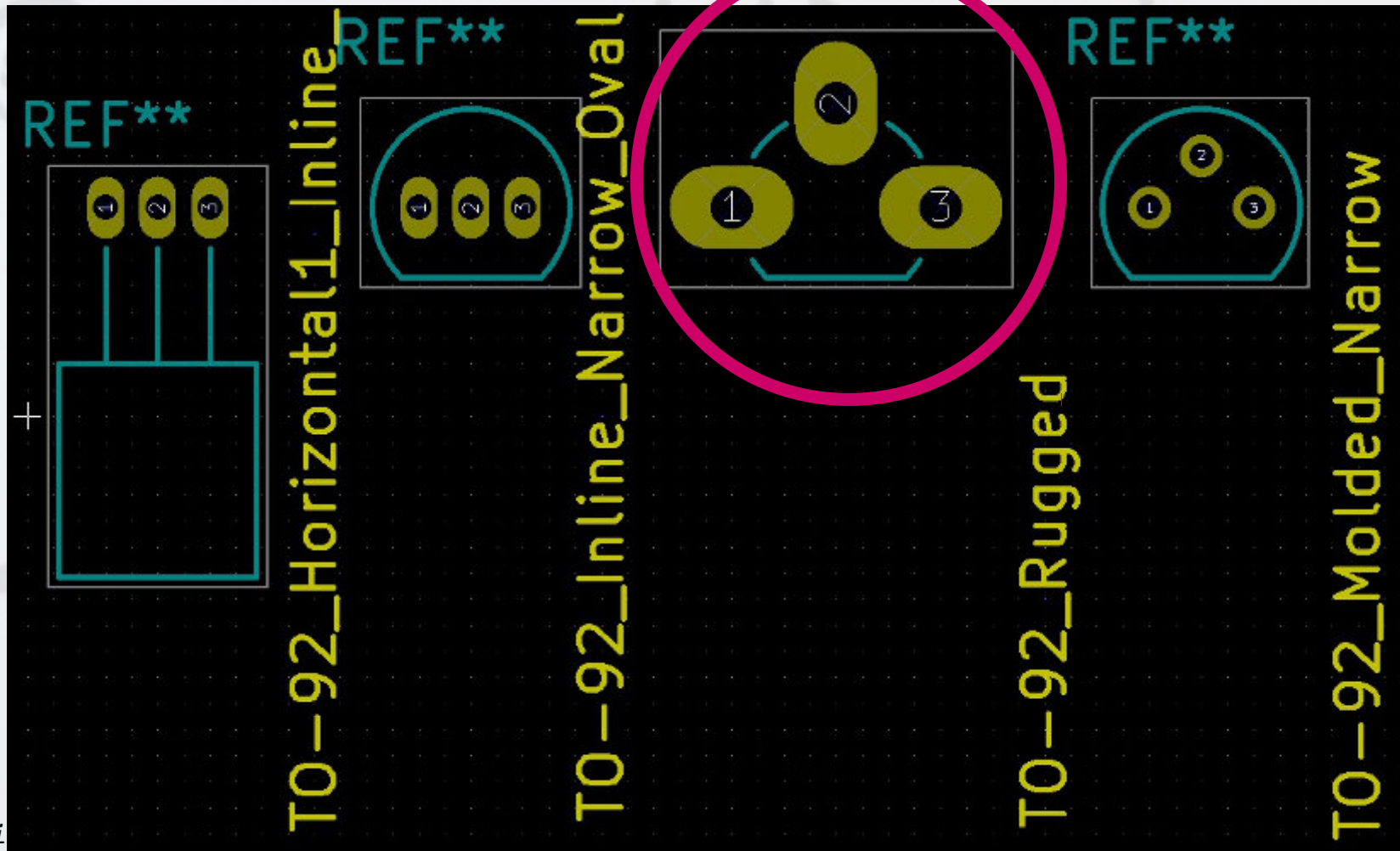
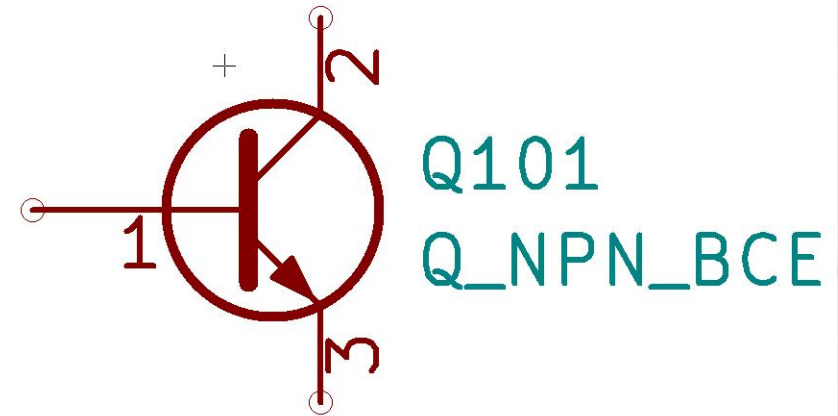


Footprint estándar

Sobre la asociación de footprints

En nuestro caso tenemos un BC546/47/48:

- 1) Supongamos que en el esquemático elegimos el Q_NPN_BCE.
- 2) Seleccionamos de la biblioteca de footprints (TO_SOT-Packages-THT) alguno de los modelos TO-92 existentes.



Sobre la asociación de footprints

3) La asociación que realizará KiCad es simple:

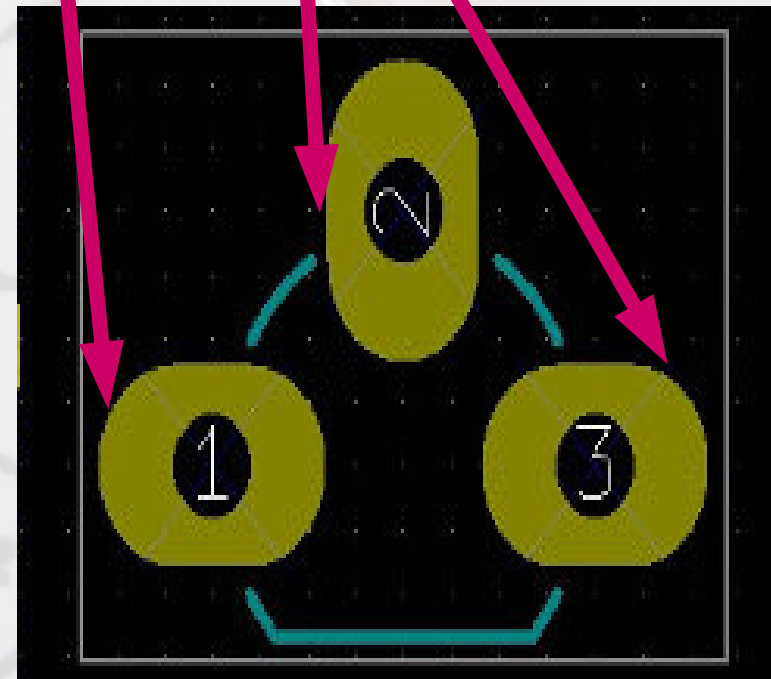
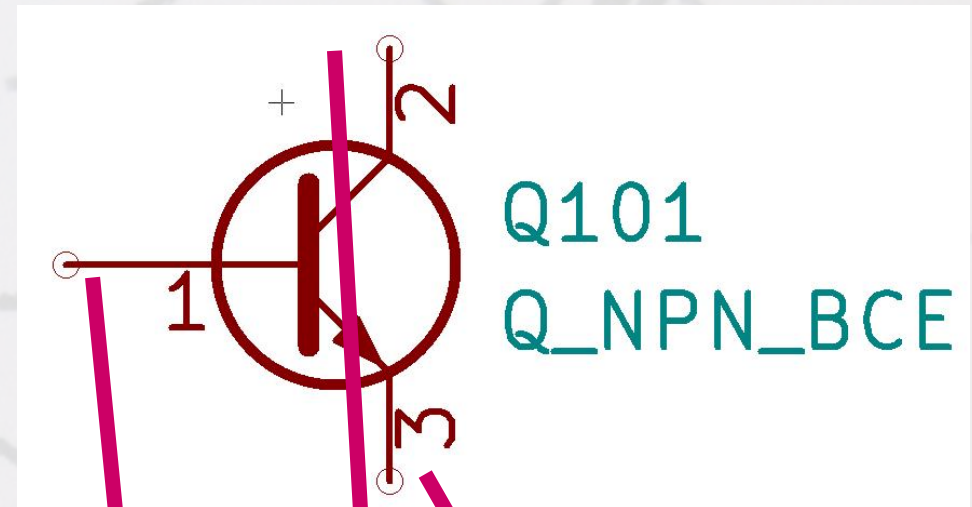
1- base - 1 footprint

2- colector - 2 footprint

3- emisor - 3 footprint

Verificamos si coincide la numeración en el símbolo con la del footprint, mirando la hoja de datos.

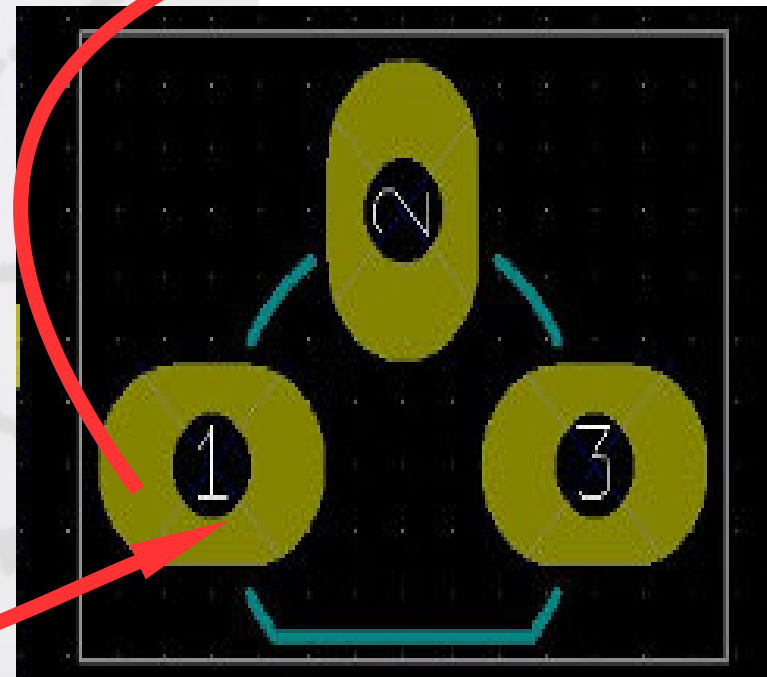
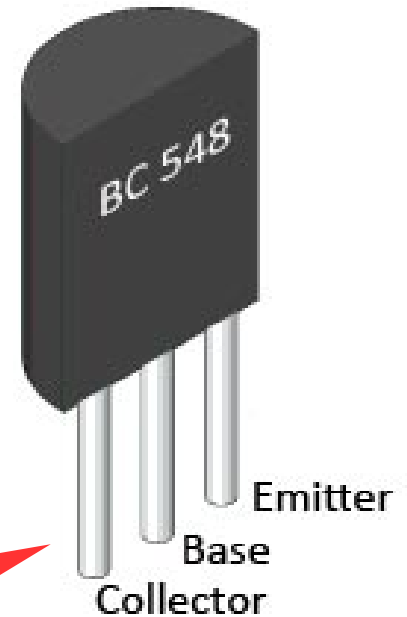
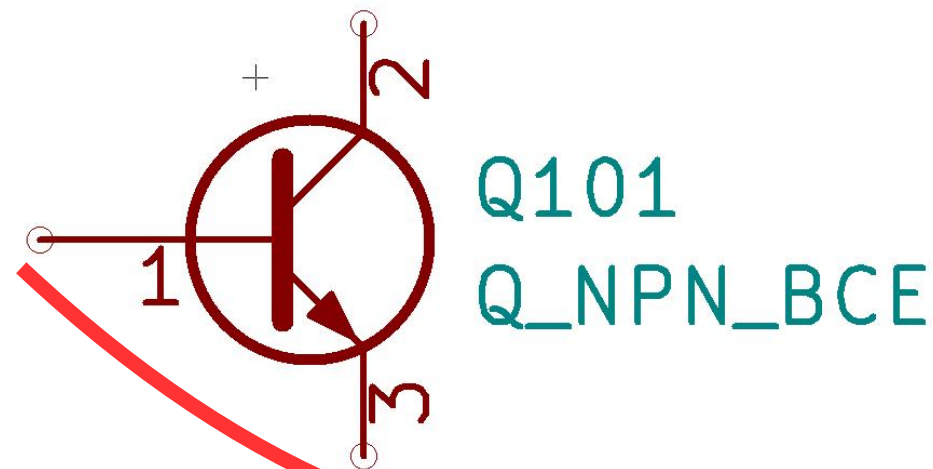
4) Si no coincide, la convención definida en KiCad es la de cambiar el símbolo esquemático para que coincida con la numeración de la huella.



Sobre la asociación de footprints

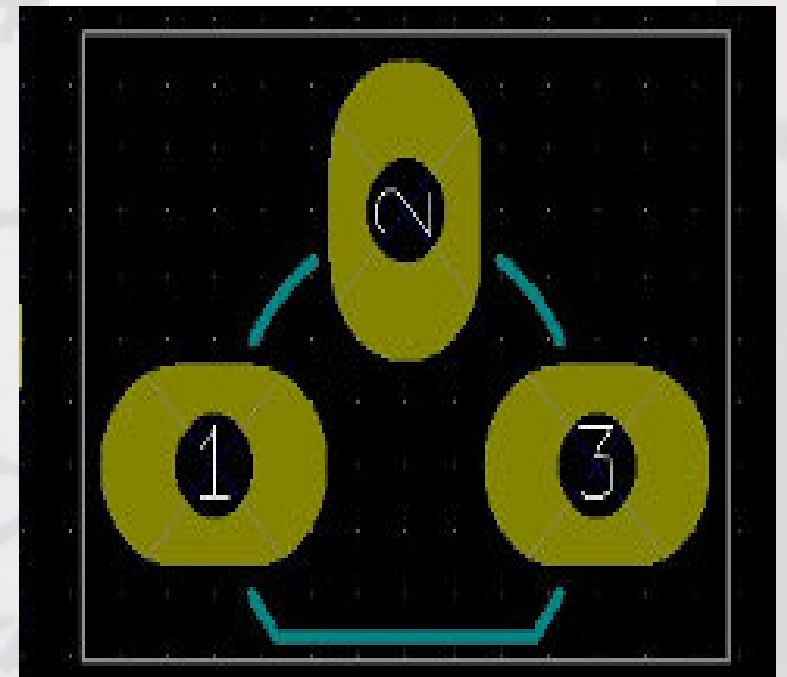
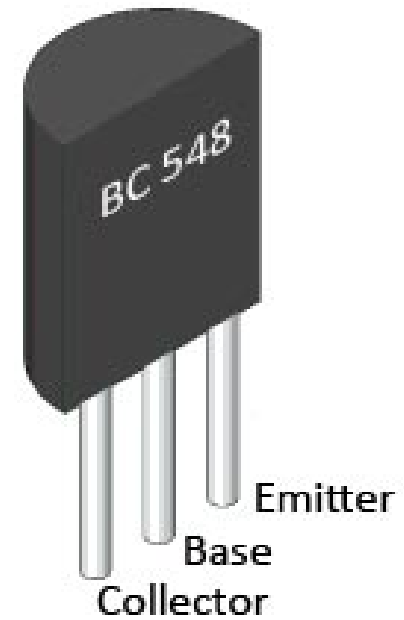
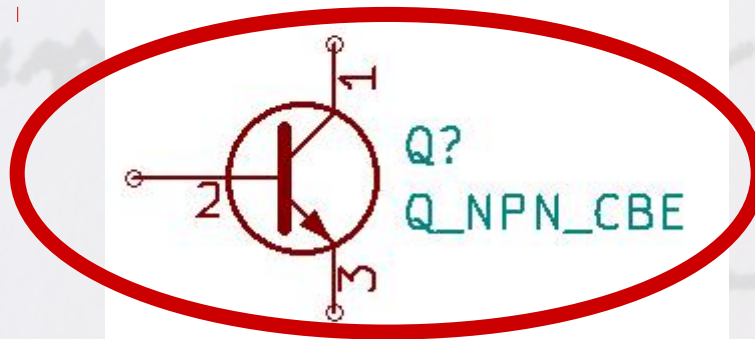
5) Consultamos la hoja de datos para ver como estan ubicadas las funciones de cada pin.

NO COINCIDE



Sobre la asociación de footprints

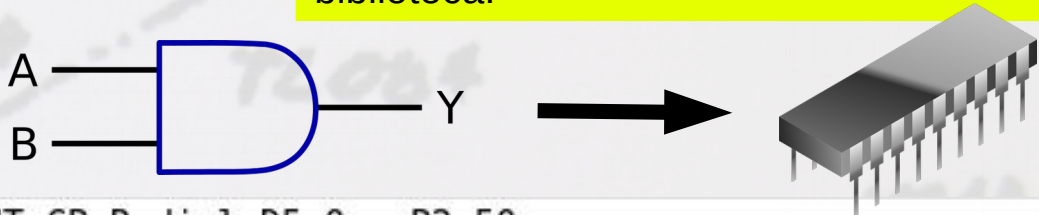
6) Cambiamos el símbolo por uno que coincida con nuestro transistor y la numeración de la huella.



Asociación de footprints

7) Usando Cvp pcb realizar la asociación de todos los footprints según la tabla dada.

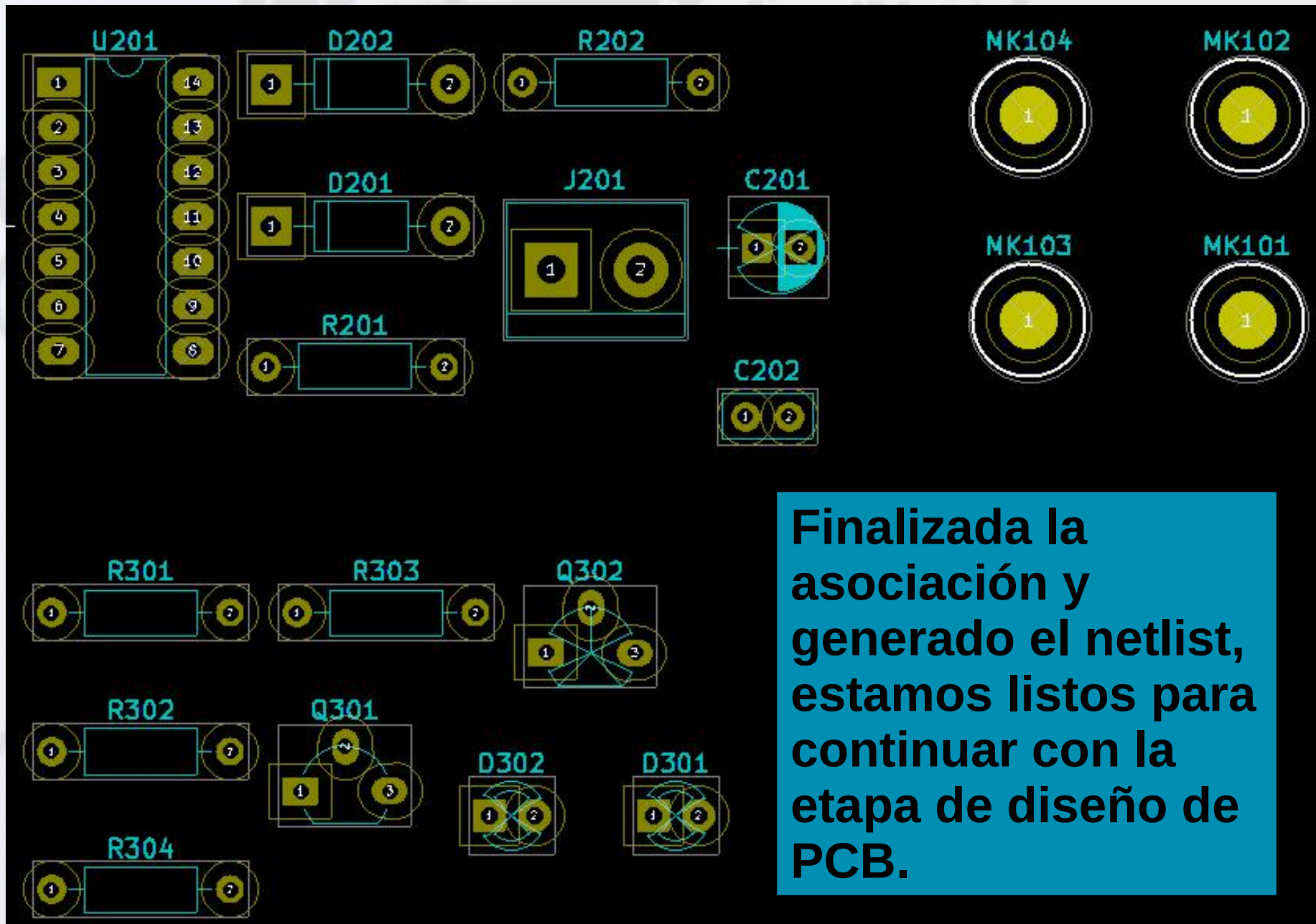
Tip:
Recordar la utilización de los tres tipos de filtros: keyword, número de pines y biblioteca.



1	C201	-	1uF	:	Capacitors_THT:CP_Radial_D5.0mm_P2.50mm
2	C202	-	0.1u	:	Capacitors_THT:C_Disc_D5.0mm_W2.5mm_P2.50mm
3	D201	-	1N4148	:	Diodes_THT:D_D0-41_SOD81_P10.16mm_Horizontal
4	D202	-	1N4148	:	Diodes_THT:D_D0-41_SOD81_P10.16mm_Horizontal
5	D301	-	LED ROJO	:	LEDs:LED_D3.0mm
6	D302	-	LED VERDE	:	LEDs:LED_D3.0mm
7	J201	-	Conn_01x02	:	TerminalBlock:TerminalBlock_bornier-2_P5.08mm
8	MK101	-	Mounting_Hole	:	Mounting_Holes:MountingHole_3.2mm_M3
9	MK102	-	Mounting_Hole	:	Mounting_Holes:MountingHole_3.2mm_M3
10	MK103	-	Mounting_Hole	:	Mounting_Holes:MountingHole_3.2mm_M3
11	MK104	-	Mounting_Hole	:	Mounting_Holes:MountingHole_3.2mm_M3
12	Q301	-	BC546	:	T0_SOT_Packages_THT:T0-92_Molded_Wide_Oval
13	Q302	-	BC546	:	T0_SOT_Packages_THT:T0-92_Molded_Wide_Oval
14	R201	-	100k	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
15	R202	-	180k	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
16	R301	-	2k2	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
17	R302	-	470R	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
18	R303	-	2k2	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
19	R304	-	470R	:	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P10.16mm_Horizontal
20	U201	-	40106	:	Housings_DIP:DIP-14_W7.62mm_LongPads

A continuación..

- 8) Generar el netlist.
- 9) Grabar el esquemático.



Finalizada la asociación y generado el netlist, estamos listos para continuar con la etapa de diseño de PCB.

Autores e imágenes de esta presentación

Autor de esta adaptación y contacto:
Diego Brengi - djavier@ieee.org



“Escuela KiCad – Esquemático y asociación de huellas”
Preparado para la Carrera de Especialización en Sistemas Embebidos del LSE-FIUBA (CESE) y para el Taller de Electrónica de la UNLaM.

Carátula principal:

Foto titulada “JTAG board 4” de Andrew Magill bajo licencia CC BY 2.0 disponible en <https://flic.kr/p/5oj6zf>

Fondo de la presentación:

Foto de John R. Southern bajo licencia CC BY-SA 2.0 disponible en: <https://flic.kr/p/6igdwH>

Las imágenes de clipart se tomaron de: <https://openclipart.org/>

Los demás logos corresponden a proyectos de Software Libre u Open Source. Consultar cada licencia en particular.

Todas las capturas de pantalla fueron realizadas por los autores y están bajo la misma licencia que esta presentación.

El resto de las imágenes se cita la fuente debajo de cada una.