

## **Testbenching Report for ripple\_carry\_subtractor**

# Table of Contents

<i>Testbench Summary .....</i>	<i>3</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N1 .....</i>	<i>4</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N2 .....</i>	<i>6</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N3 .....</i>	<i>11</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N4 .....</i>	<i>20</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N5 .....</i>	<i>46</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N6 .....</i>	<i>74</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N7 .....</i>	<i>102</i>
<i>Testbench for ripple_carry_subtractor with parameter(s) N8 .....</i>	<i>130</i>
<i>Testbench for full_subtractor with parameter(s) .....</i>	<i>34</i>
<i>Testbench for half_subtractor with parameter(s) .....</i>	<i>36</i>

## Testbench Summary

Component	Total Tests	Passed	Failed
ripple_carry_subtractor_N1	8	8	0
ripple_carry_subtractor_N2	32	32	0
ripple_carry_subtractor_N3	128	128	0
ripple_carry_subtractor_N4	512	512	0
ripple_carry_subtractor_N5	561	561	0
ripple_carry_subtractor_N6	561	561	0
ripple_carry_subtractor_N7	561	561	0
ripple_carry_subtractor_N8	561	561	0
full_subtractor_	8	8	0
half_subtractor_	4	4	0

## Testbench for ripple\_carry\_subtractor with parameter(s) N1

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

### Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

### Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

### Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "bin" in test_case:  
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]  
        if diff_val < 0:  
            diff_val += (1 << self.bit_width)  
            bout = 1  
        else:  
            bout = 0  
        outs = {  
            "diff": diff_val & max_val,  
            "bout": bout  
        }  
    else:  
        diff_val = test_case["a"] - test_case["b"]  
        if diff_val < 0:  
            diff_val += (1 << self.bit_width)  
            bout = 1  
        else:  
            bout = 0  
        outs = {  
            "diff": diff_val & max_val,  
            "bout": bout  
        }  
    return outs
```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N2**

Total tests: 32

Passed tests: 32

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
23	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



## **Rule: SubtractorRule**

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N3**

Total tests: 128

Passed tests: 128

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	111 (bin) / 7 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	011 (bin) / 3 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	110 (bin) / 6 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
23	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	011 (bin) / 3 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	101 (bin) / 5 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	011 (bin) / 3 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	100 (bin) / 4 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
41	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
46	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
47	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	100 (bin) / 4 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
57	011 (bin) / 3 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	011 (bin) / 3 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
66	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
69	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
76	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	100 (bin) / 4 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	100 (bin) / 4 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	011 (bin) / 3 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
92	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	110 (bin) / 6 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	101 (bin) / 5 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
114	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
115	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	111 (bin) / 7 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N4**

Total tests: 512

Passed tests: 512

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	0011 (bin) / 3 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	1111 (bin) / 15 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	1010 (bin) / 10 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	1010 (bin) / 10 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	0010 (bin) / 2 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
23	0010 (bin) / 2 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	1000 (bin) / 8 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	1111 (bin) / 15 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	1110 (bin) / 14 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
41	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	1000 (bin) / 8 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	1101 (bin) / 13 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
46	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	0010 (bin) / 2 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	1100 (bin) / 12 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	1001 (bin) / 9 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
57	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	0000 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	0010 (bin) / 2 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	1010 (bin) / 10 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	0111 (bin) / 7 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
69	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	0010 (bin) / 2 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	1110 (bin) / 14 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	0101 (bin) / 5 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	0001 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	1100 (bin) / 12 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
92	0000 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	0111 (bin) / 7 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	1001 (bin) / 9 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	0110 (bin) / 6 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	1100 (bin) / 12 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
105	1011 (bin) / 11 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	1001 (bin) / 9 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	1110 (bin) / 14 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
112	0010 (bin) / 2 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
114	0001 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
115	0100 (bin) / 4 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
117	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	1100 (bin) / 12 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	1101 (bin) / 13 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	1001 (bin) / 9 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	0100 (bin) / 4 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	0000 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
138	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
139	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	0000 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
149	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
153	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	1000 (bin) / 8 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
161	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	0001 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	0000 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	1010 (bin) / 10 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
169	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
171	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	1001 (bin) / 9 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
178	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
184	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
188	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
192	1101 (bin) / 13 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
196	0100 (bin) / 4 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	0101 (bin) / 5 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	1101 (bin) / 13 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	0001 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	0011 (bin) / 3 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
206	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
207	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	1011 (bin) / 11 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
214	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
218	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
219	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
220	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
221	1110 (bin) / 14 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
222	0101 (bin) / 5 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
223	1110 (bin) / 14 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
224	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
225	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
226	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
227	0000 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
228	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
229	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
230	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
231	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
232	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
233	1100 (bin) / 12 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
234	0111 (bin) / 7 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
235	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
236	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
237	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
238	1110 (bin) / 14 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
239	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
240	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
241	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
242	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
243	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
244	0000 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
245	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
246	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
247	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
248	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
249	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
250	1101 (bin) / 13 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
251	1110 (bin) / 14 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
252	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
253	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
254	1011 (bin) / 11 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
255	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
256	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
257	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
258	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
259	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
260	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
261	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
262	0001 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
263	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
264	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
265	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
266	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
267	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
268	0001 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
269	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
270	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
271	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
272	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
273	0111 (bin) / 7 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
274	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
275	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
276	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
277	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
278	1110 (bin) / 14 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
279	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
280	1000 (bin) / 8 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
281	0100 (bin) / 4 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
282	1001 (bin) / 9 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
283	1101 (bin) / 13 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
284	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
285	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
286	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
287	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
288	0000 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
289	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
290	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
291	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
292	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
293	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
294	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
295	1111 (bin) / 15 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
296	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
297	1110 (bin) / 14 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
298	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
299	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
300	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
301	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
302	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
303	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
304	0010 (bin) / 2 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
305	0101 (bin) / 5 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
306	0101 (bin) / 5 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
307	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
308	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
309	0100 (bin) / 4 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
310	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
311	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
312	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
313	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
314	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
315	0100 (bin) / 4 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
316	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
317	0001 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
318	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
319	0100 (bin) / 4 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
320	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
321	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
322	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
323	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
324	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
325	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
326	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
327	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
328	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
329	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
330	1100 (bin) / 12 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
331	1001 (bin) / 9 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
332	1000 (bin) / 8 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
333	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
334	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
335	0000 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
336	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
337	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
338	0001 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
339	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
340	1000 (bin) / 8 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
341	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
342	0001 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
343	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
344	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
345	1111 (bin) / 15 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
346	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
347	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
348	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
349	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
350	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
351	0110 (bin) / 6 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
352	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
353	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
354	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
355	0010 (bin) / 2 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
356	1000 (bin) / 8 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
357	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
358	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
359	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
360	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
361	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
362	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
363	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
364	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
365	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
366	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
367	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
368	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
369	1101 (bin) / 13 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
370	1001 (bin) / 9 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
371	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
372	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
373	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
374	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
375	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
376	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
377	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
378	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
379	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
380	1101 (bin) / 13 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
381	0000 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
382	1111 (bin) / 15 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
383	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
384	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
385	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
386	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
387	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
388	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
389	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
390	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
391	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
392	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
393	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
394	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
395	1110 (bin) / 14 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
396	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
397	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
398	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
399	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
400	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
401	1110 (bin) / 14 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
402	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
403	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
404	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
405	1101 (bin) / 13 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
406	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
407	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
408	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
409	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
410	0010 (bin) / 2 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
411	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
412	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
413	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
414	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
415	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
416	0011 (bin) / 3 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
417	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
418	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
419	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
420	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
421	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
422	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
423	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
424	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
425	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
426	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
427	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
428	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
429	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
430	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
431	0000 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
432	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
433	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
434	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
435	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
436	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
437	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
438	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
439	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
440	1111 (bin) / 15 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
441	0000 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
442	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
443	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
444	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
445	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
446	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
447	0010 (bin) / 2 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
448	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
449	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
450	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
451	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
452	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
453	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
454	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
455	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
456	0001 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
457	1110 (bin) / 14 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
458	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
459	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
460	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
461	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
462	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
463	1000 (bin) / 8 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
464	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
465	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
466	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
467	0011 (bin) / 3 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
468	1011 (bin) / 11 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
469	1101 (bin) / 13 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
470	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
471	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
472	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
473	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
474	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
475	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
476	1111 (bin) / 15 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
477	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
478	1110 (bin) / 14 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
479	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
480	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
481	1011 (bin) / 11 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
482	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
483	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
484	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
485	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
486	0101 (bin) / 5 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
487	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
488	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
489	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
490	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
491	0001 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
492	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
493	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
494	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
495	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
496	1110 (bin) / 14 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
497	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
498	0001 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
499	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
500	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
501	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
502	1100 (bin) / 12 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
503	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
504	1111 (bin) / 15 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
505	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
506	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
507	1100 (bin) / 12 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
508	0100 (bin) / 4 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
509	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
510	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
511	1011 (bin) / 11 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N5**

Total tests: 561

Passed tests: 561

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	01010 (bin) / 10 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	01110 (bin) / 14 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	11011 (bin) / 27 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	00101 (bin) / 5 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	10100 (bin) / 20 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	11111 (bin) / 31 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	01010 (bin) / 10 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	00101 (bin) / 5 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	10111 (bin) / 23 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	11000 (bin) / 24 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	00101 (bin) / 5 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	10101 (bin) / 21 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	00010 (bin) / 2 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	00100 (bin) / 4 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	11001 (bin) / 25 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	11110 (bin) / 30 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	10001 (bin) / 17 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	01111 (bin) / 15 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	10011 (bin) / 19 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	01100 (bin) / 12 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	01001 (bin) / 9 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	10110 (bin) / 22 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
23	00001 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	00001 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	01110 (bin) / 14 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	01000 (bin) / 8 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	11100 (bin) / 28 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	10010 (bin) / 18 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	01011 (bin) / 11 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	01101 (bin) / 13 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	11010 (bin) / 26 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	00011 (bin) / 3 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	01010 (bin) / 10 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	11011 (bin) / 27 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	10010 (bin) / 18 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	11111 (bin) / 31 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	01100 (bin) / 12 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	10111 (bin) / 23 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	10000 (bin) / 16 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	00111 (bin) / 7 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
41	01100 (bin) / 12 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	11110 (bin) / 30 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	00010 (bin) / 2 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	10101 (bin) / 21 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	00001 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
46	01011 (bin) / 11 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	01110 (bin) / 14 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	01001 (bin) / 9 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	10000 (bin) / 16 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	01011 (bin) / 11 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	11111 (bin) / 31 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	01010 (bin) / 10 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	10111 (bin) / 23 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	11110 (bin) / 30 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	10010 (bin) / 18 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	10110 (bin) / 22 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
57	11101 (bin) / 29 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	00110 (bin) / 6 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	10101 (bin) / 21 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	10101 (bin) / 21 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	11101 (bin) / 29 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	10101 (bin) / 21 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	10111 (bin) / 23 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
64	01101 (bin) / 13 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	01011 (bin) / 11 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	10000 (bin) / 16 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	01001 (bin) / 9 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	00010 (bin) / 2 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
69	00110 (bin) / 6 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	10100 (bin) / 20 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	00011 (bin) / 3 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	10011 (bin) / 19 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	10001 (bin) / 17 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	00010 (bin) / 2 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	11000 (bin) / 24 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	01010 (bin) / 10 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	11011 (bin) / 27 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	01011 (bin) / 11 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	10011 (bin) / 19 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	01100 (bin) / 12 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
81	01010 (bin) / 10 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	01011 (bin) / 11 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	00000 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	10111 (bin) / 23 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	11010 (bin) / 26 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	01111 (bin) / 15 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	01111 (bin) / 15 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	11101 (bin) / 29 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	11100 (bin) / 28 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	10111 (bin) / 23 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
91	00000 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
92	11000 (bin) / 24 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
93	01101 (bin) / 13 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	00110 (bin) / 6 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	00100 (bin) / 4 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	01100 (bin) / 12 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	00101 (bin) / 5 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	10110 (bin) / 22 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	10001 (bin) / 17 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	00111 (bin) / 7 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	10110 (bin) / 22 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	10000 (bin) / 16 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	01111 (bin) / 15 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	00100 (bin) / 4 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	11100 (bin) / 28 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	10011 (bin) / 19 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	11010 (bin) / 26 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	00100 (bin) / 4 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	00001 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	01110 (bin) / 14 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	10100 (bin) / 20 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
112	00010 (bin) / 2 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	01000 (bin) / 8 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
114	11000 (bin) / 24 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
115	00011 (bin) / 3 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	00111 (bin) / 7 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	11010 (bin) / 26 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	11110 (bin) / 30 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	00001 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	11010 (bin) / 26 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
121	11110 (bin) / 30 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	00010 (bin) / 2 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	01110 (bin) / 14 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	10011 (bin) / 19 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	10110 (bin) / 22 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	11110 (bin) / 30 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	10001 (bin) / 17 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	11010 (bin) / 26 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
129	00011 (bin) / 3 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	10001 (bin) / 17 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	10110 (bin) / 22 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	11001 (bin) / 25 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	00001 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	01111 (bin) / 15 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	00100 (bin) / 4 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	11010 (bin) / 26 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	11001 (bin) / 25 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
138	01100 (bin) / 12 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
139	10100 (bin) / 20 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	11000 (bin) / 24 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	01000 (bin) / 8 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	10000 (bin) / 16 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	01101 (bin) / 13 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	10110 (bin) / 22 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	01100 (bin) / 12 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	00110 (bin) / 6 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	01011 (bin) / 11 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	01100 (bin) / 12 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	01111 (bin) / 15 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	00111 (bin) / 7 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	11111 (bin) / 31 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	10111 (bin) / 23 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
153	01101 (bin) / 13 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	11011 (bin) / 27 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	00110 (bin) / 6 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	11110 (bin) / 30 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	00100 (bin) / 4 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	01111 (bin) / 15 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
159	01111 (bin) / 15 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
160	01000 (bin) / 8 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
161	11001 (bin) / 25 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	01011 (bin) / 11 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
163	00011 (bin) / 3 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	01101 (bin) / 13 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	00111 (bin) / 7 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	00010 (bin) / 2 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	01101 (bin) / 13 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	00100 (bin) / 4 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	11011 (bin) / 27 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
171	10001 (bin) / 17 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	11100 (bin) / 28 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	10000 (bin) / 16 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	10110 (bin) / 22 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
175	00010 (bin) / 2 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	10000 (bin) / 16 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	01100 (bin) / 12 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	10111 (bin) / 23 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	01100 (bin) / 12 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	11001 (bin) / 25 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	11001 (bin) / 25 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	00011 (bin) / 3 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	00000 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
184	10001 (bin) / 17 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	00010 (bin) / 2 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	11001 (bin) / 25 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	01100 (bin) / 12 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	01101 (bin) / 13 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	00011 (bin) / 3 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	00001 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	10101 (bin) / 21 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	10111 (bin) / 23 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	00010 (bin) / 2 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	11000 (bin) / 24 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	01011 (bin) / 11 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	11011 (bin) / 27 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	00100 (bin) / 4 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	01000 (bin) / 8 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	01101 (bin) / 13 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	11001 (bin) / 25 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	01001 (bin) / 9 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	01010 (bin) / 10 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	10101 (bin) / 21 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	01100 (bin) / 12 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	11100 (bin) / 28 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
207	10100 (bin) / 20 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	10010 (bin) / 18 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	10001 (bin) / 17 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	01001 (bin) / 9 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	11100 (bin) / 28 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	01101 (bin) / 13 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	01000 (bin) / 8 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
214	11000 (bin) / 24 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	10001 (bin) / 17 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	10000 (bin) / 16 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	11001 (bin) / 25 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
218	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
219	01010 (bin) / 10 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
220	00101 (bin) / 5 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
221	11011 (bin) / 27 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
222	11001 (bin) / 25 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
223	10001 (bin) / 17 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
224	00000 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
225	00110 (bin) / 6 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
226	01010 (bin) / 10 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
227	10111 (bin) / 23 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
228	01110 (bin) / 14 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
229	00101 (bin) / 5 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
230	00001 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
231	00010 (bin) / 2 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
232	10010 (bin) / 18 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
233	11110 (bin) / 30 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
234	01010 (bin) / 10 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
235	01111 (bin) / 15 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
236	00010 (bin) / 2 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
237	10000 (bin) / 16 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
238	10010 (bin) / 18 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
239	01001 (bin) / 9 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
240	00000 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
241	00000 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
242	10011 (bin) / 19 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
243	00011 (bin) / 3 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
244	10010 (bin) / 18 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
245	10100 (bin) / 20 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
246	00000 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
247	01011 (bin) / 11 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
248	10110 (bin) / 22 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
249	00010 (bin) / 2 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
250	10000 (bin) / 16 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
251	01011 (bin) / 11 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
252	00000 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
253	10100 (bin) / 20 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
254	10011 (bin) / 19 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
255	11100 (bin) / 28 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
256	10011 (bin) / 19 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
257	10100 (bin) / 20 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
258	00001 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
259	00101 (bin) / 5 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
260	10111 (bin) / 23 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
261	10010 (bin) / 18 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
262	10100 (bin) / 20 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
263	11000 (bin) / 24 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
264	00110 (bin) / 6 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
265	01111 (bin) / 15 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
266	01111 (bin) / 15 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
267	01000 (bin) / 8 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
268	01111 (bin) / 15 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
269	10111 (bin) / 23 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
270	01011 (bin) / 11 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
271	00100 (bin) / 4 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
272	10011 (bin) / 19 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
273	01000 (bin) / 8 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
274	10111 (bin) / 23 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
275	01010 (bin) / 10 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
276	10001 (bin) / 17 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
277	01001 (bin) / 9 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
278	11111 (bin) / 31 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
279	10010 (bin) / 18 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
280	00110 (bin) / 6 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
281	01110 (bin) / 14 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
282	00001 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
283	10010 (bin) / 18 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
284	01100 (bin) / 12 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
285	10001 (bin) / 17 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
286	01000 (bin) / 8 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
287	11011 (bin) / 27 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
288	00110 (bin) / 6 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
289	10010 (bin) / 18 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
290	11111 (bin) / 31 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
291	11000 (bin) / 24 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
292	10011 (bin) / 19 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
293	10010 (bin) / 18 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
294	10010 (bin) / 18 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
295	10110 (bin) / 22 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
296	00110 (bin) / 6 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
297	11101 (bin) / 29 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
298	10100 (bin) / 20 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
299	01110 (bin) / 14 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
300	10000 (bin) / 16 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
301	11001 (bin) / 25 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
302	01111 (bin) / 15 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
303	00111 (bin) / 7 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
304	11010 (bin) / 26 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
305	00001 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
306	01000 (bin) / 8 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
307	01001 (bin) / 9 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
308	00101 (bin) / 5 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
309	10101 (bin) / 21 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
310	10110 (bin) / 22 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
311	01000 (bin) / 8 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
312	10100 (bin) / 20 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
313	00101 (bin) / 5 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
314	11110 (bin) / 30 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
315	00001 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
316	10000 (bin) / 16 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
317	11011 (bin) / 27 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
318	00111 (bin) / 7 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
319	01000 (bin) / 8 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
320	00111 (bin) / 7 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
321	11010 (bin) / 26 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
322	00100 (bin) / 4 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
323	11110 (bin) / 30 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
324	01000 (bin) / 8 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
325	11000 (bin) / 24 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
326	01101 (bin) / 13 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
327	00100 (bin) / 4 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
328	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
329	11101 (bin) / 29 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
330	11010 (bin) / 26 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
331	11101 (bin) / 29 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
332	11101 (bin) / 29 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
333	10001 (bin) / 17 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
334	00110 (bin) / 6 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
335	11011 (bin) / 27 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
336	11011 (bin) / 27 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
337	11100 (bin) / 28 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
338	10100 (bin) / 20 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
339	10110 (bin) / 22 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
340	10110 (bin) / 22 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
341	00000 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
342	00010 (bin) / 2 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
343	00110 (bin) / 6 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
344	00000 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
345	00000 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
346	01000 (bin) / 8 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
347	10110 (bin) / 22 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
348	01001 (bin) / 9 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
349	10111 (bin) / 23 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
350	00000 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
351	11110 (bin) / 30 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
352	10001 (bin) / 17 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
353	00010 (bin) / 2 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
354	10101 (bin) / 21 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
355	11101 (bin) / 29 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
356	00111 (bin) / 7 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
357	11101 (bin) / 29 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
358	00110 (bin) / 6 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
359	01011 (bin) / 11 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
360	01010 (bin) / 10 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
361	01010 (bin) / 10 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
362	01111 (bin) / 15 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
363	00000 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
364	00110 (bin) / 6 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
365	01101 (bin) / 13 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
366	00100 (bin) / 4 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
367	01000 (bin) / 8 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
368	11110 (bin) / 30 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
369	10101 (bin) / 21 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
370	01100 (bin) / 12 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
371	11000 (bin) / 24 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
372	11101 (bin) / 29 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
373	00011 (bin) / 3 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
374	11101 (bin) / 29 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
375	01001 (bin) / 9 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
376	10001 (bin) / 17 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
377	00111 (bin) / 7 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
378	10000 (bin) / 16 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
379	11000 (bin) / 24 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
380	00000 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
381	11001 (bin) / 25 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
382	01000 (bin) / 8 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
383	01010 (bin) / 10 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
384	00011 (bin) / 3 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
385	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
386	11001 (bin) / 25 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
387	00010 (bin) / 2 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
388	00011 (bin) / 3 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
389	11101 (bin) / 29 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
390	10000 (bin) / 16 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
391	11010 (bin) / 26 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
392	01111 (bin) / 15 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
393	10000 (bin) / 16 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
394	01101 (bin) / 13 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
395	11001 (bin) / 25 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
396	01110 (bin) / 14 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
397	01010 (bin) / 10 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
398	10010 (bin) / 18 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
399	00100 (bin) / 4 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
400	11110 (bin) / 30 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
401	11110 (bin) / 30 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
402	10100 (bin) / 20 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
403	10110 (bin) / 22 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
404	00100 (bin) / 4 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
405	00001 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
406	01110 (bin) / 14 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
407	10000 (bin) / 16 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
408	10100 (bin) / 20 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
409	01110 (bin) / 14 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
410	00101 (bin) / 5 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
411	11010 (bin) / 26 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
412	10011 (bin) / 19 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
413	10101 (bin) / 21 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
414	11010 (bin) / 26 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
415	11010 (bin) / 26 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
416	00101 (bin) / 5 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
417	10110 (bin) / 22 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
418	11001 (bin) / 25 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
419	11101 (bin) / 29 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
420	00111 (bin) / 7 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
421	10101 (bin) / 21 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
422	00000 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
423	01100 (bin) / 12 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
424	11111 (bin) / 31 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
425	11000 (bin) / 24 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
426	10001 (bin) / 17 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
427	00011 (bin) / 3 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
428	11100 (bin) / 28 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
429	00000 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
430	01101 (bin) / 13 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
431	11101 (bin) / 29 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
432	01001 (bin) / 9 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
433	01001 (bin) / 9 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
434	00000 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
435	00001 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
436	00001 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
437	11000 (bin) / 24 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
438	00000 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
439	10100 (bin) / 20 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
440	00001 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
441	10001 (bin) / 17 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
442	10010 (bin) / 18 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
443	01001 (bin) / 9 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
444	01010 (bin) / 10 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
445	11000 (bin) / 24 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
446	11010 (bin) / 26 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
447	10101 (bin) / 21 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
448	01110 (bin) / 14 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
449	10100 (bin) / 20 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
450	11110 (bin) / 30 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
451	01001 (bin) / 9 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
452	11101 (bin) / 29 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
453	00011 (bin) / 3 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
454	10111 (bin) / 23 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
455	00101 (bin) / 5 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
456	00001 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
457	00101 (bin) / 5 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
458	11101 (bin) / 29 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
459	01100 (bin) / 12 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
460	00101 (bin) / 5 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
461	11000 (bin) / 24 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
462	00110 (bin) / 6 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
463	10100 (bin) / 20 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
464	01000 (bin) / 8 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
465	01011 (bin) / 11 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
466	00101 (bin) / 5 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
467	10000 (bin) / 16 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
468	11000 (bin) / 24 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
469	01101 (bin) / 13 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
470	10110 (bin) / 22 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
471	10111 (bin) / 23 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
472	10001 (bin) / 17 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
473	10000 (bin) / 16 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
474	00001 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
475	01000 (bin) / 8 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
476	10001 (bin) / 17 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
477	11101 (bin) / 29 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
478	01100 (bin) / 12 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
479	10011 (bin) / 19 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
480	00111 (bin) / 7 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
481	11000 (bin) / 24 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
482	11110 (bin) / 30 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
483	00011 (bin) / 3 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
484	01111 (bin) / 15 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
485	00010 (bin) / 2 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
486	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
487	11100 (bin) / 28 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
488	11100 (bin) / 28 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
489	10111 (bin) / 23 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
490	11011 (bin) / 27 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
491	01101 (bin) / 13 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
492	10011 (bin) / 19 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
493	00000 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
494	11010 (bin) / 26 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
495	00000 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
496	00001 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
497	11011 (bin) / 27 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
498	00100 (bin) / 4 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
499	10010 (bin) / 18 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
500	11110 (bin) / 30 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
501	01100 (bin) / 12 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
502	11011 (bin) / 27 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
503	01001 (bin) / 9 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
504	00101 (bin) / 5 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
505	10011 (bin) / 19 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
506	01111 (bin) / 15 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
507	01100 (bin) / 12 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
508	11011 (bin) / 27 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
509	00001 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
510	10110 (bin) / 22 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
511	10010 (bin) / 18 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
512	00110 (bin) / 6 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
513	10111 (bin) / 23 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
514	11111 (bin) / 31 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
515	10011 (bin) / 19 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
516	00111 (bin) / 7 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
517	10010 (bin) / 18 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
518	11111 (bin) / 31 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
519	00100 (bin) / 4 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
520	11100 (bin) / 28 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
521	11001 (bin) / 25 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
522	01111 (bin) / 15 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
523	00010 (bin) / 2 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
524	01100 (bin) / 12 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
525	11001 (bin) / 25 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
526	00111 (bin) / 7 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
527	01110 (bin) / 14 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
528	00111 (bin) / 7 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
529	11100 (bin) / 28 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
530	00011 (bin) / 3 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
531	01101 (bin) / 13 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
532	11101 (bin) / 29 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
533	00111 (bin) / 7 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
534	11111 (bin) / 31 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
535	00111 (bin) / 7 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
536	00000 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
537	11111 (bin) / 31 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
538	01100 (bin) / 12 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
539	01010 (bin) / 10 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
540	10110 (bin) / 22 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
541	00011 (bin) / 3 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
542	00010 (bin) / 2 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
543	10001 (bin) / 17 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
544	10011 (bin) / 19 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
545	10001 (bin) / 17 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
546	11101 (bin) / 29 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
547	11111 (bin) / 31 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
548	00010 (bin) / 2 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
549	00101 (bin) / 5 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
550	10011 (bin) / 19 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
551	11110 (bin) / 30 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
552	10000 (bin) / 16 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
553	00110 (bin) / 6 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
554	00101 (bin) / 5 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
555	10010 (bin) / 18 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
556	01101 (bin) / 13 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
557	01010 (bin) / 10 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
558	00110 (bin) / 6 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
559	10011 (bin) / 19 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
560	11001 (bin) / 25 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:



```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N6**

Total tests: 561

Passed tests: 561

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	010001 (bin) / 17 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	101100 (bin) / 44 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	100110 (bin) / 38 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	101100 (bin) / 44 (dec)	011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	011101 (bin) / 29 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	110110 (bin) / 54 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	000101 (bin) / 5 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	001101 (bin) / 13 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	111010 (bin) / 58 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	001001 (bin) / 9 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	100110 (bin) / 38 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	101011 (bin) / 43 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	110011 (bin) / 51 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	011100 (bin) / 28 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	001101 (bin) / 13 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	000100 (bin) / 4 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	010101 (bin) / 21 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	100011 (bin) / 35 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	111000 (bin) / 56 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	000110 (bin) / 6 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	111101 (bin) / 61 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	100101 (bin) / 37 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	001000 (bin) / 8 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
23	100110 (bin) / 38 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	011110 (bin) / 30 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	010100 (bin) / 20 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	010010 (bin) / 18 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	011001 (bin) / 25 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	010110 (bin) / 22 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	100111 (bin) / 39 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	101101 (bin) / 45 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	010010 (bin) / 18 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	001100 (bin) / 12 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	001011 (bin) / 11 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	011001 (bin) / 25 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	101011 (bin) / 43 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	010101 (bin) / 21 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	111001 (bin) / 57 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	000110 (bin) / 6 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	110010 (bin) / 50 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	100101 (bin) / 37 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	111010 (bin) / 58 (dec)	001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	011000 (bin) / 24 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	010000 (bin) / 16 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	010000 (bin) / 16 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	000001 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
46	000111 (bin) / 7 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	010110 (bin) / 22 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	101110 (bin) / 46 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	011000 (bin) / 24 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	001010 (bin) / 10 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	101110 (bin) / 46 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	000001 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	011101 (bin) / 29 (dec)	110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	101000 (bin) / 40 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	000010 (bin) / 2 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	100101 (bin) / 37 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
57	101111 (bin) / 47 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	110010 (bin) / 50 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	111000 (bin) / 56 (dec)	111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	101111 (bin) / 47 (dec)	011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	010010 (bin) / 18 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	011101 (bin) / 29 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	111001 (bin) / 57 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	011110 (bin) / 30 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	101000 (bin) / 40 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	011010 (bin) / 26 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	101010 (bin) / 42 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	111100 (bin) / 60 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
69	111100 (bin) / 60 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	110110 (bin) / 54 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	101100 (bin) / 44 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	011111 (bin) / 31 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	011011 (bin) / 27 (dec)	000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	101011 (bin) / 43 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	110001 (bin) / 49 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
76	110010 (bin) / 50 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	100001 (bin) / 33 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	000110 (bin) / 6 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	001111 (bin) / 15 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	011100 (bin) / 28 (dec)	001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	111011 (bin) / 59 (dec)	011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	110010 (bin) / 50 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	110011 (bin) / 51 (dec)	111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	101001 (bin) / 41 (dec)	010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	001000 (bin) / 8 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	110101 (bin) / 53 (dec)	110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	000101 (bin) / 5 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	010011 (bin) / 19 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	000001 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	100001 (bin) / 33 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	011110 (bin) / 30 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
92	111100 (bin) / 60 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
93	101111 (bin) / 47 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	000010 (bin) / 2 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	011010 (bin) / 26 (dec)	001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	001101 (bin) / 13 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	010010 (bin) / 18 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	100011 (bin) / 35 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	000110 (bin) / 6 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	101111 (bin) / 47 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	101000 (bin) / 40 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	000010 (bin) / 2 (dec)	011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	001100 (bin) / 12 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	110110 (bin) / 54 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	100110 (bin) / 38 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	100101 (bin) / 37 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	010110 (bin) / 22 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	110111 (bin) / 55 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	001110 (bin) / 14 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	001000 (bin) / 8 (dec)	100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	101101 (bin) / 45 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
112	110100 (bin) / 52 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	010111 (bin) / 23 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
114	000000 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
115	011000 (bin) / 24 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	010011 (bin) / 19 (dec)	101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	100001 (bin) / 33 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	110000 (bin) / 48 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	010100 (bin) / 20 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	110111 (bin) / 55 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
121	001000 (bin) / 8 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	100101 (bin) / 37 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	100110 (bin) / 38 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	100111 (bin) / 39 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	000011 (bin) / 3 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	110101 (bin) / 53 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	100011 (bin) / 35 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	100101 (bin) / 37 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	111000 (bin) / 56 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	110001 (bin) / 49 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	000101 (bin) / 5 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	101011 (bin) / 43 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	000010 (bin) / 2 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	001011 (bin) / 11 (dec)	010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	011001 (bin) / 25 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	010111 (bin) / 23 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	000111 (bin) / 7 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
138	000010 (bin) / 2 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	110001 (bin) / 49 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	010101 (bin) / 21 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	101000 (bin) / 40 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
142	001100 (bin) / 12 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	000110 (bin) / 6 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	000110 (bin) / 6 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	111100 (bin) / 60 (dec)	110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	101000 (bin) / 40 (dec)	001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	001001 (bin) / 9 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	110111 (bin) / 55 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
149	011001 (bin) / 25 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	011110 (bin) / 30 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	001101 (bin) / 13 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	100101 (bin) / 37 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	101011 (bin) / 43 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	001011 (bin) / 11 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	001100 (bin) / 12 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	001110 (bin) / 14 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	010010 (bin) / 18 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	001100 (bin) / 12 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	111101 (bin) / 61 (dec)	011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
160	010011 (bin) / 19 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
161	011101 (bin) / 29 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	000010 (bin) / 2 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	001100 (bin) / 12 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	000010 (bin) / 2 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	110001 (bin) / 49 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	110101 (bin) / 53 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	110011 (bin) / 51 (dec)	011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	010101 (bin) / 21 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	110011 (bin) / 51 (dec)	001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	100011 (bin) / 35 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
171	110111 (bin) / 55 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	011011 (bin) / 27 (dec)	101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	000111 (bin) / 7 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	000000 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	101010 (bin) / 42 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	101010 (bin) / 42 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	011100 (bin) / 28 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	011101 (bin) / 29 (dec)	110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	010000 (bin) / 16 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	111111 (bin) / 63 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	000011 (bin) / 3 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	000010 (bin) / 2 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	010110 (bin) / 22 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
184	101111 (bin) / 47 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	101011 (bin) / 43 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	110101 (bin) / 53 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	011110 (bin) / 30 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	110011 (bin) / 51 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	001111 (bin) / 15 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	011101 (bin) / 29 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	111001 (bin) / 57 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
192	000111 (bin) / 7 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	110000 (bin) / 48 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	111010 (bin) / 58 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
195	001011 (bin) / 11 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	100010 (bin) / 34 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	101111 (bin) / 47 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	001000 (bin) / 8 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	100011 (bin) / 35 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	001010 (bin) / 10 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	100100 (bin) / 36 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	100101 (bin) / 37 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	110010 (bin) / 50 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	100111 (bin) / 39 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	110110 (bin) / 54 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	001100 (bin) / 12 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
207	110000 (bin) / 48 (dec)	111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	010100 (bin) / 20 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	111000 (bin) / 56 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	000110 (bin) / 6 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	111010 (bin) / 58 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	010110 (bin) / 22 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	111100 (bin) / 60 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	110111 (bin) / 55 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	011011 (bin) / 27 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	010011 (bin) / 19 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	010000 (bin) / 16 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
218	100000 (bin) / 32 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
219	110101 (bin) / 53 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
220	010100 (bin) / 20 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
221	011100 (bin) / 28 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
222	001101 (bin) / 13 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
223	011001 (bin) / 25 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
224	011000 (bin) / 24 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
225	100110 (bin) / 38 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
226	000110 (bin) / 6 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
227	111111 (bin) / 63 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
228	010110 (bin) / 22 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
229	100101 (bin) / 37 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
230	011000 (bin) / 24 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
231	100001 (bin) / 33 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
232	001001 (bin) / 9 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
233	000001 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
234	110001 (bin) / 49 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
235	011010 (bin) / 26 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
236	010000 (bin) / 16 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
237	001000 (bin) / 8 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
238	011000 (bin) / 24 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
239	111110 (bin) / 62 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
240	100110 (bin) / 38 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
241	100111 (bin) / 39 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
242	011111 (bin) / 31 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
243	010100 (bin) / 20 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
244	001100 (bin) / 12 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
245	000100 (bin) / 4 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
246	111000 (bin) / 56 (dec)	110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
247	101111 (bin) / 47 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
248	001111 (bin) / 15 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
249	100110 (bin) / 38 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
250	001001 (bin) / 9 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
251	111011 (bin) / 59 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
252	010000 (bin) / 16 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
253	101000 (bin) / 40 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
254	000000 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
255	001101 (bin) / 13 (dec)	111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
256	101110 (bin) / 46 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
257	000011 (bin) / 3 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
258	000111 (bin) / 7 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
259	101000 (bin) / 40 (dec)	100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
260	111010 (bin) / 58 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
261	010101 (bin) / 21 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
262	110101 (bin) / 53 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
263	110011 (bin) / 51 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
264	010010 (bin) / 18 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
265	111100 (bin) / 60 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
266	101010 (bin) / 42 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
267	001110 (bin) / 14 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
268	111011 (bin) / 59 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
269	011111 (bin) / 31 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
270	110011 (bin) / 51 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
271	000110 (bin) / 6 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
272	101000 (bin) / 40 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
273	100000 (bin) / 32 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
274	000001 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
275	010001 (bin) / 17 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
276	001001 (bin) / 9 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
277	110111 (bin) / 55 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
278	100000 (bin) / 32 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
279	011110 (bin) / 30 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
280	110011 (bin) / 51 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
281	100010 (bin) / 34 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
282	010010 (bin) / 18 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
283	011110 (bin) / 30 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
284	100011 (bin) / 35 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
285	111101 (bin) / 61 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
286	110110 (bin) / 54 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
287	111100 (bin) / 60 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
288	101100 (bin) / 44 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
289	000110 (bin) / 6 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
290	001010 (bin) / 10 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
291	100001 (bin) / 33 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
292	001001 (bin) / 9 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
293	011110 (bin) / 30 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
294	100111 (bin) / 39 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
295	101000 (bin) / 40 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
296	110001 (bin) / 49 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
297	111111 (bin) / 63 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
298	110100 (bin) / 52 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
299	100111 (bin) / 39 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
300	101001 (bin) / 41 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
301	111001 (bin) / 57 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
302	001010 (bin) / 10 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
303	100111 (bin) / 39 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
304	011011 (bin) / 27 (dec)	100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
305	100111 (bin) / 39 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
306	011001 (bin) / 25 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
307	010110 (bin) / 22 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
308	101011 (bin) / 43 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
309	110000 (bin) / 48 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
310	010001 (bin) / 17 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
311	011010 (bin) / 26 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
312	100000 (bin) / 32 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
313	011001 (bin) / 25 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
314	111100 (bin) / 60 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
315	011101 (bin) / 29 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
316	011001 (bin) / 25 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
317	100111 (bin) / 39 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
318	011011 (bin) / 27 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
319	110111 (bin) / 55 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
320	001010 (bin) / 10 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
321	011000 (bin) / 24 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
322	111001 (bin) / 57 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
323	101100 (bin) / 44 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
324	001001 (bin) / 9 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
325	011111 (bin) / 31 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
326	001000 (bin) / 8 (dec)	001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
327	101111 (bin) / 47 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
328	100011 (bin) / 35 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
329	101111 (bin) / 47 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
330	010011 (bin) / 19 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
331	000011 (bin) / 3 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
332	101101 (bin) / 45 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
333	100000 (bin) / 32 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
334	001111 (bin) / 15 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
335	110101 (bin) / 53 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
336	111010 (bin) / 58 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
337	111101 (bin) / 61 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
338	001010 (bin) / 10 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
339	001010 (bin) / 10 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
340	101111 (bin) / 47 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
341	010010 (bin) / 18 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
342	101100 (bin) / 44 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
343	000101 (bin) / 5 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
344	101110 (bin) / 46 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
345	010011 (bin) / 19 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
346	000111 (bin) / 7 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
347	001111 (bin) / 15 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
348	100011 (bin) / 35 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
349	011011 (bin) / 27 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
350	000100 (bin) / 4 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
351	011100 (bin) / 28 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
352	000001 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
353	010111 (bin) / 23 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
354	111101 (bin) / 61 (dec)	110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
355	110011 (bin) / 51 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
356	100010 (bin) / 34 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
357	011000 (bin) / 24 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
358	101111 (bin) / 47 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
359	010011 (bin) / 19 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
360	010000 (bin) / 16 (dec)	111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
361	100110 (bin) / 38 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
362	110010 (bin) / 50 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
363	000110 (bin) / 6 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
364	001001 (bin) / 9 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
365	000100 (bin) / 4 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
366	011010 (bin) / 26 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
367	110001 (bin) / 49 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
368	111001 (bin) / 57 (dec)	111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
369	001010 (bin) / 10 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
370	110010 (bin) / 50 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
371	100010 (bin) / 34 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
372	111001 (bin) / 57 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
373	010010 (bin) / 18 (dec)	101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
374	010101 (bin) / 21 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
375	000110 (bin) / 6 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
376	100100 (bin) / 36 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
377	101101 (bin) / 45 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
378	001000 (bin) / 8 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
379	111110 (bin) / 62 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
380	111001 (bin) / 57 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
381	101111 (bin) / 47 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
382	010101 (bin) / 21 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
383	010001 (bin) / 17 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
384	101000 (bin) / 40 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
385	010101 (bin) / 21 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
386	000010 (bin) / 2 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
387	010000 (bin) / 16 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
388	111010 (bin) / 58 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
389	111100 (bin) / 60 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
390	110011 (bin) / 51 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
391	010001 (bin) / 17 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
392	001000 (bin) / 8 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
393	000001 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
394	101010 (bin) / 42 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
395	110010 (bin) / 50 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
396	001010 (bin) / 10 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
397	100000 (bin) / 32 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
398	101001 (bin) / 41 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
399	010100 (bin) / 20 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
400	100010 (bin) / 34 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
401	110011 (bin) / 51 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
402	010000 (bin) / 16 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
403	000101 (bin) / 5 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
404	111100 (bin) / 60 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
405	000100 (bin) / 4 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
406	101010 (bin) / 42 (dec)	010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
407	100000 (bin) / 32 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
408	000111 (bin) / 7 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
409	000100 (bin) / 4 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
410	100000 (bin) / 32 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
411	010110 (bin) / 22 (dec)	100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
412	010111 (bin) / 23 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
413	101010 (bin) / 42 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
414	001111 (bin) / 15 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
415	000011 (bin) / 3 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
416	000010 (bin) / 2 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
417	001111 (bin) / 15 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
418	111100 (bin) / 60 (dec)	101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
419	011100 (bin) / 28 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
420	101000 (bin) / 40 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
421	011011 (bin) / 27 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
422	100101 (bin) / 37 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
423	111011 (bin) / 59 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
424	001100 (bin) / 12 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
425	011100 (bin) / 28 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
426	011010 (bin) / 26 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
427	001010 (bin) / 10 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
428	110101 (bin) / 53 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
429	010001 (bin) / 17 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
430	100101 (bin) / 37 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
431	000101 (bin) / 5 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
432	000110 (bin) / 6 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
433	110101 (bin) / 53 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
434	101011 (bin) / 43 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
435	011100 (bin) / 28 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
436	010100 (bin) / 20 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
437	110110 (bin) / 54 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
438	100010 (bin) / 34 (dec)	001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
439	100000 (bin) / 32 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
440	010101 (bin) / 21 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
441	011101 (bin) / 29 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
442	110010 (bin) / 50 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
443	001010 (bin) / 10 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
444	001011 (bin) / 11 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
445	111101 (bin) / 61 (dec)	011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
446	001111 (bin) / 15 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
447	010011 (bin) / 19 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
448	110011 (bin) / 51 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
449	001011 (bin) / 11 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
450	101110 (bin) / 46 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
451	011110 (bin) / 30 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
452	101000 (bin) / 40 (dec)	011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
453	000011 (bin) / 3 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
454	011000 (bin) / 24 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
455	101100 (bin) / 44 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
456	101101 (bin) / 45 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
457	000101 (bin) / 5 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
458	100000 (bin) / 32 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
459	011111 (bin) / 31 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
460	001100 (bin) / 12 (dec)	001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
461	100001 (bin) / 33 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
462	101110 (bin) / 46 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
463	101011 (bin) / 43 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
464	011000 (bin) / 24 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
465	011010 (bin) / 26 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
466	011111 (bin) / 31 (dec)	110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
467	100000 (bin) / 32 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
468	000011 (bin) / 3 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
469	011011 (bin) / 27 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
470	110111 (bin) / 55 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
471	100100 (bin) / 36 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
472	101010 (bin) / 42 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
473	001101 (bin) / 13 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
474	100100 (bin) / 36 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
475	010110 (bin) / 22 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
476	010111 (bin) / 23 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
477	101100 (bin) / 44 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
478	111100 (bin) / 60 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
479	110101 (bin) / 53 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
480	000101 (bin) / 5 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
481	001111 (bin) / 15 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
482	011110 (bin) / 30 (dec)	101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
483	101001 (bin) / 41 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
484	100010 (bin) / 34 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
485	110110 (bin) / 54 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
486	010010 (bin) / 18 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
487	101001 (bin) / 41 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
488	110011 (bin) / 51 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
489	111000 (bin) / 56 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
490	100100 (bin) / 36 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
491	110110 (bin) / 54 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
492	110011 (bin) / 51 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
493	010000 (bin) / 16 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
494	000000 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
495	111011 (bin) / 59 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
496	011001 (bin) / 25 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
497	001101 (bin) / 13 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
498	100101 (bin) / 37 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
499	001000 (bin) / 8 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
500	110010 (bin) / 50 (dec)	111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
501	000000 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
502	000011 (bin) / 3 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
503	011011 (bin) / 27 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
504	100111 (bin) / 39 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
505	000110 (bin) / 6 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
506	111111 (bin) / 63 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
507	100011 (bin) / 35 (dec)	101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
508	001000 (bin) / 8 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
509	010001 (bin) / 17 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
510	010110 (bin) / 22 (dec)	011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
511	111101 (bin) / 61 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
512	010110 (bin) / 22 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
513	011000 (bin) / 24 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
514	010011 (bin) / 19 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
515	100111 (bin) / 39 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
516	111010 (bin) / 58 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
517	100000 (bin) / 32 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
518	010101 (bin) / 21 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
519	000001 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
520	011110 (bin) / 30 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
521	001000 (bin) / 8 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
522	001001 (bin) / 9 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
523	100001 (bin) / 33 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
524	010001 (bin) / 17 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
525	111010 (bin) / 58 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
526	011110 (bin) / 30 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
527	100001 (bin) / 33 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
528	001100 (bin) / 12 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
529	011101 (bin) / 29 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
530	111100 (bin) / 60 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
531	111111 (bin) / 63 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
532	000100 (bin) / 4 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
533	000101 (bin) / 5 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
534	001000 (bin) / 8 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
535	010110 (bin) / 22 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
536	100000 (bin) / 32 (dec)	100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
537	101110 (bin) / 46 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
538	000010 (bin) / 2 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
539	000100 (bin) / 4 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
540	100110 (bin) / 38 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
541	001011 (bin) / 11 (dec)	001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
542	011001 (bin) / 25 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
543	010111 (bin) / 23 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
544	111011 (bin) / 59 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
545	110101 (bin) / 53 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
546	010001 (bin) / 17 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
547	011011 (bin) / 27 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
548	111100 (bin) / 60 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
549	001110 (bin) / 14 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
550	001010 (bin) / 10 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
551	001110 (bin) / 14 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
552	001111 (bin) / 15 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
553	010101 (bin) / 21 (dec)	010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
554	011110 (bin) / 30 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
555	101011 (bin) / 43 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
556	111000 (bin) / 56 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
557	111010 (bin) / 58 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
558	110001 (bin) / 49 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
559	010101 (bin) / 21 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
560	010101 (bin) / 21 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N7**

Total tests: 561

Passed tests: 561

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
0	0111111 (bin) / 63 (dec)	1101011 (bin) / 107 (dec)	0 (bin) / 0 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
1	1100000 (bin) / 96 (dec)	0111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
2	0111110 (bin) / 62 (dec)	1001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
3	0111110 (bin) / 62 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
4	1101110 (bin) / 110 (dec)	1000100 (bin) / 68 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
5	0000000 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
6	1010101 (bin) / 85 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
7	1111101 (bin) / 125 (dec)	1011100 (bin) / 92 (dec)	0 (bin) / 0 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
8	1001001 (bin) / 73 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
9	1010101 (bin) / 85 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
10	1011001 (bin) / 89 (dec)	1000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
11	1000011 (bin) / 67 (dec)	1101111 (bin) / 111 (dec)	0 (bin) / 0 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
12	1001000 (bin) / 72 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
13	0110111 (bin) / 55 (dec)	1101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
14	0110000 (bin) / 48 (dec)	0001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
15	1010100 (bin) / 84 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
16	0001010 (bin) / 10 (dec)	1010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
17	1000011 (bin) / 67 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
18	1001101 (bin) / 77 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
19	0110010 (bin) / 50 (dec)	0100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
20	0000101 (bin) / 5 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
21	0111000 (bin) / 56 (dec)	1110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
22	0101000 (bin) / 40 (dec)	1110100 (bin) / 116 (dec)	1 (bin) / 1 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
23	1110100 (bin) / 116 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
24	0000111 (bin) / 7 (dec)	1001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
25	1100001 (bin) / 97 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
26	0100111 (bin) / 39 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
27	0001100 (bin) / 12 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
28	0100101 (bin) / 37 (dec)	0110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	1110010 (bin) / 114 (dec)	114 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
29	0000110 (bin) / 6 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
30	1101101 (bin) / 109 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
31	0101010 (bin) / 42 (dec)	1111001 (bin) / 121 (dec)	1 (bin) / 1 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
32	1001111 (bin) / 79 (dec)	0111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
33	1100101 (bin) / 101 (dec)	0000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
34	1011001 (bin) / 89 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
35	1101101 (bin) / 109 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
36	0011100 (bin) / 28 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
37	1001100 (bin) / 76 (dec)	1100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
38	0100101 (bin) / 37 (dec)	0010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
39	0111101 (bin) / 61 (dec)	1010100 (bin) / 84 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
40	1010100 (bin) / 84 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
41	1011000 (bin) / 88 (dec)	0110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
42	0001001 (bin) / 9 (dec)	0100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
43	1110100 (bin) / 116 (dec)	1110010 (bin) / 114 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
44	0100101 (bin) / 37 (dec)	0100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
45	0010100 (bin) / 20 (dec)	0111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
46	0011001 (bin) / 25 (dec)	0010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
47	0001000 (bin) / 8 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
48	0011001 (bin) / 25 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
49	1000100 (bin) / 68 (dec)	1011011 (bin) / 91 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
50	0010101 (bin) / 21 (dec)	1000000 (bin) / 64 (dec)	1 (bin) / 1 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
51	1100010 (bin) / 98 (dec)	1011010 (bin) / 90 (dec)	1 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
52	1000000 (bin) / 64 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
53	1010101 (bin) / 85 (dec)	1101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
54	0101101 (bin) / 45 (dec)	0010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
55	1100110 (bin) / 102 (dec)	0010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
56	1010001 (bin) / 81 (dec)	1010110 (bin) / 86 (dec)	0 (bin) / 0 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
57	1011000 (bin) / 88 (dec)	0011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
58	0000111 (bin) / 7 (dec)	1000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
59	0100111 (bin) / 39 (dec)	1010101 (bin) / 85 (dec)	1 (bin) / 1 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
60	0100001 (bin) / 33 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
61	0110101 (bin) / 53 (dec)	1101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
62	0111110 (bin) / 62 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
63	1110011 (bin) / 115 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
64	0000111 (bin) / 7 (dec)	0111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
65	0101101 (bin) / 45 (dec)	0100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
66	1110010 (bin) / 114 (dec)	1000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
67	0010000 (bin) / 16 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
68	0000000 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
69	0010111 (bin) / 23 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
70	1100100 (bin) / 100 (dec)	0001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
71	0011001 (bin) / 25 (dec)	0001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
72	0001001 (bin) / 9 (dec)	0001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
73	0100101 (bin) / 37 (dec)	1111101 (bin) / 125 (dec)	1 (bin) / 1 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
74	1100010 (bin) / 98 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
75	1100111 (bin) / 103 (dec)	0010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	1010000 (bin) / 80 (dec)	80 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
76	1011011 (bin) / 91 (dec)	1111001 (bin) / 121 (dec)	1 (bin) / 1 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
77	0011010 (bin) / 26 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
78	0010010 (bin) / 18 (dec)	0110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
79	0100011 (bin) / 35 (dec)	1001101 (bin) / 77 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
80	0011011 (bin) / 27 (dec)	0000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
81	0001011 (bin) / 11 (dec)	1011100 (bin) / 92 (dec)	1 (bin) / 1 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
82	0101000 (bin) / 40 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
83	0011001 (bin) / 25 (dec)	0110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
84	0001110 (bin) / 14 (dec)	1100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
85	0101101 (bin) / 45 (dec)	1001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
86	0010011 (bin) / 19 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
87	0100111 (bin) / 39 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
88	0110000 (bin) / 48 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
89	1101000 (bin) / 104 (dec)	1111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
90	0100011 (bin) / 35 (dec)	1101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
91	0100101 (bin) / 37 (dec)	0100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
92	1000011 (bin) / 67 (dec)	1100001 (bin) / 97 (dec)	0 (bin) / 0 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
93	0010000 (bin) / 16 (dec)	1100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
94	0000010 (bin) / 2 (dec)	1001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
95	0000101 (bin) / 5 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
96	0010010 (bin) / 18 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
97	0010011 (bin) / 19 (dec)	0111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
98	1101100 (bin) / 108 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
99	1101001 (bin) / 105 (dec)	0101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
100	0000000 (bin) / 0 (dec)	0100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
101	1010111 (bin) / 87 (dec)	0110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
102	1101000 (bin) / 104 (dec)	0100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
103	1100001 (bin) / 97 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	1010000 (bin) / 80 (dec)	80 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
104	0001001 (bin) / 9 (dec)	1101101 (bin) / 109 (dec)	1 (bin) / 1 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
105	1011100 (bin) / 92 (dec)	1011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	1111100 (bin) / 124 (dec)	124 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
106	1011101 (bin) / 93 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
107	1000110 (bin) / 70 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
108	1010010 (bin) / 82 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
109	0010101 (bin) / 21 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
110	0111001 (bin) / 57 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
111	0111011 (bin) / 59 (dec)	1010011 (bin) / 83 (dec)	1 (bin) / 1 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
112	1100111 (bin) / 103 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
113	1110010 (bin) / 114 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
114	0010001 (bin) / 17 (dec)	1010011 (bin) / 83 (dec)	0 (bin) / 0 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
115	0100000 (bin) / 32 (dec)	0101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
116	0111001 (bin) / 57 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
117	1000101 (bin) / 69 (dec)	1010001 (bin) / 81 (dec)	1 (bin) / 1 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
118	0011100 (bin) / 28 (dec)	0111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
119	1101111 (bin) / 111 (dec)	1110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
120	0011010 (bin) / 26 (dec)	0011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
121	0001000 (bin) / 8 (dec)	0000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
122	0111000 (bin) / 56 (dec)	0001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
123	0110010 (bin) / 50 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
124	0000101 (bin) / 5 (dec)	1001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
125	0101000 (bin) / 40 (dec)	0001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
126	0011110 (bin) / 30 (dec)	1110101 (bin) / 117 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
127	0101110 (bin) / 46 (dec)	0000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
128	1100001 (bin) / 97 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
129	1010111 (bin) / 87 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
130	0000010 (bin) / 2 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
131	1101001 (bin) / 105 (dec)	1010010 (bin) / 82 (dec)	1 (bin) / 1 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
132	1110101 (bin) / 117 (dec)	0011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
133	1100001 (bin) / 97 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
134	0100111 (bin) / 39 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
135	1100110 (bin) / 102 (dec)	1010100 (bin) / 84 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
136	1001101 (bin) / 77 (dec)	0110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
137	1001101 (bin) / 77 (dec)	1011000 (bin) / 88 (dec)	1 (bin) / 1 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
138	1010000 (bin) / 80 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
139	0100011 (bin) / 35 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
140	1110110 (bin) / 118 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
141	0000000 (bin) / 0 (dec)	0001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
142	0100110 (bin) / 38 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
143	1101000 (bin) / 104 (dec)	0001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
144	1100101 (bin) / 101 (dec)	0111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
145	1111011 (bin) / 123 (dec)	1110101 (bin) / 117 (dec)	0 (bin) / 0 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
146	1011010 (bin) / 90 (dec)	0011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
147	1101100 (bin) / 108 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
148	0101000 (bin) / 40 (dec)	1011100 (bin) / 92 (dec)	1 (bin) / 1 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
149	0000100 (bin) / 4 (dec)	0000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
150	0111000 (bin) / 56 (dec)	0000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
151	1001110 (bin) / 78 (dec)	1001101 (bin) / 77 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
152	1111100 (bin) / 124 (dec)	0000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
153	1011010 (bin) / 90 (dec)	0111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
154	1001110 (bin) / 78 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
155	0110110 (bin) / 54 (dec)	1111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
156	0111111 (bin) / 63 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
157	1000101 (bin) / 69 (dec)	0000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
158	1100001 (bin) / 97 (dec)	1111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
159	1111001 (bin) / 121 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
160	0111001 (bin) / 57 (dec)	0110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
161	1000110 (bin) / 70 (dec)	0010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
162	1110101 (bin) / 117 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
163	1011011 (bin) / 91 (dec)	1010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
164	0101000 (bin) / 40 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
165	1110111 (bin) / 119 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
166	1001111 (bin) / 79 (dec)	0010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
167	0101101 (bin) / 45 (dec)	1110000 (bin) / 112 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
168	0100101 (bin) / 37 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
169	1010001 (bin) / 81 (dec)	0101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
170	0000111 (bin) / 7 (dec)	1111000 (bin) / 120 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
171	0011100 (bin) / 28 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
172	0001100 (bin) / 12 (dec)	1001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
173	0111000 (bin) / 56 (dec)	1100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
174	0101011 (bin) / 43 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
175	1001101 (bin) / 77 (dec)	0010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	0110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
176	1010001 (bin) / 81 (dec)	0110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
177	1000101 (bin) / 69 (dec)	1110001 (bin) / 113 (dec)	0 (bin) / 0 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
178	0010100 (bin) / 20 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
179	1011000 (bin) / 88 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
180	0100001 (bin) / 33 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
181	0101111 (bin) / 47 (dec)	1011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
182	0110010 (bin) / 50 (dec)	1100111 (bin) / 103 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
183	1001110 (bin) / 78 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
184	0100110 (bin) / 38 (dec)	0010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
185	0011100 (bin) / 28 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
186	0111110 (bin) / 62 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
187	1011001 (bin) / 89 (dec)	1101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
188	0111100 (bin) / 60 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
189	1110111 (bin) / 119 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
190	1110110 (bin) / 118 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
191	1111101 (bin) / 125 (dec)	1001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
192	1101111 (bin) / 111 (dec)	1000111 (bin) / 71 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
193	0100010 (bin) / 34 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
194	1010101 (bin) / 85 (dec)	0000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
195	0110111 (bin) / 55 (dec)	1101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
196	1101110 (bin) / 110 (dec)	1100111 (bin) / 103 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
197	0101101 (bin) / 45 (dec)	0100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
198	0110100 (bin) / 52 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
199	0101011 (bin) / 43 (dec)	1010100 (bin) / 84 (dec)	0 (bin) / 0 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
200	0010110 (bin) / 22 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
201	1111011 (bin) / 123 (dec)	0000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
202	1101111 (bin) / 111 (dec)	0001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
203	0111100 (bin) / 60 (dec)	1100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
204	0110000 (bin) / 48 (dec)	1101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
205	0111100 (bin) / 60 (dec)	0110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
206	0011011 (bin) / 27 (dec)	0111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
207	1100001 (bin) / 97 (dec)	0000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
208	1111011 (bin) / 123 (dec)	1100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
209	0010011 (bin) / 19 (dec)	1111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
210	0110011 (bin) / 51 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
211	1100010 (bin) / 98 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
212	1011101 (bin) / 93 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
213	1111001 (bin) / 121 (dec)	1010001 (bin) / 81 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
214	1010101 (bin) / 85 (dec)	0100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
215	0101111 (bin) / 47 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
216	0111000 (bin) / 56 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
217	0100000 (bin) / 32 (dec)	1011011 (bin) / 91 (dec)	0 (bin) / 0 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
218	1001110 (bin) / 78 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1111100 (bin) / 124 (dec)	124 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
219	1010100 (bin) / 84 (dec)	1111000 (bin) / 120 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
220	0111100 (bin) / 60 (dec)	0001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
221	0001110 (bin) / 14 (dec)	1001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
222	0111011 (bin) / 59 (dec)	0101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
223	0100110 (bin) / 38 (dec)	1001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
224	0001101 (bin) / 13 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
225	1011011 (bin) / 91 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
226	1000111 (bin) / 71 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
227	1011100 (bin) / 92 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
228	1000001 (bin) / 65 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
229	0001110 (bin) / 14 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
230	1110011 (bin) / 115 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
231	1001111 (bin) / 79 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
232	1111110 (bin) / 126 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1111100 (bin) / 124 (dec)	124 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
233	0010110 (bin) / 22 (dec)	1111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
234	0110100 (bin) / 52 (dec)	1110111 (bin) / 119 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
235	1001110 (bin) / 78 (dec)	0010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
236	1100101 (bin) / 101 (dec)	1100011 (bin) / 99 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
237	0110101 (bin) / 53 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
238	0001101 (bin) / 13 (dec)	0101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
239	0001101 (bin) / 13 (dec)	0110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
240	1011111 (bin) / 95 (dec)	0100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
241	0111010 (bin) / 58 (dec)	1101111 (bin) / 111 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
242	1101010 (bin) / 106 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
243	0001001 (bin) / 9 (dec)	0111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
244	0100111 (bin) / 39 (dec)	0100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
245	0000011 (bin) / 3 (dec)	0101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
246	0100010 (bin) / 34 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
247	1000001 (bin) / 65 (dec)	1011100 (bin) / 92 (dec)	1 (bin) / 1 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
248	1001100 (bin) / 76 (dec)	1010010 (bin) / 82 (dec)	1 (bin) / 1 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
249	1111010 (bin) / 122 (dec)	1000110 (bin) / 70 (dec)	0 (bin) / 0 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
250	0001101 (bin) / 13 (dec)	1001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
251	0001110 (bin) / 14 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
252	1011000 (bin) / 88 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
253	1110111 (bin) / 119 (dec)	1000010 (bin) / 66 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
254	1101010 (bin) / 106 (dec)	0001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
255	1001110 (bin) / 78 (dec)	0011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
256	1111101 (bin) / 125 (dec)	1000100 (bin) / 68 (dec)	0 (bin) / 0 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
257	0111110 (bin) / 62 (dec)	0100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
258	1000000 (bin) / 64 (dec)	0100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
259	0000101 (bin) / 5 (dec)	0011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
260	1100000 (bin) / 96 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
261	0110100 (bin) / 52 (dec)	0010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
262	0011011 (bin) / 27 (dec)	1110011 (bin) / 115 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
263	1101010 (bin) / 106 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
264	0010100 (bin) / 20 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
265	0011011 (bin) / 27 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
266	1001000 (bin) / 72 (dec)	0110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
267	1000101 (bin) / 69 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
268	1001010 (bin) / 74 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
269	0101101 (bin) / 45 (dec)	0000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
270	0011100 (bin) / 28 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
271	0000001 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
272	1111110 (bin) / 126 (dec)	0111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
273	1011101 (bin) / 93 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
274	1011000 (bin) / 88 (dec)	0101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
275	0001010 (bin) / 10 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
276	1111011 (bin) / 123 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
277	1110001 (bin) / 113 (dec)	0101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
278	0010101 (bin) / 21 (dec)	0100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
279	1011000 (bin) / 88 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
280	0100111 (bin) / 39 (dec)	1111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
281	1110000 (bin) / 112 (dec)	0011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
282	1100010 (bin) / 98 (dec)	1111110 (bin) / 126 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
283	1010001 (bin) / 81 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
284	0001010 (bin) / 10 (dec)	1100000 (bin) / 96 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
285	0111011 (bin) / 59 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
286	1110101 (bin) / 117 (dec)	0110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
287	1101000 (bin) / 104 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
288	1011111 (bin) / 95 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
289	1010100 (bin) / 84 (dec)	0101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
290	1111001 (bin) / 121 (dec)	1001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
291	0010110 (bin) / 22 (dec)	0010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
292	0010110 (bin) / 22 (dec)	1011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
293	0111011 (bin) / 59 (dec)	1100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
294	1000000 (bin) / 64 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
295	1011011 (bin) / 91 (dec)	0011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
296	1011011 (bin) / 91 (dec)	0111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
297	0011111 (bin) / 31 (dec)	0011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
298	0111010 (bin) / 58 (dec)	1111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
299	0100010 (bin) / 34 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
300	0000110 (bin) / 6 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	1010000 (bin) / 80 (dec)	80 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
301	1101011 (bin) / 107 (dec)	1001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
302	1000111 (bin) / 71 (dec)	1010101 (bin) / 85 (dec)	1 (bin) / 1 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
303	1100011 (bin) / 99 (dec)	1001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
304	1000111 (bin) / 71 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
305	0011010 (bin) / 26 (dec)	1100001 (bin) / 97 (dec)	0 (bin) / 0 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
306	1000011 (bin) / 67 (dec)	1011110 (bin) / 94 (dec)	1 (bin) / 1 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
307	0001100 (bin) / 12 (dec)	1111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
308	1100001 (bin) / 97 (dec)	1111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
309	0001100 (bin) / 12 (dec)	1110011 (bin) / 115 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
310	0011100 (bin) / 28 (dec)	0111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
311	0101011 (bin) / 43 (dec)	0000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
312	1110010 (bin) / 114 (dec)	0110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
313	1011000 (bin) / 88 (dec)	1101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
314	1010001 (bin) / 81 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
315	1110111 (bin) / 119 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
316	1011101 (bin) / 93 (dec)	0100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
317	0010100 (bin) / 20 (dec)	0001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
318	0001111 (bin) / 15 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
319	0011110 (bin) / 30 (dec)	0110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
320	0101100 (bin) / 44 (dec)	0011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
321	0101001 (bin) / 41 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
322	0101001 (bin) / 41 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
323	1001010 (bin) / 74 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
324	0111101 (bin) / 61 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
325	1101111 (bin) / 111 (dec)	1111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
326	0010011 (bin) / 19 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
327	1111000 (bin) / 120 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
328	0110000 (bin) / 48 (dec)	0001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
329	1101110 (bin) / 110 (dec)	0111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
330	1011100 (bin) / 92 (dec)	0001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
331	0110011 (bin) / 51 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
332	1100001 (bin) / 97 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
333	1100011 (bin) / 99 (dec)	0000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
334	1011101 (bin) / 93 (dec)	0010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
335	0110100 (bin) / 52 (dec)	1111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
336	1000001 (bin) / 65 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
337	1101010 (bin) / 106 (dec)	1001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
338	0000011 (bin) / 3 (dec)	1011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
339	0011111 (bin) / 31 (dec)	0110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
340	0001000 (bin) / 8 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
341	0101100 (bin) / 44 (dec)	0001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
342	0100010 (bin) / 34 (dec)	1100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
343	0010110 (bin) / 22 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
344	0111100 (bin) / 60 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
345	1010011 (bin) / 83 (dec)	0000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
346	1011000 (bin) / 88 (dec)	1000000 (bin) / 64 (dec)	1 (bin) / 1 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
347	0011010 (bin) / 26 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
348	1110000 (bin) / 112 (dec)	1101001 (bin) / 105 (dec)	0 (bin) / 0 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
349	0001000 (bin) / 8 (dec)	0001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
350	0001010 (bin) / 10 (dec)	1001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
351	1110110 (bin) / 118 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
352	1110011 (bin) / 115 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
353	1010011 (bin) / 83 (dec)	0010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
354	1011111 (bin) / 95 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
355	1110001 (bin) / 113 (dec)	0010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
356	0000000 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
357	1101101 (bin) / 109 (dec)	1000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
358	1110001 (bin) / 113 (dec)	1100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
359	0011110 (bin) / 30 (dec)	0010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
360	1000000 (bin) / 64 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
361	0110001 (bin) / 49 (dec)	1010011 (bin) / 83 (dec)	0 (bin) / 0 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
362	0101011 (bin) / 43 (dec)	1010011 (bin) / 83 (dec)	1 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
363	0101110 (bin) / 46 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
364	1110100 (bin) / 116 (dec)	1001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
365	1110100 (bin) / 116 (dec)	1111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
366	1100010 (bin) / 98 (dec)	0101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
367	0110100 (bin) / 52 (dec)	0111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	1110111 (bin) / 119 (dec)	119 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
368	1011111 (bin) / 95 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
369	0010010 (bin) / 18 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
370	0001110 (bin) / 14 (dec)	1111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
371	1001111 (bin) / 79 (dec)	1110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
372	0101111 (bin) / 47 (dec)	1011100 (bin) / 92 (dec)	0 (bin) / 0 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
373	1101010 (bin) / 106 (dec)	0000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
374	0011000 (bin) / 24 (dec)	1111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	0011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
375	0100101 (bin) / 37 (dec)	0011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
376	0100011 (bin) / 35 (dec)	0110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
377	0000111 (bin) / 7 (dec)	0000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
378	0011010 (bin) / 26 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
379	0111010 (bin) / 58 (dec)	1011110 (bin) / 94 (dec)	1 (bin) / 1 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
380	0110011 (bin) / 51 (dec)	1011100 (bin) / 92 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
381	0110010 (bin) / 50 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
382	0011000 (bin) / 24 (dec)	0111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
383	1001101 (bin) / 77 (dec)	1101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
384	0111001 (bin) / 57 (dec)	1100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
385	1110010 (bin) / 114 (dec)	0001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
386	1000100 (bin) / 68 (dec)	0100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
387	1011000 (bin) / 88 (dec)	1111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
388	1101101 (bin) / 109 (dec)	1111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
389	1000110 (bin) / 70 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
390	1010011 (bin) / 83 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
391	1110010 (bin) / 114 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
392	1100010 (bin) / 98 (dec)	0100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
393	1000010 (bin) / 66 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
394	0010100 (bin) / 20 (dec)	0010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
395	0111100 (bin) / 60 (dec)	1100101 (bin) / 101 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
396	1011001 (bin) / 89 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
397	1100101 (bin) / 101 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
398	0110100 (bin) / 52 (dec)	0100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
399	1001110 (bin) / 78 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
400	0000011 (bin) / 3 (dec)	1100111 (bin) / 103 (dec)	1 (bin) / 1 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
401	0001001 (bin) / 9 (dec)	1100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
402	0100000 (bin) / 32 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
403	0110011 (bin) / 51 (dec)	0010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
404	1001110 (bin) / 78 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
405	0011111 (bin) / 31 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
406	1011110 (bin) / 94 (dec)	0000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
407	0100110 (bin) / 38 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
408	0100010 (bin) / 34 (dec)	1000101 (bin) / 69 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
409	1000111 (bin) / 71 (dec)	0100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
410	1101010 (bin) / 106 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
411	0111011 (bin) / 59 (dec)	1010111 (bin) / 87 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
412	0110011 (bin) / 51 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
413	0110000 (bin) / 48 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
414	0011111 (bin) / 31 (dec)	1110000 (bin) / 112 (dec)	1 (bin) / 1 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
415	0011111 (bin) / 31 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
416	0011101 (bin) / 29 (dec)	1011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
417	0010100 (bin) / 20 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
418	0001100 (bin) / 12 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
419	1010010 (bin) / 82 (dec)	1010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
420	1001100 (bin) / 76 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
421	0011001 (bin) / 25 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
422	1111110 (bin) / 126 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
423	1111001 (bin) / 121 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
424	0111101 (bin) / 61 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
425	0000101 (bin) / 5 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
426	0000101 (bin) / 5 (dec)	0010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
427	0000001 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
428	1001111 (bin) / 79 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
429	1111011 (bin) / 123 (dec)	1101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
430	1001100 (bin) / 76 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
431	0110001 (bin) / 49 (dec)	0001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
432	1100110 (bin) / 102 (dec)	1000100 (bin) / 68 (dec)	1 (bin) / 1 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
433	0100100 (bin) / 36 (dec)	1100100 (bin) / 100 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
434	1011000 (bin) / 88 (dec)	1101111 (bin) / 111 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
435	1000010 (bin) / 66 (dec)	1110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
436	1010011 (bin) / 83 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
437	1111100 (bin) / 124 (dec)	0110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
438	1010100 (bin) / 84 (dec)	1000010 (bin) / 66 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
439	1100111 (bin) / 103 (dec)	0010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
440	0100010 (bin) / 34 (dec)	0010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
441	0001101 (bin) / 13 (dec)	0100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
442	1101111 (bin) / 111 (dec)	0100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
443	0000110 (bin) / 6 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
444	1001011 (bin) / 75 (dec)	1110100 (bin) / 116 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
445	0111010 (bin) / 58 (dec)	1100010 (bin) / 98 (dec)	1 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
446	1000101 (bin) / 69 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
447	0010010 (bin) / 18 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
448	1001000 (bin) / 72 (dec)	0011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
449	1111000 (bin) / 120 (dec)	1001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
450	0001111 (bin) / 15 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
451	0011100 (bin) / 28 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
452	1011110 (bin) / 94 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
453	0001110 (bin) / 14 (dec)	1011010 (bin) / 90 (dec)	1 (bin) / 1 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
454	0101111 (bin) / 47 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
455	0101001 (bin) / 41 (dec)	1110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
456	1111010 (bin) / 122 (dec)	1010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
457	0010000 (bin) / 16 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
458	1001000 (bin) / 72 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	1101111 (bin) / 111 (dec)	111 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
459	0010110 (bin) / 22 (dec)	1110100 (bin) / 116 (dec)	1 (bin) / 1 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
460	1100111 (bin) / 103 (dec)	0111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
461	0110111 (bin) / 55 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
462	0110000 (bin) / 48 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
463	1011000 (bin) / 88 (dec)	0011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
464	1100101 (bin) / 101 (dec)	0100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
465	1000110 (bin) / 70 (dec)	1101100 (bin) / 108 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
466	0011100 (bin) / 28 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
467	0000001 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	1 (bin) / 1 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
468	0000000 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
469	1001100 (bin) / 76 (dec)	1101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
470	0101010 (bin) / 42 (dec)	0011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
471	0001001 (bin) / 9 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
472	1110101 (bin) / 117 (dec)	1001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
473	1101100 (bin) / 108 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
474	0000111 (bin) / 7 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
475	1101111 (bin) / 111 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
476	1001010 (bin) / 74 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
477	0001101 (bin) / 13 (dec)	0000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
478	1011001 (bin) / 89 (dec)	0101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
479	0001001 (bin) / 9 (dec)	1111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
480	1000101 (bin) / 69 (dec)	0100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
481	1001000 (bin) / 72 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
482	1010001 (bin) / 81 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
483	0100010 (bin) / 34 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
484	1011100 (bin) / 92 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
485	0110011 (bin) / 51 (dec)	0101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
486	0010010 (bin) / 18 (dec)	1110100 (bin) / 116 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
487	1001111 (bin) / 79 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
488	1100011 (bin) / 99 (dec)	1101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
489	1010100 (bin) / 84 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
490	1111100 (bin) / 124 (dec)	0100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
491	1100110 (bin) / 102 (dec)	1010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
492	0001011 (bin) / 11 (dec)	0001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
493	0100000 (bin) / 32 (dec)	0011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	0000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
494	1110100 (bin) / 116 (dec)	1001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
495	1111111 (bin) / 127 (dec)	0001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
496	0011000 (bin) / 24 (dec)	0000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
497	0110000 (bin) / 48 (dec)	1000000 (bin) / 64 (dec)	1 (bin) / 1 (dec)	1101111 (bin) / 111 (dec)	111 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
498	0011011 (bin) / 27 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
499	0001010 (bin) / 10 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
500	0101110 (bin) / 46 (dec)	0010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
501	0000000 (bin) / 0 (dec)	1111111 (bin) / 127 (dec)	1 (bin) / 1 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
502	1010111 (bin) / 87 (dec)	0101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
503	1100000 (bin) / 96 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
504	1011110 (bin) / 94 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
505	0001111 (bin) / 15 (dec)	0110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
506	0011000 (bin) / 24 (dec)	0100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
507	0001110 (bin) / 14 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
508	0001001 (bin) / 9 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	1010000 (bin) / 80 (dec)	80 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
509	1001111 (bin) / 79 (dec)	1110001 (bin) / 113 (dec)	1 (bin) / 1 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
510	0110001 (bin) / 49 (dec)	1000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
511	1011010 (bin) / 90 (dec)	1101101 (bin) / 109 (dec)	1 (bin) / 1 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
512	1001101 (bin) / 77 (dec)	1101001 (bin) / 105 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
513	1111111 (bin) / 127 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
514	0101001 (bin) / 41 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	0110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
515	1000110 (bin) / 70 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
516	0110111 (bin) / 55 (dec)	0000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
517	0111100 (bin) / 60 (dec)	0111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
518	1010001 (bin) / 81 (dec)	1100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
519	1001000 (bin) / 72 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
520	1001010 (bin) / 74 (dec)	1111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
521	0100111 (bin) / 39 (dec)	0010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
522	1101111 (bin) / 111 (dec)	1110100 (bin) / 116 (dec)	1 (bin) / 1 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
523	0010010 (bin) / 18 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
524	1101110 (bin) / 110 (dec)	1111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	1101111 (bin) / 111 (dec)	111 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
525	0010101 (bin) / 21 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
526	1001110 (bin) / 78 (dec)	1111110 (bin) / 126 (dec)	1 (bin) / 1 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
527	0000100 (bin) / 4 (dec)	0111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
528	0111110 (bin) / 62 (dec)	1110011 (bin) / 115 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
529	1000000 (bin) / 64 (dec)	0111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	0000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
530	1111011 (bin) / 123 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	0010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
531	1101100 (bin) / 108 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
532	0001101 (bin) / 13 (dec)	0001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
533	1011010 (bin) / 90 (dec)	0000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
534	0110110 (bin) / 54 (dec)	0101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
535	0000010 (bin) / 2 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
536	0100010 (bin) / 34 (dec)	1011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
537	1011100 (bin) / 92 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
538	0010101 (bin) / 21 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
539	0100100 (bin) / 36 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
540	1100001 (bin) / 97 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
541	0001100 (bin) / 12 (dec)	0001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
542	0100001 (bin) / 33 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
543	0100000 (bin) / 32 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
544	0011000 (bin) / 24 (dec)	1001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
545	1011110 (bin) / 94 (dec)	1010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
546	1000010 (bin) / 66 (dec)	0110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
547	1111000 (bin) / 120 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
548	1000001 (bin) / 65 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
549	0001010 (bin) / 10 (dec)	0101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
550	0111001 (bin) / 57 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
551	0110011 (bin) / 51 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Sta
552	1010111 (bin) / 87 (dec)	0101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
553	0001100 (bin) / 12 (dec)	1100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
554	1100000 (bin) / 96 (dec)	0001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
555	1100100 (bin) / 100 (dec)	1100010 (bin) / 98 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
556	0110001 (bin) / 49 (dec)	0100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pas
557	0000100 (bin) / 4 (dec)	1110011 (bin) / 115 (dec)	0 (bin) / 0 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
558	0001100 (bin) / 12 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
559	0100111 (bin) / 39 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas
560	0001011 (bin) / 11 (dec)	0100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pas

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:



```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## **Testbench for ripple\_carry\_subtractor with parameter(s) N8**

Total tests: 561

Passed tests: 561

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
0	10110111 (bin) / 183 (dec)	11010001 (bin) / 209 (dec)	0 (bin) / 0 (dec)	11100110 (bin) / 230 (dec)	230 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
1	10110001 (bin) / 177 (dec)	00111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
2	11010010 (bin) / 210 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
3	01011101 (bin) / 93 (dec)	00100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
4	00101000 (bin) / 40 (dec)	10101110 (bin) / 174 (dec)	1 (bin) / 1 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
5	01100100 (bin) / 100 (dec)	10011100 (bin) / 156 (dec)	1 (bin) / 1 (dec)	11000111 (bin) / 199 (dec)	199 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
6	01010000 (bin) / 80 (dec)	01001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
7	00101011 (bin) / 43 (dec)	10000000 (bin) / 128 (dec)	0 (bin) / 0 (dec)	10101011 (bin) / 171 (dec)	171 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
8	10000010 (bin) / 130 (dec)	00100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
9	10011101 (bin) / 157 (dec)	01100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	00111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
10	01010100 (bin) / 84 (dec)	10110010 (bin) / 178 (dec)	0 (bin) / 0 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
11	11000011 (bin) / 195 (dec)	11010001 (bin) / 209 (dec)	0 (bin) / 0 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
12	11010011 (bin) / 211 (dec)	10101111 (bin) / 175 (dec)	1 (bin) / 1 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
13	10111110 (bin) / 190 (dec)	11000111 (bin) / 199 (dec)	1 (bin) / 1 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
14	01110001 (bin) / 113 (dec)	00011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	01011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
15	11110100 (bin) / 244 (dec)	11010000 (bin) / 208 (dec)	1 (bin) / 1 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
16	11001011 (bin) / 203 (dec)	01010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	01111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
17	10110011 (bin) / 179 (dec)	11001100 (bin) / 204 (dec)	1 (bin) / 1 (dec)	11100110 (bin) / 230 (dec)	230 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
18	10011001 (bin) / 153 (dec)	10100000 (bin) / 160 (dec)	1 (bin) / 1 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
19	01101111 (bin) / 111 (dec)	10000101 (bin) / 133 (dec)	0 (bin) / 0 (dec)	11101010 (bin) / 234 (dec)	234 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
20	11000000 (bin) / 192 (dec)	01000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	10000000 (bin) / 128 (dec)	128 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
21	01011000 (bin) / 88 (dec)	00111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
22	01001001 (bin) / 73 (dec)	11011101 (bin) / 221 (dec)	1 (bin) / 1 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
23	11000101 (bin) / 197 (dec)	00101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	10011100 (bin) / 156 (dec)	156 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
24	00111110 (bin) / 62 (dec)	01010011 (bin) / 83 (dec)	1 (bin) / 1 (dec)	11101010 (bin) / 234 (dec)	234 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
25	00111111 (bin) / 63 (dec)	00010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
26	11101111 (bin) / 239 (dec)	10101110 (bin) / 174 (dec)	1 (bin) / 1 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
27	01010010 (bin) / 82 (dec)	00111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
28	11011101 (bin) / 221 (dec)	10000100 (bin) / 132 (dec)	0 (bin) / 0 (dec)	01011001 (bin) / 89 (dec)	89 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
29	11001000 (bin) / 200 (dec)	01111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
30	01110001 (bin) / 113 (dec)	00011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
31	10110100 (bin) / 180 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	11111111 (bin) / 255 (dec)	255 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
32	00101111 (bin) / 47 (dec)	11011100 (bin) / 220 (dec)	0 (bin) / 0 (dec)	01010011 (bin) / 83 (dec)	83 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
33	11110001 (bin) / 241 (dec)	00001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	11100100 (bin) / 228 (dec)	228 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
34	10111101 (bin) / 189 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	11111011 (bin) / 251 (dec)	251 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
35	10111010 (bin) / 186 (dec)	01010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
36	11011010 (bin) / 218 (dec)	00011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
37	10110100 (bin) / 180 (dec)	10010001 (bin) / 145 (dec)	0 (bin) / 0 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
38	10011001 (bin) / 153 (dec)	11000000 (bin) / 192 (dec)	1 (bin) / 1 (dec)	11011000 (bin) / 216 (dec)	216 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
39	11110001 (bin) / 241 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
40	01110100 (bin) / 116 (dec)	00111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
41	11000010 (bin) / 194 (dec)	01100011 (bin) / 99 (dec)	1 (bin) / 1 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
42	10000011 (bin) / 131 (dec)	01100001 (bin) / 97 (dec)	0 (bin) / 0 (dec)	00100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
43	01100001 (bin) / 97 (dec)	01011000 (bin) / 88 (dec)	1 (bin) / 1 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
44	11000100 (bin) / 196 (dec)	01011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
45	00011110 (bin) / 30 (dec)	11000010 (bin) / 194 (dec)	0 (bin) / 0 (dec)	01011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
46	11100110 (bin) / 230 (dec)	10010110 (bin) / 150 (dec)	1 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
47	01110101 (bin) / 117 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
48	10010111 (bin) / 151 (dec)	11000000 (bin) / 192 (dec)	0 (bin) / 0 (dec)	11010111 (bin) / 215 (dec)	215 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
49	10101100 (bin) / 172 (dec)	00011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
50	01100000 (bin) / 96 (dec)	11110010 (bin) / 242 (dec)	1 (bin) / 1 (dec)	01101101 (bin) / 109 (dec)	109 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
51	00011111 (bin) / 31 (dec)	00001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
52	10100011 (bin) / 163 (dec)	10100001 (bin) / 161 (dec)	0 (bin) / 0 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
53	01111010 (bin) / 122 (dec)	11001110 (bin) / 206 (dec)	1 (bin) / 1 (dec)	10101011 (bin) / 171 (dec)	171 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
54	10010000 (bin) / 144 (dec)	01011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	00110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
55	00011111 (bin) / 31 (dec)	01101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	10110010 (bin) / 178 (dec)	178 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
56	11101100 (bin) / 236 (dec)	11001010 (bin) / 202 (dec)	1 (bin) / 1 (dec)	00100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
57	01010010 (bin) / 82 (dec)	10111010 (bin) / 186 (dec)	1 (bin) / 1 (dec)	10010111 (bin) / 151 (dec)	151 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
58	11111101 (bin) / 253 (dec)	01101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
59	00001011 (bin) / 11 (dec)	01111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
60	10110111 (bin) / 183 (dec)	01010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
61	11111110 (bin) / 254 (dec)	10101010 (bin) / 170 (dec)	0 (bin) / 0 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
62	10000110 (bin) / 134 (dec)	01001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
63	11011110 (bin) / 222 (dec)	11101101 (bin) / 237 (dec)	0 (bin) / 0 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
64	01000100 (bin) / 68 (dec)	01010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
65	00000001 (bin) / 1 (dec)	10110010 (bin) / 178 (dec)	1 (bin) / 1 (dec)	01001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
66	11110000 (bin) / 240 (dec)	01111110 (bin) / 126 (dec)	1 (bin) / 1 (dec)	01110001 (bin) / 113 (dec)	113 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
67	01000111 (bin) / 71 (dec)	11001011 (bin) / 203 (dec)	0 (bin) / 0 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
68	00101110 (bin) / 46 (dec)	00101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
69	10000100 (bin) / 132 (dec)	11001001 (bin) / 201 (dec)	1 (bin) / 1 (dec)	10111010 (bin) / 186 (dec)	186 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
70	11101101 (bin) / 237 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
71	00011001 (bin) / 25 (dec)	11111100 (bin) / 252 (dec)	1 (bin) / 1 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
72	00111100 (bin) / 60 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	10101111 (bin) / 175 (dec)	175 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
73	00111010 (bin) / 58 (dec)	00011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
74	10111001 (bin) / 185 (dec)	00000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
75	00100010 (bin) / 34 (dec)	10010010 (bin) / 146 (dec)	0 (bin) / 0 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
76	01010001 (bin) / 81 (dec)	01001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
77	10111010 (bin) / 186 (dec)	01110010 (bin) / 114 (dec)	1 (bin) / 1 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
78	01101010 (bin) / 106 (dec)	01011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
79	00011101 (bin) / 29 (dec)	11110001 (bin) / 241 (dec)	1 (bin) / 1 (dec)	00101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
80	01100100 (bin) / 100 (dec)	00111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
81	10110100 (bin) / 180 (dec)	00101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
82	11110000 (bin) / 240 (dec)	01001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
83	00010110 (bin) / 22 (dec)	11001100 (bin) / 204 (dec)	0 (bin) / 0 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
84	00010011 (bin) / 19 (dec)	01110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	10100001 (bin) / 161 (dec)	161 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
85	00010000 (bin) / 16 (dec)	10111100 (bin) / 188 (dec)	0 (bin) / 0 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
86	00110011 (bin) / 51 (dec)	10000010 (bin) / 130 (dec)	1 (bin) / 1 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
87	10100001 (bin) / 161 (dec)	11110011 (bin) / 243 (dec)	1 (bin) / 1 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
88	10111111 (bin) / 191 (dec)	01101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
89	00111100 (bin) / 60 (dec)	11001111 (bin) / 207 (dec)	1 (bin) / 1 (dec)	01101100 (bin) / 108 (dec)	108 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
90	00101000 (bin) / 40 (dec)	00001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
91	00011111 (bin) / 31 (dec)	10011110 (bin) / 158 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
92	10100110 (bin) / 166 (dec)	10011111 (bin) / 159 (dec)	0 (bin) / 0 (dec)	00000111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
93	11001001 (bin) / 201 (dec)	01111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	01010000 (bin) / 80 (dec)	80 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
94	00011011 (bin) / 27 (dec)	11100000 (bin) / 224 (dec)	0 (bin) / 0 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
95	11111000 (bin) / 248 (dec)	01010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	10101000 (bin) / 168 (dec)	168 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
96	00000001 (bin) / 1 (dec)	10001011 (bin) / 139 (dec)	0 (bin) / 0 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
97	10110110 (bin) / 182 (dec)	00010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
98	11001010 (bin) / 202 (dec)	01010011 (bin) / 83 (dec)	1 (bin) / 1 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
99	00000001 (bin) / 1 (dec)	01000100 (bin) / 68 (dec)	0 (bin) / 0 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
100	11001100 (bin) / 204 (dec)	00110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	10010101 (bin) / 149 (dec)	149 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
101	11100111 (bin) / 231 (dec)	11011100 (bin) / 220 (dec)	0 (bin) / 0 (dec)	00001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
102	10010111 (bin) / 151 (dec)	00011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
103	01011110 (bin) / 94 (dec)	00001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	01010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
104	11000101 (bin) / 197 (dec)	10001111 (bin) / 143 (dec)	1 (bin) / 1 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
105	00001011 (bin) / 11 (dec)	11110110 (bin) / 246 (dec)	0 (bin) / 0 (dec)	00010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
106	01110110 (bin) / 118 (dec)	00101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
107	00101100 (bin) / 44 (dec)	00101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	00000001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
108	10010001 (bin) / 145 (dec)	10011001 (bin) / 153 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
109	11100100 (bin) / 228 (dec)	01111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
110	10110011 (bin) / 179 (dec)	10111010 (bin) / 186 (dec)	1 (bin) / 1 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
111	00110001 (bin) / 49 (dec)	01000100 (bin) / 68 (dec)	0 (bin) / 0 (dec)	11101101 (bin) / 237 (dec)	237 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
112	01111100 (bin) / 124 (dec)	01110111 (bin) / 119 (dec)	1 (bin) / 1 (dec)	00000100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
113	00100011 (bin) / 35 (dec)	10010110 (bin) / 150 (dec)	0 (bin) / 0 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
114	00110111 (bin) / 55 (dec)	10101111 (bin) / 175 (dec)	0 (bin) / 0 (dec)	10001000 (bin) / 136 (dec)	136 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
115	01111000 (bin) / 120 (dec)	10001001 (bin) / 137 (dec)	1 (bin) / 1 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
116	01101101 (bin) / 109 (dec)	00100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	01000110 (bin) / 70 (dec)	70 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
117	11001100 (bin) / 204 (dec)	11010101 (bin) / 213 (dec)	1 (bin) / 1 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
118	10010011 (bin) / 147 (dec)	11000001 (bin) / 193 (dec)	0 (bin) / 0 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
119	00001111 (bin) / 15 (dec)	01001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	11000101 (bin) / 197 (dec)	197 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
120	01111000 (bin) / 120 (dec)	00001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	01101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
121	11011100 (bin) / 220 (dec)	01000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
122	10010000 (bin) / 144 (dec)	10100000 (bin) / 160 (dec)	0 (bin) / 0 (dec)	11110000 (bin) / 240 (dec)	240 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
123	00111110 (bin) / 62 (dec)	10100110 (bin) / 166 (dec)	0 (bin) / 0 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
124	11000011 (bin) / 195 (dec)	11001101 (bin) / 205 (dec)	1 (bin) / 1 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
125	10011101 (bin) / 157 (dec)	00000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10011011 (bin) / 155 (dec)	155 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
126	10111110 (bin) / 190 (dec)	01010110 (bin) / 86 (dec)	0 (bin) / 0 (dec)	01101000 (bin) / 104 (dec)	104 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
127	11010101 (bin) / 213 (dec)	01110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
128	10000011 (bin) / 131 (dec)	01111010 (bin) / 122 (dec)	1 (bin) / 1 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
129	01100101 (bin) / 101 (dec)	10110100 (bin) / 180 (dec)	0 (bin) / 0 (dec)	10110001 (bin) / 177 (dec)	177 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
130	10110000 (bin) / 176 (dec)	10011111 (bin) / 159 (dec)	1 (bin) / 1 (dec)	00010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
131	10101000 (bin) / 168 (dec)	11010101 (bin) / 213 (dec)	0 (bin) / 0 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
132	10001111 (bin) / 143 (dec)	10001011 (bin) / 139 (dec)	1 (bin) / 1 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
133	10100001 (bin) / 161 (dec)	10001001 (bin) / 137 (dec)	1 (bin) / 1 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
134	11001010 (bin) / 202 (dec)	00110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	10011010 (bin) / 154 (dec)	154 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
135	11010101 (bin) / 213 (dec)	00110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
136	01111010 (bin) / 122 (dec)	01111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
137	11100011 (bin) / 227 (dec)	10001011 (bin) / 139 (dec)	1 (bin) / 1 (dec)	01010111 (bin) / 87 (dec)	87 (dec)	0 (bin) / 0 (dec)	0 (dec)	P



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
138	00001101 (bin) / 13 (dec)	00111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
139	00011110 (bin) / 30 (dec)	00101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
140	11110011 (bin) / 243 (dec)	00111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
141	00001110 (bin) / 14 (dec)	10101010 (bin) / 170 (dec)	1 (bin) / 1 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
142	10100000 (bin) / 160 (dec)	11100110 (bin) / 230 (dec)	1 (bin) / 1 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
143	00111111 (bin) / 63 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
144	01000000 (bin) / 64 (dec)	11110011 (bin) / 243 (dec)	0 (bin) / 0 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
145	00000000 (bin) / 0 (dec)	01111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
146	11100100 (bin) / 228 (dec)	10101100 (bin) / 172 (dec)	0 (bin) / 0 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
147	10100111 (bin) / 167 (dec)	10101100 (bin) / 172 (dec)	0 (bin) / 0 (dec)	11111011 (bin) / 251 (dec)	251 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
148	01001101 (bin) / 77 (dec)	10100010 (bin) / 162 (dec)	1 (bin) / 1 (dec)	10101010 (bin) / 170 (dec)	170 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
149	10001111 (bin) / 143 (dec)	01010001 (bin) / 81 (dec)	1 (bin) / 1 (dec)	00111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
150	00011000 (bin) / 24 (dec)	00110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
151	00010011 (bin) / 19 (dec)	10110100 (bin) / 180 (dec)	0 (bin) / 0 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
152	01111110 (bin) / 126 (dec)	00101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
153	11010100 (bin) / 212 (dec)	00110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	10011111 (bin) / 159 (dec)	159 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
154	00101100 (bin) / 44 (dec)	01111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
155	11101011 (bin) / 235 (dec)	00000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	11100111 (bin) / 231 (dec)	231 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
156	01000100 (bin) / 68 (dec)	01100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
157	10111000 (bin) / 184 (dec)	10001000 (bin) / 136 (dec)	1 (bin) / 1 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
158	01110000 (bin) / 112 (dec)	11110111 (bin) / 247 (dec)	0 (bin) / 0 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
159	01110110 (bin) / 118 (dec)	11001100 (bin) / 204 (dec)	1 (bin) / 1 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
160	11101001 (bin) / 233 (dec)	11111011 (bin) / 251 (dec)	0 (bin) / 0 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
161	01110101 (bin) / 117 (dec)	00001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	01101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
162	00111010 (bin) / 58 (dec)	01110111 (bin) / 119 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
163	10011011 (bin) / 155 (dec)	10000101 (bin) / 133 (dec)	0 (bin) / 0 (dec)	00010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
164	10011010 (bin) / 154 (dec)	11001001 (bin) / 201 (dec)	1 (bin) / 1 (dec)	11010000 (bin) / 208 (dec)	208 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
165	01001011 (bin) / 75 (dec)	10100110 (bin) / 166 (dec)	1 (bin) / 1 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
166	10111000 (bin) / 184 (dec)	10001101 (bin) / 141 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
167	11001001 (bin) / 201 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	01000101 (bin) / 69 (dec)	69 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
168	11100100 (bin) / 228 (dec)	10101110 (bin) / 174 (dec)	1 (bin) / 1 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
169	00111110 (bin) / 62 (dec)	11000010 (bin) / 194 (dec)	1 (bin) / 1 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
170	00001001 (bin) / 9 (dec)	01000111 (bin) / 71 (dec)	1 (bin) / 1 (dec)	11000001 (bin) / 193 (dec)	193 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
171	11011011 (bin) / 219 (dec)	11010010 (bin) / 210 (dec)	0 (bin) / 0 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
172	00000100 (bin) / 4 (dec)	00110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	11010000 (bin) / 208 (dec)	208 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
173	00010111 (bin) / 23 (dec)	01100111 (bin) / 103 (dec)	1 (bin) / 1 (dec)	10101111 (bin) / 175 (dec)	175 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
174	11010000 (bin) / 208 (dec)	11101100 (bin) / 236 (dec)	1 (bin) / 1 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
175	11011110 (bin) / 222 (dec)	10101000 (bin) / 168 (dec)	1 (bin) / 1 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
176	11011011 (bin) / 219 (dec)	11010100 (bin) / 212 (dec)	1 (bin) / 1 (dec)	00000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
177	00110001 (bin) / 49 (dec)	01010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
178	01010101 (bin) / 85 (dec)	10011001 (bin) / 153 (dec)	1 (bin) / 1 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
179	11010101 (bin) / 213 (dec)	10000101 (bin) / 133 (dec)	1 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
180	00010010 (bin) / 18 (dec)	11011000 (bin) / 216 (dec)	1 (bin) / 1 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
181	00001100 (bin) / 12 (dec)	10101011 (bin) / 171 (dec)	0 (bin) / 0 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
182	01111110 (bin) / 126 (dec)	11011111 (bin) / 223 (dec)	1 (bin) / 1 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
183	01011011 (bin) / 91 (dec)	00010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01000100 (bin) / 68 (dec)	68 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
184	10101111 (bin) / 175 (dec)	11000111 (bin) / 199 (dec)	0 (bin) / 0 (dec)	11101000 (bin) / 232 (dec)	232 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
185	00011101 (bin) / 29 (dec)	11000111 (bin) / 199 (dec)	0 (bin) / 0 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
186	00110111 (bin) / 55 (dec)	00001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
187	11101111 (bin) / 239 (dec)	11010100 (bin) / 212 (dec)	1 (bin) / 1 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
188	10010000 (bin) / 144 (dec)	01010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
189	01010010 (bin) / 82 (dec)	11001101 (bin) / 205 (dec)	0 (bin) / 0 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
190	00101000 (bin) / 40 (dec)	10100000 (bin) / 160 (dec)	1 (bin) / 1 (dec)	10000111 (bin) / 135 (dec)	135 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
191	11110001 (bin) / 241 (dec)	01001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
192	00010111 (bin) / 23 (dec)	11100111 (bin) / 231 (dec)	1 (bin) / 1 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
193	00010000 (bin) / 16 (dec)	11010100 (bin) / 212 (dec)	0 (bin) / 0 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
194	01010000 (bin) / 80 (dec)	11011110 (bin) / 222 (dec)	0 (bin) / 0 (dec)	01110010 (bin) / 114 (dec)	114 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
195	01110110 (bin) / 118 (dec)	11111010 (bin) / 250 (dec)	0 (bin) / 0 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
196	11100001 (bin) / 225 (dec)	11101011 (bin) / 235 (dec)	1 (bin) / 1 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
197	01000001 (bin) / 65 (dec)	11000011 (bin) / 195 (dec)	1 (bin) / 1 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
198	10100000 (bin) / 160 (dec)	11111111 (bin) / 255 (dec)	0 (bin) / 0 (dec)	10100001 (bin) / 161 (dec)	161 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
199	10111001 (bin) / 185 (dec)	00000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10110110 (bin) / 182 (dec)	182 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
200	01000111 (bin) / 71 (dec)	01100100 (bin) / 100 (dec)	1 (bin) / 1 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
201	11000110 (bin) / 198 (dec)	00101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
202	11001110 (bin) / 206 (dec)	01110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	01011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
203	11001000 (bin) / 200 (dec)	01001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	01111111 (bin) / 127 (dec)	127 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
204	11110011 (bin) / 243 (dec)	10101000 (bin) / 168 (dec)	0 (bin) / 0 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
205	10001000 (bin) / 136 (dec)	01010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
206	11111011 (bin) / 251 (dec)	10010101 (bin) / 149 (dec)	1 (bin) / 1 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
207	10100111 (bin) / 167 (dec)	00111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	01101110 (bin) / 110 (dec)	110 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
208	10101010 (bin) / 170 (dec)	11111101 (bin) / 253 (dec)	1 (bin) / 1 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
209	00101100 (bin) / 44 (dec)	10110110 (bin) / 182 (dec)	1 (bin) / 1 (dec)	01110101 (bin) / 117 (dec)	117 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
210	11101100 (bin) / 236 (dec)	11001101 (bin) / 205 (dec)	1 (bin) / 1 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
211	10101000 (bin) / 168 (dec)	00010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
212	10100011 (bin) / 163 (dec)	11111011 (bin) / 251 (dec)	1 (bin) / 1 (dec)	10100111 (bin) / 167 (dec)	167 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
213	10111110 (bin) / 190 (dec)	00111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
214	01001110 (bin) / 78 (dec)	01000011 (bin) / 67 (dec)	0 (bin) / 0 (dec)	00001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
215	11100101 (bin) / 229 (dec)	10110111 (bin) / 183 (dec)	1 (bin) / 1 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
216	01101101 (bin) / 109 (dec)	00110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
217	11000000 (bin) / 192 (dec)	01101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	01010111 (bin) / 87 (dec)	87 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
218	10010101 (bin) / 149 (dec)	00110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	01100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
219	11001011 (bin) / 203 (dec)	10100000 (bin) / 160 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
220	01101100 (bin) / 108 (dec)	01000011 (bin) / 67 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
221	00011010 (bin) / 26 (dec)	10111101 (bin) / 189 (dec)	1 (bin) / 1 (dec)	01011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
222	00110100 (bin) / 52 (dec)	10001110 (bin) / 142 (dec)	0 (bin) / 0 (dec)	10100110 (bin) / 166 (dec)	166 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
223	01110101 (bin) / 117 (dec)	00001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
224	00010001 (bin) / 17 (dec)	00101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
225	00000101 (bin) / 5 (dec)	01101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	10010110 (bin) / 150 (dec)	150 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
226	11110000 (bin) / 240 (dec)	01010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	10011001 (bin) / 153 (dec)	153 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
227	01110011 (bin) / 115 (dec)	11110111 (bin) / 247 (dec)	1 (bin) / 1 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
228	01111011 (bin) / 123 (dec)	10110001 (bin) / 177 (dec)	0 (bin) / 0 (dec)	11001010 (bin) / 202 (dec)	202 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
229	11111010 (bin) / 250 (dec)	00000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
230	10000010 (bin) / 130 (dec)	10101001 (bin) / 169 (dec)	1 (bin) / 1 (dec)	11011000 (bin) / 216 (dec)	216 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
231	11010000 (bin) / 208 (dec)	01000011 (bin) / 67 (dec)	0 (bin) / 0 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
232	01111011 (bin) / 123 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	10010101 (bin) / 149 (dec)	149 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
233	00110111 (bin) / 55 (dec)	01100110 (bin) / 102 (dec)	0 (bin) / 0 (dec)	11010001 (bin) / 209 (dec)	209 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
234	00000011 (bin) / 3 (dec)	00100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	11011101 (bin) / 221 (dec)	221 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
235	01011111 (bin) / 95 (dec)	10100100 (bin) / 164 (dec)	0 (bin) / 0 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
236	10111111 (bin) / 191 (dec)	00100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
237	01001110 (bin) / 78 (dec)	11001010 (bin) / 202 (dec)	1 (bin) / 1 (dec)	10000011 (bin) / 131 (dec)	131 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
238	01101100 (bin) / 108 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
239	01101000 (bin) / 104 (dec)	00101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
240	00110010 (bin) / 50 (dec)	10111011 (bin) / 187 (dec)	1 (bin) / 1 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
241	01101101 (bin) / 109 (dec)	11001110 (bin) / 206 (dec)	0 (bin) / 0 (dec)	10011111 (bin) / 159 (dec)	159 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
242	11110001 (bin) / 241 (dec)	11011111 (bin) / 223 (dec)	0 (bin) / 0 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
243	11101000 (bin) / 232 (dec)	11110000 (bin) / 240 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
244	00101001 (bin) / 41 (dec)	01101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
245	10001100 (bin) / 140 (dec)	11010001 (bin) / 209 (dec)	1 (bin) / 1 (dec)	10111010 (bin) / 186 (dec)	186 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
246	00001011 (bin) / 11 (dec)	01001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
247	00011000 (bin) / 24 (dec)	11111101 (bin) / 253 (dec)	1 (bin) / 1 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
248	01110110 (bin) / 118 (dec)	10110011 (bin) / 179 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
249	01100101 (bin) / 101 (dec)	10111110 (bin) / 190 (dec)	0 (bin) / 0 (dec)	10100111 (bin) / 167 (dec)	167 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
250	00011001 (bin) / 25 (dec)	00100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
251	10001100 (bin) / 140 (dec)	01100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	00100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
252	10001010 (bin) / 138 (dec)	00000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10000111 (bin) / 135 (dec)	135 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
253	00101010 (bin) / 42 (dec)	10000110 (bin) / 134 (dec)	1 (bin) / 1 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
254	11000101 (bin) / 197 (dec)	11110000 (bin) / 240 (dec)	0 (bin) / 0 (dec)	11010101 (bin) / 213 (dec)	213 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
255	01101010 (bin) / 106 (dec)	00100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	01001001 (bin) / 73 (dec)	73 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
256	00001101 (bin) / 13 (dec)	11100010 (bin) / 226 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
257	11101001 (bin) / 233 (dec)	10001001 (bin) / 137 (dec)	0 (bin) / 0 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
258	11010011 (bin) / 211 (dec)	01011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	01111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
259	10011011 (bin) / 155 (dec)	00111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
260	10100010 (bin) / 162 (dec)	11111001 (bin) / 249 (dec)	1 (bin) / 1 (dec)	10101000 (bin) / 168 (dec)	168 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
261	00101000 (bin) / 40 (dec)	00110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
262	11101100 (bin) / 236 (dec)	00110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
263	10110001 (bin) / 177 (dec)	01010110 (bin) / 86 (dec)	0 (bin) / 0 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
264	01101010 (bin) / 106 (dec)	01111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
265	00000110 (bin) / 6 (dec)	00010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
266	01000101 (bin) / 69 (dec)	11010110 (bin) / 214 (dec)	1 (bin) / 1 (dec)	01101110 (bin) / 110 (dec)	110 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
267	11111010 (bin) / 250 (dec)	00110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
268	00111110 (bin) / 62 (dec)	11111110 (bin) / 254 (dec)	0 (bin) / 0 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
269	01000110 (bin) / 70 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
270	11000000 (bin) / 192 (dec)	10110110 (bin) / 182 (dec)	0 (bin) / 0 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
271	00100000 (bin) / 32 (dec)	11100010 (bin) / 226 (dec)	1 (bin) / 1 (dec)	00111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
272	10101110 (bin) / 174 (dec)	10101111 (bin) / 175 (dec)	0 (bin) / 0 (dec)	11111111 (bin) / 255 (dec)	255 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
273	11110010 (bin) / 242 (dec)	11000110 (bin) / 198 (dec)	0 (bin) / 0 (dec)	00101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
274	11101111 (bin) / 239 (dec)	00001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
275	11010111 (bin) / 215 (dec)	01011011 (bin) / 91 (dec)	0 (bin) / 0 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
276	11100110 (bin) / 230 (dec)	00011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11001110 (bin) / 206 (dec)	206 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
277	00100001 (bin) / 33 (dec)	00110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
278	11000110 (bin) / 198 (dec)	00100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
279	01111010 (bin) / 122 (dec)	00011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
280	10110101 (bin) / 181 (dec)	01100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	01010011 (bin) / 83 (dec)	83 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
281	10111100 (bin) / 188 (dec)	00110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
282	01010011 (bin) / 83 (dec)	01111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	11011000 (bin) / 216 (dec)	216 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
283	11100010 (bin) / 226 (dec)	11101100 (bin) / 236 (dec)	1 (bin) / 1 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
284	00101011 (bin) / 43 (dec)	00011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	00001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
285	00111100 (bin) / 60 (dec)	00110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
286	00000110 (bin) / 6 (dec)	00001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
287	10011110 (bin) / 158 (dec)	10101000 (bin) / 168 (dec)	0 (bin) / 0 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
288	10001000 (bin) / 136 (dec)	01001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
289	00111011 (bin) / 59 (dec)	11000000 (bin) / 192 (dec)	0 (bin) / 0 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
290	00011110 (bin) / 30 (dec)	01110001 (bin) / 113 (dec)	1 (bin) / 1 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
291	01110110 (bin) / 118 (dec)	10110000 (bin) / 176 (dec)	1 (bin) / 1 (dec)	11000101 (bin) / 197 (dec)	197 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
292	00011100 (bin) / 28 (dec)	01110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	10100101 (bin) / 165 (dec)	165 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
293	00111101 (bin) / 61 (dec)	00010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
294	11010111 (bin) / 215 (dec)	00110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
295	00000110 (bin) / 6 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	01000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
296	11110111 (bin) / 247 (dec)	11001100 (bin) / 204 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
297	00111110 (bin) / 62 (dec)	01111111 (bin) / 127 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
298	11101000 (bin) / 232 (dec)	01011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	10001010 (bin) / 138 (dec)	138 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
299	00000101 (bin) / 5 (dec)	10100100 (bin) / 164 (dec)	0 (bin) / 0 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
300	11010111 (bin) / 215 (dec)	10100110 (bin) / 166 (dec)	0 (bin) / 0 (dec)	00110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
301	00111100 (bin) / 60 (dec)	11010101 (bin) / 213 (dec)	0 (bin) / 0 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
302	01001001 (bin) / 73 (dec)	11100000 (bin) / 224 (dec)	0 (bin) / 0 (dec)	01101001 (bin) / 105 (dec)	105 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
303	10000010 (bin) / 130 (dec)	11000110 (bin) / 198 (dec)	0 (bin) / 0 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
304	10000111 (bin) / 135 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
305	00000110 (bin) / 6 (dec)	10110100 (bin) / 180 (dec)	1 (bin) / 1 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
306	01011001 (bin) / 89 (dec)	00010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	01000101 (bin) / 69 (dec)	69 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
307	10011010 (bin) / 154 (dec)	01100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
308	01101101 (bin) / 109 (dec)	10011111 (bin) / 159 (dec)	1 (bin) / 1 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
309	11010001 (bin) / 209 (dec)	00110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	10011010 (bin) / 154 (dec)	154 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
310	10000101 (bin) / 133 (dec)	01011100 (bin) / 92 (dec)	1 (bin) / 1 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
311	01011000 (bin) / 88 (dec)	01011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	11111010 (bin) / 250 (dec)	250 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
312	01101010 (bin) / 106 (dec)	10101100 (bin) / 172 (dec)	1 (bin) / 1 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
313	10100101 (bin) / 165 (dec)	01010100 (bin) / 84 (dec)	0 (bin) / 0 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
314	11101001 (bin) / 233 (dec)	10101101 (bin) / 173 (dec)	1 (bin) / 1 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
315	11001011 (bin) / 203 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
316	01010001 (bin) / 81 (dec)	00110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
317	00101111 (bin) / 47 (dec)	11010001 (bin) / 209 (dec)	1 (bin) / 1 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
318	10001011 (bin) / 139 (dec)	10100001 (bin) / 161 (dec)	1 (bin) / 1 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
319	10101100 (bin) / 172 (dec)	11110010 (bin) / 242 (dec)	1 (bin) / 1 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
320	01010101 (bin) / 85 (dec)	10100111 (bin) / 167 (dec)	1 (bin) / 1 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
321	01101001 (bin) / 105 (dec)	10101000 (bin) / 168 (dec)	0 (bin) / 0 (dec)	11000001 (bin) / 193 (dec)	193 (dec)	1 (bin) / 1 (dec)	1 (dec)	P



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
322	00011101 (bin) / 29 (dec)	01010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	11001011 (bin) / 203 (dec)	203 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
323	10011011 (bin) / 155 (dec)	10000101 (bin) / 133 (dec)	1 (bin) / 1 (dec)	00010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
324	10111001 (bin) / 185 (dec)	10000000 (bin) / 128 (dec)	0 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
325	01101001 (bin) / 105 (dec)	10000001 (bin) / 129 (dec)	1 (bin) / 1 (dec)	11100111 (bin) / 231 (dec)	231 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
326	01100000 (bin) / 96 (dec)	01010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	00001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
327	01111010 (bin) / 122 (dec)	10011011 (bin) / 155 (dec)	0 (bin) / 0 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
328	10011101 (bin) / 157 (dec)	10101101 (bin) / 173 (dec)	1 (bin) / 1 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
329	11001001 (bin) / 201 (dec)	00100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	10101000 (bin) / 168 (dec)	168 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
330	11100010 (bin) / 226 (dec)	10011111 (bin) / 159 (dec)	0 (bin) / 0 (dec)	01000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
331	10101011 (bin) / 171 (dec)	11110010 (bin) / 242 (dec)	0 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
332	01101000 (bin) / 104 (dec)	01100010 (bin) / 98 (dec)	0 (bin) / 0 (dec)	00000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
333	11110111 (bin) / 247 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
334	11001000 (bin) / 200 (dec)	10011111 (bin) / 159 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
335	11010000 (bin) / 208 (dec)	10100010 (bin) / 162 (dec)	1 (bin) / 1 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
336	10110001 (bin) / 177 (dec)	11001000 (bin) / 200 (dec)	0 (bin) / 0 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
337	10110000 (bin) / 176 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	00101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
338	01111010 (bin) / 122 (dec)	11001010 (bin) / 202 (dec)	0 (bin) / 0 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
339	11011111 (bin) / 223 (dec)	01100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
340	10000100 (bin) / 132 (dec)	11010011 (bin) / 211 (dec)	0 (bin) / 0 (dec)	10110001 (bin) / 177 (dec)	177 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
341	01101111 (bin) / 111 (dec)	11100100 (bin) / 228 (dec)	0 (bin) / 0 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
342	10110101 (bin) / 181 (dec)	10101011 (bin) / 171 (dec)	1 (bin) / 1 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
343	10011000 (bin) / 152 (dec)	01011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
344	00000010 (bin) / 2 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	01111110 (bin) / 126 (dec)	126 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
345	01000001 (bin) / 65 (dec)	01100100 (bin) / 100 (dec)	1 (bin) / 1 (dec)	11011100 (bin) / 220 (dec)	220 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
346	01011001 (bin) / 89 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
347	01011010 (bin) / 90 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	11010110 (bin) / 214 (dec)	214 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
348	11101001 (bin) / 233 (dec)	10000101 (bin) / 133 (dec)	0 (bin) / 0 (dec)	01100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
349	10101010 (bin) / 170 (dec)	10110101 (bin) / 181 (dec)	1 (bin) / 1 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
350	01111111 (bin) / 127 (dec)	10000011 (bin) / 131 (dec)	0 (bin) / 0 (dec)	11111100 (bin) / 252 (dec)	252 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
351	00000100 (bin) / 4 (dec)	00110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
352	01101011 (bin) / 107 (dec)	00100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
353	10100000 (bin) / 160 (dec)	10100111 (bin) / 167 (dec)	1 (bin) / 1 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
354	10011111 (bin) / 159 (dec)	01001101 (bin) / 77 (dec)	0 (bin) / 0 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
355	10101100 (bin) / 172 (dec)	10100110 (bin) / 166 (dec)	1 (bin) / 1 (dec)	00000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
356	10010111 (bin) / 151 (dec)	10000000 (bin) / 128 (dec)	0 (bin) / 0 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
357	11111110 (bin) / 254 (dec)	00100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	11011100 (bin) / 220 (dec)	220 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
358	00111111 (bin) / 63 (dec)	11111110 (bin) / 254 (dec)	0 (bin) / 0 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
359	11110000 (bin) / 240 (dec)	11110111 (bin) / 247 (dec)	0 (bin) / 0 (dec)	11111001 (bin) / 249 (dec)	249 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
360	10011110 (bin) / 158 (dec)	01111010 (bin) / 122 (dec)	1 (bin) / 1 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
361	11001111 (bin) / 207 (dec)	01110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
362	00111110 (bin) / 62 (dec)	01001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
363	10100110 (bin) / 166 (dec)	10010110 (bin) / 150 (dec)	1 (bin) / 1 (dec)	00001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
364	10111100 (bin) / 188 (dec)	10100010 (bin) / 162 (dec)	1 (bin) / 1 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
365	11000110 (bin) / 198 (dec)	11011010 (bin) / 218 (dec)	1 (bin) / 1 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
366	01101010 (bin) / 106 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
367	11000011 (bin) / 195 (dec)	00001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
368	10001111 (bin) / 143 (dec)	11110010 (bin) / 242 (dec)	1 (bin) / 1 (dec)	10011100 (bin) / 156 (dec)	156 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
369	00111000 (bin) / 56 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	10101110 (bin) / 174 (dec)	174 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
370	11110111 (bin) / 247 (dec)	10001010 (bin) / 138 (dec)	1 (bin) / 1 (dec)	01101100 (bin) / 108 (dec)	108 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
371	01010011 (bin) / 83 (dec)	01000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
372	00011000 (bin) / 24 (dec)	00010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	00000110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
373	10000100 (bin) / 132 (dec)	11111011 (bin) / 251 (dec)	1 (bin) / 1 (dec)	10001000 (bin) / 136 (dec)	136 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
374	11110111 (bin) / 247 (dec)	01001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
375	11101100 (bin) / 236 (dec)	01011100 (bin) / 92 (dec)	0 (bin) / 0 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
376	10000010 (bin) / 130 (dec)	01001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
377	11100001 (bin) / 225 (dec)	01111001 (bin) / 121 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
378	01100111 (bin) / 103 (dec)	00001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
379	11101001 (bin) / 233 (dec)	10101111 (bin) / 175 (dec)	0 (bin) / 0 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
380	10011101 (bin) / 157 (dec)	00001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10010011 (bin) / 147 (dec)	147 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
381	10000000 (bin) / 128 (dec)	00001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
382	01011100 (bin) / 92 (dec)	10011100 (bin) / 156 (dec)	0 (bin) / 0 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
383	11101001 (bin) / 233 (dec)	01110110 (bin) / 118 (dec)	0 (bin) / 0 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
384	01110000 (bin) / 112 (dec)	01011000 (bin) / 88 (dec)	1 (bin) / 1 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
385	10011001 (bin) / 153 (dec)	01110000 (bin) / 112 (dec)	1 (bin) / 1 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
386	11001110 (bin) / 206 (dec)	10010001 (bin) / 145 (dec)	1 (bin) / 1 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
387	10001001 (bin) / 137 (dec)	00100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
388	01101001 (bin) / 105 (dec)	01110110 (bin) / 118 (dec)	0 (bin) / 0 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
389	11001001 (bin) / 201 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
390	10101011 (bin) / 171 (dec)	11110011 (bin) / 243 (dec)	1 (bin) / 1 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
391	11010111 (bin) / 215 (dec)	01000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
392	10001111 (bin) / 143 (dec)	00000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10001110 (bin) / 142 (dec)	142 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
393	01001001 (bin) / 73 (dec)	00001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
394	01000111 (bin) / 71 (dec)	00100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	00011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
395	11110000 (bin) / 240 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	10000011 (bin) / 131 (dec)	131 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
396	00100110 (bin) / 38 (dec)	10100001 (bin) / 161 (dec)	0 (bin) / 0 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
397	00001111 (bin) / 15 (dec)	00011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
398	11100111 (bin) / 231 (dec)	11101000 (bin) / 232 (dec)	1 (bin) / 1 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
399	00000010 (bin) / 2 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
400	00010001 (bin) / 17 (dec)	11001111 (bin) / 207 (dec)	0 (bin) / 0 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
401	10111110 (bin) / 190 (dec)	10011100 (bin) / 156 (dec)	0 (bin) / 0 (dec)	00100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
402	10000000 (bin) / 128 (dec)	10000100 (bin) / 132 (dec)	0 (bin) / 0 (dec)	11111100 (bin) / 252 (dec)	252 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
403	10100011 (bin) / 163 (dec)	11001011 (bin) / 203 (dec)	1 (bin) / 1 (dec)	11010111 (bin) / 215 (dec)	215 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
404	01111000 (bin) / 120 (dec)	01000111 (bin) / 71 (dec)	1 (bin) / 1 (dec)	00110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
405	01101111 (bin) / 111 (dec)	00110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
406	01011001 (bin) / 89 (dec)	10101100 (bin) / 172 (dec)	1 (bin) / 1 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
407	10011101 (bin) / 157 (dec)	01110010 (bin) / 114 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
408	01101000 (bin) / 104 (dec)	01110111 (bin) / 119 (dec)	0 (bin) / 0 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
409	10010001 (bin) / 145 (dec)	10101010 (bin) / 170 (dec)	0 (bin) / 0 (dec)	11100111 (bin) / 231 (dec)	231 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
410	01101111 (bin) / 111 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
411	01010101 (bin) / 85 (dec)	11011111 (bin) / 223 (dec)	0 (bin) / 0 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
412	00101111 (bin) / 47 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
413	00010011 (bin) / 19 (dec)	01010101 (bin) / 85 (dec)	1 (bin) / 1 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
414	01110100 (bin) / 116 (dec)	11011001 (bin) / 217 (dec)	0 (bin) / 0 (dec)	10011011 (bin) / 155 (dec)	155 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
415	01001101 (bin) / 77 (dec)	00010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
416	00010101 (bin) / 21 (dec)	01100111 (bin) / 103 (dec)	1 (bin) / 1 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
417	11000111 (bin) / 199 (dec)	00110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	10010110 (bin) / 150 (dec)	150 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
418	00000010 (bin) / 2 (dec)	00111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	11000011 (bin) / 195 (dec)	195 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
419	01110011 (bin) / 115 (dec)	11101100 (bin) / 236 (dec)	0 (bin) / 0 (dec)	10000111 (bin) / 135 (dec)	135 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
420	10001000 (bin) / 136 (dec)	10111101 (bin) / 189 (dec)	0 (bin) / 0 (dec)	11001011 (bin) / 203 (dec)	203 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
421	01111010 (bin) / 122 (dec)	00100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
422	11101100 (bin) / 236 (dec)	00000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
423	01001010 (bin) / 74 (dec)	11111101 (bin) / 253 (dec)	0 (bin) / 0 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
424	01100011 (bin) / 99 (dec)	01101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	11111001 (bin) / 249 (dec)	249 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
425	10110110 (bin) / 182 (dec)	00111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
426	10100001 (bin) / 161 (dec)	10000000 (bin) / 128 (dec)	0 (bin) / 0 (dec)	00100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
427	01010111 (bin) / 87 (dec)	00100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	00110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
428	11001111 (bin) / 207 (dec)	01000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	10001000 (bin) / 136 (dec)	136 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
429	10100100 (bin) / 164 (dec)	10100001 (bin) / 161 (dec)	0 (bin) / 0 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
430	01110010 (bin) / 114 (dec)	01011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
431	11001010 (bin) / 202 (dec)	00000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	11000110 (bin) / 198 (dec)	198 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
432	10100000 (bin) / 160 (dec)	10101100 (bin) / 172 (dec)	1 (bin) / 1 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
433	00001111 (bin) / 15 (dec)	10111100 (bin) / 188 (dec)	1 (bin) / 1 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
434	01110011 (bin) / 115 (dec)	01111000 (bin) / 120 (dec)	0 (bin) / 0 (dec)	11111011 (bin) / 251 (dec)	251 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
435	00010101 (bin) / 21 (dec)	11100100 (bin) / 228 (dec)	1 (bin) / 1 (dec)	00110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
436	01100111 (bin) / 103 (dec)	10110110 (bin) / 182 (dec)	1 (bin) / 1 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
437	11111111 (bin) / 255 (dec)	10001111 (bin) / 143 (dec)	0 (bin) / 0 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
438	10111011 (bin) / 187 (dec)	01000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
439	11010011 (bin) / 211 (dec)	01000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
440	10010010 (bin) / 146 (dec)	00111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	01011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
441	01110010 (bin) / 114 (dec)	01101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
442	01011010 (bin) / 90 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	10100101 (bin) / 165 (dec)	165 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
443	00101111 (bin) / 47 (dec)	10011101 (bin) / 157 (dec)	1 (bin) / 1 (dec)	10010001 (bin) / 145 (dec)	145 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
444	11010111 (bin) / 215 (dec)	00011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
445	10011010 (bin) / 154 (dec)	01011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	00111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
446	11010101 (bin) / 213 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
447	01100110 (bin) / 102 (dec)	11110110 (bin) / 246 (dec)	0 (bin) / 0 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
448	00100110 (bin) / 38 (dec)	00001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	00010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
449	10010100 (bin) / 148 (dec)	10100110 (bin) / 166 (dec)	1 (bin) / 1 (dec)	11101101 (bin) / 237 (dec)	237 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
450	10010101 (bin) / 149 (dec)	11000110 (bin) / 198 (dec)	0 (bin) / 0 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
451	11101001 (bin) / 233 (dec)	01101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	01111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
452	00110011 (bin) / 51 (dec)	00001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
453	10101110 (bin) / 174 (dec)	00001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	10011111 (bin) / 159 (dec)	159 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
454	11110010 (bin) / 242 (dec)	00110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
455	01110110 (bin) / 118 (dec)	11110101 (bin) / 245 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass
456	10110100 (bin) / 180 (dec)	00110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
457	11000000 (bin) / 192 (dec)	10010001 (bin) / 145 (dec)	0 (bin) / 0 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
458	01110001 (bin) / 113 (dec)	00001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Pass
459	11001110 (bin) / 206 (dec)	11111110 (bin) / 254 (dec)	1 (bin) / 1 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	1 (bin) / 1 (dec)	1 (dec)	Pass

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
460	11101111 (bin) / 239 (dec)	01110001 (bin) / 113 (dec)	0 (bin) / 0 (dec)	01111110 (bin) / 126 (dec)	126 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
461	11111111 (bin) / 255 (dec)	10010010 (bin) / 146 (dec)	1 (bin) / 1 (dec)	01101100 (bin) / 108 (dec)	108 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
462	10001001 (bin) / 137 (dec)	00101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
463	01101011 (bin) / 107 (dec)	10000000 (bin) / 128 (dec)	1 (bin) / 1 (dec)	11101010 (bin) / 234 (dec)	234 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
464	01101001 (bin) / 105 (dec)	00001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
465	01001000 (bin) / 72 (dec)	11110011 (bin) / 243 (dec)	1 (bin) / 1 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
466	11001010 (bin) / 202 (dec)	00101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	10100001 (bin) / 161 (dec)	161 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
467	11100001 (bin) / 225 (dec)	00011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
468	10100001 (bin) / 161 (dec)	11101011 (bin) / 235 (dec)	1 (bin) / 1 (dec)	10110101 (bin) / 181 (dec)	181 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
469	00001101 (bin) / 13 (dec)	11001001 (bin) / 201 (dec)	0 (bin) / 0 (dec)	01000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
470	00011100 (bin) / 28 (dec)	01011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
471	00010010 (bin) / 18 (dec)	11110110 (bin) / 246 (dec)	0 (bin) / 0 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
472	01011111 (bin) / 95 (dec)	01101100 (bin) / 108 (dec)	0 (bin) / 0 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
473	01111111 (bin) / 127 (dec)	10100000 (bin) / 160 (dec)	0 (bin) / 0 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
474	00000111 (bin) / 7 (dec)	00101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
475	00100011 (bin) / 35 (dec)	01101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
476	10111000 (bin) / 184 (dec)	10000010 (bin) / 130 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
477	10100000 (bin) / 160 (dec)	01011011 (bin) / 91 (dec)	0 (bin) / 0 (dec)	01000101 (bin) / 69 (dec)	69 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
478	10111101 (bin) / 189 (dec)	01101011 (bin) / 107 (dec)	0 (bin) / 0 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
479	01111010 (bin) / 122 (dec)	01001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
480	01010001 (bin) / 81 (dec)	11111011 (bin) / 251 (dec)	0 (bin) / 0 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
481	10100000 (bin) / 160 (dec)	01101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	00110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
482	00001001 (bin) / 9 (dec)	00111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
483	01001011 (bin) / 75 (dec)	10000000 (bin) / 128 (dec)	0 (bin) / 0 (dec)	11001011 (bin) / 203 (dec)	203 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
484	00101001 (bin) / 41 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
485	01010101 (bin) / 85 (dec)	11110000 (bin) / 240 (dec)	0 (bin) / 0 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
486	00100111 (bin) / 39 (dec)	11011001 (bin) / 217 (dec)	1 (bin) / 1 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
487	10011011 (bin) / 155 (dec)	00111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
488	10010110 (bin) / 150 (dec)	10111010 (bin) / 186 (dec)	0 (bin) / 0 (dec)	11011100 (bin) / 220 (dec)	220 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
489	01100001 (bin) / 97 (dec)	01100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	11111010 (bin) / 250 (dec)	250 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
490	11011111 (bin) / 223 (dec)	01111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
491	11111010 (bin) / 250 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
492	01111011 (bin) / 123 (dec)	00111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
493	01100111 (bin) / 103 (dec)	10100011 (bin) / 163 (dec)	1 (bin) / 1 (dec)	11000011 (bin) / 195 (dec)	195 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
494	11111111 (bin) / 255 (dec)	01111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	10000010 (bin) / 130 (dec)	130 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
495	10011111 (bin) / 159 (dec)	01010100 (bin) / 84 (dec)	0 (bin) / 0 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
496	00100011 (bin) / 35 (dec)	01100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
497	11001111 (bin) / 207 (dec)	11001100 (bin) / 204 (dec)	0 (bin) / 0 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
498	01001101 (bin) / 77 (dec)	00011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	00101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
499	10101110 (bin) / 174 (dec)	00001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
500	10011110 (bin) / 158 (dec)	01000111 (bin) / 71 (dec)	1 (bin) / 1 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
501	01001110 (bin) / 78 (dec)	10000100 (bin) / 132 (dec)	1 (bin) / 1 (dec)	11001001 (bin) / 201 (dec)	201 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
502	00101100 (bin) / 44 (dec)	10100101 (bin) / 165 (dec)	1 (bin) / 1 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
503	00001111 (bin) / 15 (dec)	00000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
504	00101101 (bin) / 45 (dec)	00111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
505	11000011 (bin) / 195 (dec)	00111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	0 (bin) / 0 (dec)	0 (dec)	P



Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
506	01010001 (bin) / 81 (dec)	10111001 (bin) / 185 (dec)	0 (bin) / 0 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
507	01100010 (bin) / 98 (dec)	01010001 (bin) / 81 (dec)	0 (bin) / 0 (dec)	00010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
508	10100011 (bin) / 163 (dec)	10101110 (bin) / 174 (dec)	1 (bin) / 1 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
509	10000010 (bin) / 130 (dec)	00110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
510	11111001 (bin) / 249 (dec)	10010110 (bin) / 150 (dec)	1 (bin) / 1 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
511	11111111 (bin) / 255 (dec)	10001100 (bin) / 140 (dec)	0 (bin) / 0 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
512	11100010 (bin) / 226 (dec)	01100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
513	01001111 (bin) / 79 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
514	10010110 (bin) / 150 (dec)	11111101 (bin) / 253 (dec)	1 (bin) / 1 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
515	11011100 (bin) / 220 (dec)	01100111 (bin) / 103 (dec)	0 (bin) / 0 (dec)	01110101 (bin) / 117 (dec)	117 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
516	00110000 (bin) / 48 (dec)	00001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	00100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
517	10101100 (bin) / 172 (dec)	00001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
518	00100110 (bin) / 38 (dec)	11011001 (bin) / 217 (dec)	0 (bin) / 0 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
519	10101001 (bin) / 169 (dec)	01001100 (bin) / 76 (dec)	1 (bin) / 1 (dec)	01011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
520	00100111 (bin) / 39 (dec)	10010110 (bin) / 150 (dec)	0 (bin) / 0 (dec)	10010001 (bin) / 145 (dec)	145 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
521	00100100 (bin) / 36 (dec)	11110111 (bin) / 247 (dec)	0 (bin) / 0 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
522	00000000 (bin) / 0 (dec)	11100000 (bin) / 224 (dec)	0 (bin) / 0 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
523	11000110 (bin) / 198 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
524	10111101 (bin) / 189 (dec)	11111111 (bin) / 255 (dec)	0 (bin) / 0 (dec)	10111110 (bin) / 190 (dec)	190 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
525	10100001 (bin) / 161 (dec)	11111000 (bin) / 248 (dec)	0 (bin) / 0 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
526	11011111 (bin) / 223 (dec)	00100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
527	00000111 (bin) / 7 (dec)	10100010 (bin) / 162 (dec)	1 (bin) / 1 (dec)	01100100 (bin) / 100 (dec)	100 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
528	01010000 (bin) / 80 (dec)	01001100 (bin) / 76 (dec)	1 (bin) / 1 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
529	01010101 (bin) / 85 (dec)	10010001 (bin) / 145 (dec)	0 (bin) / 0 (dec)	11000100 (bin) / 196 (dec)	196 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
530	11100111 (bin) / 231 (dec)	10010110 (bin) / 150 (dec)	0 (bin) / 0 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
531	10011001 (bin) / 153 (dec)	11001011 (bin) / 203 (dec)	0 (bin) / 0 (dec)	11001110 (bin) / 206 (dec)	206 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
532	11001011 (bin) / 203 (dec)	00111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
533	11010110 (bin) / 214 (dec)	00100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
534	01101010 (bin) / 106 (dec)	00100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
535	00101000 (bin) / 40 (dec)	00101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	11111100 (bin) / 252 (dec)	252 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
536	10100011 (bin) / 163 (dec)	01010110 (bin) / 86 (dec)	0 (bin) / 0 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
537	10111000 (bin) / 184 (dec)	11010011 (bin) / 211 (dec)	1 (bin) / 1 (dec)	11100100 (bin) / 228 (dec)	228 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
538	01001001 (bin) / 73 (dec)	01001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
539	10101000 (bin) / 168 (dec)	00110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
540	00000010 (bin) / 2 (dec)	10100000 (bin) / 160 (dec)	0 (bin) / 0 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
541	11101001 (bin) / 233 (dec)	10011010 (bin) / 154 (dec)	1 (bin) / 1 (dec)	01001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
542	10010101 (bin) / 149 (dec)	11111001 (bin) / 249 (dec)	1 (bin) / 1 (dec)	10011011 (bin) / 155 (dec)	155 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
543	10000111 (bin) / 135 (dec)	11011000 (bin) / 216 (dec)	1 (bin) / 1 (dec)	10101110 (bin) / 174 (dec)	174 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
544	10100010 (bin) / 162 (dec)	10010111 (bin) / 151 (dec)	1 (bin) / 1 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
545	00011011 (bin) / 27 (dec)	01001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
546	11000001 (bin) / 193 (dec)	01011000 (bin) / 88 (dec)	1 (bin) / 1 (dec)	01101000 (bin) / 104 (dec)	104 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
547	10001000 (bin) / 136 (dec)	00101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
548	01110001 (bin) / 113 (dec)	10110011 (bin) / 179 (dec)	0 (bin) / 0 (dec)	10111110 (bin) / 190 (dec)	190 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
549	01010000 (bin) / 80 (dec)	10010010 (bin) / 146 (dec)	1 (bin) / 1 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
550	10100001 (bin) / 161 (dec)	00110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
551	00000100 (bin) / 4 (dec)	10100011 (bin) / 163 (dec)	1 (bin) / 1 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	S
552	10011011 (bin) / 155 (dec)	01101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	00101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
553	10101001 (bin) / 169 (dec)	00010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
554	11001101 (bin) / 205 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11001000 (bin) / 200 (dec)	200 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
555	00010111 (bin) / 23 (dec)	10001110 (bin) / 142 (dec)	0 (bin) / 0 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
556	10111101 (bin) / 189 (dec)	10011100 (bin) / 156 (dec)	1 (bin) / 1 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
557	01101111 (bin) / 111 (dec)	10010101 (bin) / 149 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	1 (bin) / 1 (dec)	1 (dec)	P
558	11101101 (bin) / 237 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
559	10011010 (bin) / 154 (dec)	10010001 (bin) / 145 (dec)	0 (bin) / 0 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	P
560	10101101 (bin) / 173 (dec)	11011011 (bin) / 219 (dec)	0 (bin) / 0 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	1 (bin) / 1 (dec)	1 (dec)	P

## Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```

## Testbench for full\_subtractor with parameter(s)

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input bin	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

### Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

### Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

### Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "bin" in test_case:  
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]  
        if diff_val < 0:  
            diff_val += (1 << self.bit_width)  
            bout = 1  
        else:  
            bout = 0  
        outs = {  
            "diff": diff_val & max_val,  
            "bout": bout  
        }  
    else:  
        diff_val = test_case["a"] - test_case["b"]  
        if diff_val < 0:  
            diff_val += (1 << self.bit_width)  
            bout = 1  
        else:  
            bout = 0  
        outs = {  
            "diff": diff_val & max_val,  
            "bout": bout  
        }  
    return outs
```

## Testbench for half\_subtractor with parameter(s)

Total tests: 4

Passed tests: 4

Failed tests: 0

Test Case	Input a	Input b	Output diff (Actual)	Expected diff	Output bout (Actual)	Expected bout	Status
0	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

### Rule: SubtractorRule

Input Variables: a, b, bin

Output Variables: diff, bout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:



```

def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "bin" in test_case:
        diff_val = test_case["a"] - test_case["b"] - test_case["bin"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    else:
        diff_val = test_case["a"] - test_case["b"]
        if diff_val < 0:
            diff_val += (1 << self.bit_width)
            bout = 1
        else:
            bout = 0
        outs = {
            "diff": diff_val & max_val,
            "bout": bout
        }
    return outs

```