

Testbenching Report for carry_save_adder_l2

Table of Contents

Testbench Summary 3

Testbench for carry_save_adder_l2 with parameter(s) N1 4

Testbench for carry_save_adder_l2 with parameter(s) N2 5

Testbench for carry_save_adder_l2 with parameter(s) N3 9

Testbench for carry_save_adder_l2 with parameter(s) N4 15

Testbench for carry_save_adder_l2 with parameter(s) N5 21

Testbench for carry_save_adder_l2 with parameter(s) N6 27

Testbench for carry_save_adder_l2 with parameter(s) N7 33

Testbench for carry_save_adder_l2 with parameter(s) N8 39

Testbench for full_adder with parameter(s) 26

Testbench for half_adder with parameter(s) 27

Testbench Summary

Component	Total Tests	Passed	Failed
carry_save_adder_l2_N1	8	8	0
carry_save_adder_l2_N2	64	64	0
carry_save_adder_l2_N3	218	218	0
carry_save_adder_l2_N4	218	218	0
carry_save_adder_l2_N5	218	218	0
carry_save_adder_l2_N6	218	218	0
carry_save_adder_l2_N7	218	218	0
carry_save_adder_l2_N8	218	218	0
full_adder_	8	8	0
half_adder_	4	4	0

Testbench for carry_save_adder_l2 with parameter(s) N1

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```

Testbench for carry_save_adder_l2 with parameter(s) N2

Total tests: 64

Passed tests: 64

Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	2 (dec)	01 (bin) / 1 (dec)	1 (dec)	Passed
58	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	01 (bin) / 1 (dec)	1 (dec)	Passed
59	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (dec)	10 (bin) / 2 (dec)	2 (dec)	Passed
60	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (dec)	11 (bin) / 3 (dec)	3 (dec)	Passed
61	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	2 (dec)	00 (bin) / 0 (dec)	0 (dec)	Passed
62	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	2 (dec)	11 (bin) / 3 (dec)	3 (dec)	Passed
63	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	3 (dec)	10 (bin) / 2 (dec)	2 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```


Testbench for carry_save_adder_l2 with parameter(s) N3

Total tests: 218
Passed tests: 218
Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	6 (dec)	001 (bin) / 1 (dec)	1 (dec)	Passed
172	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	4 (dec)	011 (bin) / 3 (dec)	3 (dec)	Passed
173	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
174	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (dec)	101 (bin) / 5 (dec)	5 (dec)	Passed
175	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	7 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
176	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	7 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
177	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	5 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
178	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	4 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
179	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	0 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
180	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	3 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
181	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	6 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
182	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
183	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
184	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	3 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
185	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	3 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
186	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	4 (dec)	011 (bin) / 3 (dec)	3 (dec)	Passed
187	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	2 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
188	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	7 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
189	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	001 (bin) / 1 (dec)	1 (dec)	Passed
190	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
191	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	3 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
192	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	3 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
193	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
194	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	001 (bin) / 1 (dec)	1 (dec)	Passed
195	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	011 (bin) / 3 (dec)	3 (dec)	Passed
196	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	0 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
197	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	3 (dec)	101 (bin) / 5 (dec)	5 (dec)	Passed
198	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	6 (dec)	001 (bin) / 1 (dec)	1 (dec)	Passed
199	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
200	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	2 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
201	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
202	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
203	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
204	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	100 (bin) / 4 (dec)	4 (dec)	101 (bin) / 5 (dec)	5 (dec)	Passed
205	011 (bin) / 3 (dec)	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	6 (dec)	001 (bin) / 1 (dec)	1 (dec)	Passed
206	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	3 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
207	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	1 (dec)	100 (bin) / 4 (dec)	4 (dec)	Passed
208	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
209	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	1 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
210	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (dec)	111 (bin) / 7 (dec)	7 (dec)	Passed
211	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	3 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
212	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	0 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
213	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
214	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	5 (dec)	010 (bin) / 2 (dec)	2 (dec)	Passed
215	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	5 (dec)	110 (bin) / 6 (dec)	6 (dec)	Passed
216	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed
217	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	000 (bin) / 0 (dec)	0 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```

Testbench for carry_save_adder_l2 with parameter(s) N4

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
1	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
2	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
3	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
4	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
5	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
6	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
7	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
8	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
9	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
10	0001 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
11	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
12	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
13	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
14	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
15	1110 (bin) / 14 (dec)	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
16	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
17	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
18	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
19	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
20	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
21	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
22	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
23	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
24	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
25	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
26	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
27	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
28	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
29	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
30	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
31	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
32	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
33	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
34	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
35	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
36	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
37	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
38	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
39	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
40	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
41	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
42	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
43	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
44	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
45	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
46	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
47	1011 (bin) / 11 (dec)	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
48	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
49	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
50	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
51	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
52	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
53	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
54	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
55	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
56	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
58	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
59	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
60	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
61	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
62	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
63	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
64	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
65	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
66	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
67	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
68	0110 (bin) / 6 (dec)	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
69	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
70	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
71	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
72	1011 (bin) / 11 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
73	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
74	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
75	0000 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
76	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
77	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
78	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
79	0001 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
80	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
81	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
82	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
83	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
84	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
85	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
86	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
87	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
88	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
89	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
90	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
91	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
92	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
93	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
94	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
95	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
96	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
97	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
98	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
99	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
100	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
101	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
102	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
103	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
104	0101 (bin) / 5 (dec)	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
105	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
106	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
107	0011 (bin) / 3 (dec)	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
108	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
109	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
110	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
111	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
112	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
113	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
114	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
115	0001 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
116	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
117	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
118	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
119	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
120	1110 (bin) / 14 (dec)	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
121	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
122	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
123	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
124	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
125	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
126	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
127	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
128	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
129	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
130	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
131	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
132	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
133	1001 (bin) / 9 (dec)	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
134	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
135	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
136	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
137	1111 (bin) / 15 (dec)	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
138	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
139	0000 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
140	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
141	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
142	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
143	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
144	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
145	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
146	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
147	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
148	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
149	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
150	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
151	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
152	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
153	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
154	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
155	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
156	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
157	1011 (bin) / 11 (dec)	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
158	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
159	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
160	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
161	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
162	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
163	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
164	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
165	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
166	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
167	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
168	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1100 (bin) / 12 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
169	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
170	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
172	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
173	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
174	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
175	0001 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
176	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
177	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1101 (bin) / 13 (dec)	13 (dec)	Passed
178	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
179	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
180	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
181	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
182	0010 (bin) / 2 (dec)	1101 (bin) / 13 (dec)	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
183	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
184	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1110 (bin) / 14 (dec)	14 (dec)	Passed
185	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
186	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
187	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
188	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
189	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1111 (bin) / 15 (dec)	15 (dec)	Passed
190	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1011 (bin) / 11 (dec)	11 (dec)	Passed
191	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
192	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
193	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
194	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
195	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0011 (bin) / 3 (dec)	3 (dec)	Passed
196	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
197	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0100 (bin) / 4 (dec)	4 (dec)	Passed
198	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
199	1001 (bin) / 9 (dec)	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
200	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
201	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0000 (bin) / 0 (dec)	0 (dec)	Passed
202	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1000 (bin) / 8 (dec)	8 (dec)	Passed
203	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
204	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1010 (bin) / 10 (dec)	10 (dec)	Passed
205	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
206	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0101 (bin) / 5 (dec)	5 (dec)	Passed
207	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
208	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
209	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0111 (bin) / 7 (dec)	7 (dec)	Passed
210	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed
211	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
212	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0001 (bin) / 1 (dec)	1 (dec)	Passed
213	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
214	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0010 (bin) / 2 (dec)	2 (dec)	Passed
215	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1100 (bin) / 12 (dec)	12 (dec)	Passed
216	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0110 (bin) / 6 (dec)	6 (dec)	Passed
217	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1001 (bin) / 9 (dec)	9 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```

Testbench for carry_save_adder_l2 with parameter(s) N5

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	10001 (bin) / 17 (dec)	10001 (bin) / 17 (dec)	10010 (bin) / 18 (dec)	10010 (bin) / 18 (dec)	18 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
1	00100 (bin) / 4 (dec)	00010 (bin) / 2 (dec)	10100 (bin) / 20 (dec)	10010 (bin) / 18 (dec)	18 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
2	01111 (bin) / 15 (dec)	00110 (bin) / 6 (dec)	01110 (bin) / 14 (dec)	00111 (bin) / 7 (dec)	7 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
3	11000 (bin) / 24 (dec)	00101 (bin) / 5 (dec)	10110 (bin) / 22 (dec)	01011 (bin) / 11 (dec)	11 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
4	01011 (bin) / 11 (dec)	00100 (bin) / 4 (dec)	11010 (bin) / 26 (dec)	10101 (bin) / 21 (dec)	21 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
5	00011 (bin) / 3 (dec)	11001 (bin) / 25 (dec)	11011 (bin) / 27 (dec)	00001 (bin) / 1 (dec)	1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
6	10110 (bin) / 22 (dec)	11000 (bin) / 24 (dec)	01000 (bin) / 8 (dec)	00110 (bin) / 6 (dec)	6 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
7	01010 (bin) / 10 (dec)	01110 (bin) / 14 (dec)	01111 (bin) / 15 (dec)	01011 (bin) / 11 (dec)	11 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
8	11100 (bin) / 28 (dec)	10110 (bin) / 22 (dec)	11111 (bin) / 31 (dec)	10101 (bin) / 21 (dec)	21 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
9	01010 (bin) / 10 (dec)	11101 (bin) / 29 (dec)	01111 (bin) / 15 (dec)	11000 (bin) / 24 (dec)	24 (dec)	01111 (bin) / 15 (dec)	15 (dec)	Passed
10	01101 (bin) / 13 (dec)	01001 (bin) / 9 (dec)	11111 (bin) / 31 (dec)	11011 (bin) / 27 (dec)	27 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
11	01110 (bin) / 14 (dec)	11110 (bin) / 30 (dec)	01100 (bin) / 12 (dec)	11100 (bin) / 28 (dec)	28 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
12	11101 (bin) / 29 (dec)	00001 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	00010 (bin) / 2 (dec)	2 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
13	11001 (bin) / 25 (dec)	10100 (bin) / 20 (dec)	01110 (bin) / 14 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
14	00111 (bin) / 7 (dec)	01101 (bin) / 13 (dec)	10001 (bin) / 17 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
15	10010 (bin) / 18 (dec)	10001 (bin) / 17 (dec)	00011 (bin) / 3 (dec)	00000 (bin) / 0 (dec)	0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
16	00001 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	00101 (bin) / 5 (dec)	01100 (bin) / 12 (dec)	12 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
17	01111 (bin) / 15 (dec)	01100 (bin) / 12 (dec)	00011 (bin) / 3 (dec)	00000 (bin) / 0 (dec)	0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	Passed
18	00100 (bin) / 4 (dec)	01000 (bin) / 8 (dec)	11111 (bin) / 31 (dec)	10011 (bin) / 19 (dec)	19 (dec)	01100 (bin) / 12 (dec)	12 (dec)	Passed
19	01110 (bin) / 14 (dec)	10000 (bin) / 16 (dec)	11001 (bin) / 25 (dec)	00111 (bin) / 7 (dec)	7 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
20	11001 (bin) / 25 (dec)	11001 (bin) / 25 (dec)	10111 (bin) / 23 (dec)	10111 (bin) / 23 (dec)	23 (dec)	11001 (bin) / 25 (dec)	25 (dec)	Passed
21	01001 (bin) / 9 (dec)	10100 (bin) / 20 (dec)	10110 (bin) / 22 (dec)	01011 (bin) / 11 (dec)	11 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
22	11100 (bin) / 28 (dec)	10010 (bin) / 18 (dec)	01101 (bin) / 13 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
23	10011 (bin) / 19 (dec)	11111 (bin) / 31 (dec)	00100 (bin) / 4 (dec)	01000 (bin) / 8 (dec)	8 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
24	00101 (bin) / 5 (dec)	10100 (bin) / 20 (dec)	10100 (bin) / 20 (dec)	00101 (bin) / 5 (dec)	5 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
25	11010 (bin) / 26 (dec)	11011 (bin) / 27 (dec)	11010 (bin) / 26 (dec)	11011 (bin) / 27 (dec)	27 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
26	01010 (bin) / 10 (dec)	10011 (bin) / 19 (dec)	00101 (bin) / 5 (dec)	11100 (bin) / 28 (dec)	28 (dec)	00011 (bin) / 3 (dec)	3 (dec)	Passed
27	00111 (bin) / 7 (dec)	00101 (bin) / 5 (dec)	11001 (bin) / 25 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
28	10100 (bin) / 20 (dec)	11111 (bin) / 31 (dec)	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	16 (dec)	11111 (bin) / 31 (dec)	31 (dec)	Passed
29	11100 (bin) / 28 (dec)	01110 (bin) / 14 (dec)	10110 (bin) / 22 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
30	11101 (bin) / 29 (dec)	11110 (bin) / 30 (dec)	11001 (bin) / 25 (dec)	11010 (bin) / 26 (dec)	26 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
31	11100 (bin) / 28 (dec)	00110 (bin) / 6 (dec)	11001 (bin) / 25 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
32	01100 (bin) / 12 (dec)	00010 (bin) / 2 (dec)	10101 (bin) / 21 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
33	11000 (bin) / 24 (dec)	00011 (bin) / 3 (dec)	11111 (bin) / 31 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
34	01100 (bin) / 12 (dec)	10011 (bin) / 19 (dec)	10110 (bin) / 22 (dec)	01001 (bin) / 9 (dec)	9 (dec)	10110 (bin) / 22 (dec)	22 (dec)	Passed
35	01100 (bin) / 12 (dec)	11110 (bin) / 30 (dec)	00011 (bin) / 3 (dec)	10001 (bin) / 17 (dec)	17 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
36	10110 (bin) / 22 (dec)	01010 (bin) / 10 (dec)	11110 (bin) / 30 (dec)	00010 (bin) / 2 (dec)	2 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
37	11100 (bin) / 28 (dec)	00011 (bin) / 3 (dec)	11000 (bin) / 24 (dec)	00111 (bin) / 7 (dec)	7 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
38	00011 (bin) / 3 (dec)	00010 (bin) / 2 (dec)	01001 (bin) / 9 (dec)	01000 (bin) / 8 (dec)	8 (dec)	00011 (bin) / 3 (dec)	3 (dec)	Passed
39	00111 (bin) / 7 (dec)	00101 (bin) / 5 (dec)	10101 (bin) / 21 (dec)	10111 (bin) / 23 (dec)	23 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
40	01000 (bin) / 8 (dec)	01011 (bin) / 11 (dec)	11001 (bin) / 25 (dec)	11010 (bin) / 26 (dec)	26 (dec)	01001 (bin) / 9 (dec)	9 (dec)	Passed
41	10101 (bin) / 21 (dec)	00101 (bin) / 5 (dec)	00011 (bin) / 3 (dec)	10011 (bin) / 19 (dec)	19 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
42	10010 (bin) / 18 (dec)	10100 (bin) / 20 (dec)	11100 (bin) / 28 (dec)	11010 (bin) / 26 (dec)	26 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
43	00000 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	11001 (bin) / 25 (dec)	11101 (bin) / 29 (dec)	29 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
44	10101 (bin) / 21 (dec)	00110 (bin) / 6 (dec)	00011 (bin) / 3 (dec)	10000 (bin) / 16 (dec)	16 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
45	01000 (bin) / 8 (dec)	00010 (bin) / 2 (dec)	11100 (bin) / 28 (dec)	10110 (bin) / 22 (dec)	22 (dec)	01000 (bin) / 8 (dec)	8 (dec)	Passed
46	10101 (bin) / 21 (dec)	00101 (bin) / 5 (dec)	10000 (bin) / 16 (dec)	00000 (bin) / 0 (dec)	0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
47	00000 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	01110 (bin) / 14 (dec)	01011 (bin) / 11 (dec)	11 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
48	11001 (bin) / 25 (dec)	10111 (bin) / 23 (dec)	10101 (bin) / 21 (dec)	11011 (bin) / 27 (dec)	27 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
49	00011 (bin) / 3 (dec)	10101 (bin) / 21 (dec)	10110 (bin) / 22 (dec)	00000 (bin) / 0 (dec)	0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
50	10011 (bin) / 19 (dec)	00000 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	00010 (bin) / 2 (dec)	2 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
51	10110 (bin) / 22 (dec)	10011 (bin) / 19 (dec)	00001 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
52	10101 (bin) / 21 (dec)	10000 (bin) / 16 (dec)	01010 (bin) / 10 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
53	00100 (bin) / 4 (dec)	00111 (bin) / 7 (dec)	10010 (bin) / 18 (dec)	10001 (bin) / 17 (dec)	17 (dec)	00110 (bin) / 6 (dec)	6 (dec)	Passed
54	01101 (bin) / 13 (dec)	01110 (bin) / 14 (dec)	01010 (bin) / 10 (dec)	01001 (bin) / 9 (dec)	9 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
55	00111 (bin) / 7 (dec)	11000 (bin) / 24 (dec)	11011 (bin) / 27 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
56	10111 (bin) / 23 (dec)	11110 (bin) / 30 (dec)	10100 (bin) / 20 (dec)	11101 (bin) / 29 (dec)	29 (dec)	10110 (bin) / 22 (dec)	22 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	01010 (bin) / 10 (dec)	10001 (bin) / 17 (dec)	00111 (bin) / 7 (dec)	11100 (bin) / 28 (dec)	28 (dec)	00011 (bin) / 3 (dec)	3 (dec)	Passed
58	10010 (bin) / 18 (dec)	11110 (bin) / 30 (dec)	10000 (bin) / 16 (dec)	11100 (bin) / 28 (dec)	28 (dec)	10010 (bin) / 18 (dec)	18 (dec)	Passed
59	10110 (bin) / 22 (dec)	00100 (bin) / 4 (dec)	10001 (bin) / 17 (dec)	00011 (bin) / 3 (dec)	3 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
60	00010 (bin) / 2 (dec)	00010 (bin) / 2 (dec)	10001 (bin) / 17 (dec)	10001 (bin) / 17 (dec)	17 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
61	11111 (bin) / 31 (dec)	10000 (bin) / 16 (dec)	11010 (bin) / 26 (dec)	10101 (bin) / 21 (dec)	21 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
62	11101 (bin) / 29 (dec)	10001 (bin) / 17 (dec)	10010 (bin) / 18 (dec)	11110 (bin) / 30 (dec)	30 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
63	10111 (bin) / 23 (dec)	11011 (bin) / 27 (dec)	00011 (bin) / 3 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
64	10001 (bin) / 17 (dec)	01001 (bin) / 9 (dec)	10111 (bin) / 23 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
65	01010 (bin) / 10 (dec)	01101 (bin) / 13 (dec)	01110 (bin) / 14 (dec)	01001 (bin) / 9 (dec)	9 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
66	01101 (bin) / 13 (dec)	10000 (bin) / 16 (dec)	10001 (bin) / 17 (dec)	01100 (bin) / 12 (dec)	12 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
67	00010 (bin) / 2 (dec)	11010 (bin) / 26 (dec)	00110 (bin) / 6 (dec)	11110 (bin) / 30 (dec)	30 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
68	01111 (bin) / 15 (dec)	00001 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	01001 (bin) / 9 (dec)	9 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
69	11110 (bin) / 30 (dec)	10110 (bin) / 22 (dec)	11010 (bin) / 26 (dec)	10010 (bin) / 18 (dec)	18 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
70	00111 (bin) / 7 (dec)	00101 (bin) / 5 (dec)	10001 (bin) / 17 (dec)	10011 (bin) / 19 (dec)	19 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
71	01111 (bin) / 15 (dec)	10011 (bin) / 19 (dec)	11010 (bin) / 26 (dec)	00110 (bin) / 6 (dec)	6 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
72	11111 (bin) / 31 (dec)	10110 (bin) / 22 (dec)	01111 (bin) / 15 (dec)	00110 (bin) / 6 (dec)	6 (dec)	11111 (bin) / 31 (dec)	31 (dec)	Passed
73	01100 (bin) / 12 (dec)	01001 (bin) / 9 (dec)	01100 (bin) / 12 (dec)	01001 (bin) / 9 (dec)	9 (dec)	01100 (bin) / 12 (dec)	12 (dec)	Passed
74	00101 (bin) / 5 (dec)	10101 (bin) / 21 (dec)	00110 (bin) / 6 (dec)	10110 (bin) / 22 (dec)	22 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
75	01100 (bin) / 12 (dec)	01100 (bin) / 12 (dec)	01101 (bin) / 13 (dec)	01101 (bin) / 13 (dec)	13 (dec)	01100 (bin) / 12 (dec)	12 (dec)	Passed
76	00011 (bin) / 3 (dec)	01110 (bin) / 14 (dec)	00111 (bin) / 7 (dec)	01010 (bin) / 10 (dec)	10 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
77	10101 (bin) / 21 (dec)	01101 (bin) / 13 (dec)	01101 (bin) / 13 (dec)	10101 (bin) / 21 (dec)	21 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
78	11110 (bin) / 30 (dec)	10001 (bin) / 17 (dec)	01010 (bin) / 10 (dec)	00101 (bin) / 5 (dec)	5 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
79	00111 (bin) / 7 (dec)	11011 (bin) / 27 (dec)	11000 (bin) / 24 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
80	11110 (bin) / 30 (dec)	11101 (bin) / 29 (dec)	00000 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
81	00000 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	10100 (bin) / 20 (dec)	00111 (bin) / 7 (dec)	7 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
82	00100 (bin) / 4 (dec)	10100 (bin) / 20 (dec)	11001 (bin) / 25 (dec)	01001 (bin) / 9 (dec)	9 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
83	10001 (bin) / 17 (dec)	11001 (bin) / 25 (dec)	00101 (bin) / 5 (dec)	01101 (bin) / 13 (dec)	13 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
84	00010 (bin) / 2 (dec)	10001 (bin) / 17 (dec)	10000 (bin) / 16 (dec)	00011 (bin) / 3 (dec)	3 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
85	00010 (bin) / 2 (dec)	00100 (bin) / 4 (dec)	10001 (bin) / 17 (dec)	10111 (bin) / 23 (dec)	23 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
86	11010 (bin) / 26 (dec)	01110 (bin) / 14 (dec)	11110 (bin) / 30 (dec)	01010 (bin) / 10 (dec)	10 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
87	00000 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	01000 (bin) / 8 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
88	10101 (bin) / 21 (dec)	11100 (bin) / 28 (dec)	00011 (bin) / 3 (dec)	01010 (bin) / 10 (dec)	10 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
89	00101 (bin) / 5 (dec)	11101 (bin) / 29 (dec)	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
90	01111 (bin) / 15 (dec)	10110 (bin) / 22 (dec)	10000 (bin) / 16 (dec)	01001 (bin) / 9 (dec)	9 (dec)	10110 (bin) / 22 (dec)	22 (dec)	Passed
91	00010 (bin) / 2 (dec)	00100 (bin) / 4 (dec)	10111 (bin) / 23 (dec)	10001 (bin) / 17 (dec)	17 (dec)	00110 (bin) / 6 (dec)	6 (dec)	Passed
92	01111 (bin) / 15 (dec)	11110 (bin) / 30 (dec)	10000 (bin) / 16 (dec)	00001 (bin) / 1 (dec)	1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
93	00000 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	10001 (bin) / 17 (dec)	10110 (bin) / 22 (dec)	22 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
94	11000 (bin) / 24 (dec)	01100 (bin) / 12 (dec)	10100 (bin) / 20 (dec)	00000 (bin) / 0 (dec)	0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
95	01101 (bin) / 13 (dec)	00100 (bin) / 4 (dec)	10110 (bin) / 22 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
96	10001 (bin) / 17 (dec)	00110 (bin) / 6 (dec)	00111 (bin) / 7 (dec)	10000 (bin) / 16 (dec)	16 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
97	10001 (bin) / 17 (dec)	00101 (bin) / 5 (dec)	10101 (bin) / 21 (dec)	00001 (bin) / 1 (dec)	1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
98	10101 (bin) / 21 (dec)	00000 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	10011 (bin) / 19 (dec)	19 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
99	01100 (bin) / 12 (dec)	10011 (bin) / 19 (dec)	11011 (bin) / 27 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
100	10011 (bin) / 19 (dec)	11100 (bin) / 28 (dec)	11011 (bin) / 27 (dec)	10100 (bin) / 20 (dec)	20 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
101	10100 (bin) / 20 (dec)	10001 (bin) / 17 (dec)	01000 (bin) / 8 (dec)	01101 (bin) / 13 (dec)	13 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
102	00111 (bin) / 7 (dec)	11001 (bin) / 25 (dec)	00111 (bin) / 7 (dec)	11001 (bin) / 25 (dec)	25 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
103	10011 (bin) / 19 (dec)	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	10001 (bin) / 17 (dec)	17 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed
104	11100 (bin) / 28 (dec)	00001 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
105	11000 (bin) / 24 (dec)	11101 (bin) / 29 (dec)	00110 (bin) / 6 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
106	00110 (bin) / 6 (dec)	01010 (bin) / 10 (dec)	11100 (bin) / 28 (dec)	10000 (bin) / 16 (dec)	16 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
107	01111 (bin) / 15 (dec)	10010 (bin) / 18 (dec)	01001 (bin) / 9 (dec)	10100 (bin) / 20 (dec)	20 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed
108	01000 (bin) / 8 (dec)	00111 (bin) / 7 (dec)	01000 (bin) / 8 (dec)	00111 (bin) / 7 (dec)	7 (dec)	01000 (bin) / 8 (dec)	8 (dec)	Passed
109	01110 (bin) / 14 (dec)	01011 (bin) / 11 (dec)	10100 (bin) / 20 (dec)	10001 (bin) / 17 (dec)	17 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
110	00011 (bin) / 3 (dec)	00001 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
111	01101 (bin) / 13 (dec)	11011 (bin) / 27 (dec)	10001 (bin) / 17 (dec)	00111 (bin) / 7 (dec)	7 (dec)	11001 (bin) / 25 (dec)	25 (dec)	Passed
112	11100 (bin) / 28 (dec)	11111 (bin) / 31 (dec)	10111 (bin) / 23 (dec)	10100 (bin) / 20 (dec)	20 (dec)	11111 (bin) / 31 (dec)	31 (dec)	Passed
113	00000 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	01011 (bin) / 11 (dec)	10100 (bin) / 20 (dec)	20 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
114	11011 (bin) / 27 (dec)	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	10000 (bin) / 16 (dec)	16 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
115	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	01000 (bin) / 8 (dec)	00011 (bin) / 3 (dec)	3 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
116	11011 (bin) / 27 (dec)	11001 (bin) / 25 (dec)	01111 (bin) / 15 (dec)	01101 (bin) / 13 (dec)	13 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
117	01010 (bin) / 10 (dec)	01011 (bin) / 11 (dec)	11110 (bin) / 30 (dec)	11111 (bin) / 31 (dec)	31 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
118	11110 (bin) / 30 (dec)	11111 (bin) / 31 (dec)	00100 (bin) / 4 (dec)	00101 (bin) / 5 (dec)	5 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
119	10110 (bin) / 22 (dec)	00010 (bin) / 2 (dec)	00001 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
120	01101 (bin) / 13 (dec)	10001 (bin) / 17 (dec)	00011 (bin) / 3 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
121	00000 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	10101 (bin) / 21 (dec)	01110 (bin) / 14 (dec)	14 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
122	00001 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	00010 (bin) / 2 (dec)	2 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
123	11010 (bin) / 26 (dec)	11101 (bin) / 29 (dec)	01001 (bin) / 9 (dec)	01110 (bin) / 14 (dec)	14 (dec)	11001 (bin) / 25 (dec)	25 (dec)	Passed
124	01110 (bin) / 14 (dec)	00101 (bin) / 5 (dec)	01001 (bin) / 9 (dec)	00010 (bin) / 2 (dec)	2 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
125	01000 (bin) / 8 (dec)	01000 (bin) / 8 (dec)	01111 (bin) / 15 (dec)	01111 (bin) / 15 (dec)	15 (dec)	01000 (bin) / 8 (dec)	8 (dec)	Passed
126	00100 (bin) / 4 (dec)	00011 (bin) / 3 (dec)	10000 (bin) / 16 (dec)	10111 (bin) / 23 (dec)	23 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
127	10000 (bin) / 16 (dec)	11001 (bin) / 25 (dec)	11000 (bin) / 24 (dec)	10001 (bin) / 17 (dec)	17 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
128	01110 (bin) / 14 (dec)	10110 (bin) / 22 (dec)	01001 (bin) / 9 (dec)	10001 (bin) / 17 (dec)	17 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
129	01010 (bin) / 10 (dec)	01100 (bin) / 12 (dec)	00011 (bin) / 3 (dec)	00101 (bin) / 5 (dec)	5 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
130	01110 (bin) / 14 (dec)	01110 (bin) / 14 (dec)	00011 (bin) / 3 (dec)	00011 (bin) / 3 (dec)	3 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
131	00110 (bin) / 6 (dec)	00001 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	00011 (bin) / 3 (dec)	3 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
132	10100 (bin) / 20 (dec)	01000 (bin) / 8 (dec)	00010 (bin) / 2 (dec)	11110 (bin) / 30 (dec)	30 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
133	11100 (bin) / 28 (dec)	01101 (bin) / 13 (dec)	11111 (bin) / 31 (dec)	01110 (bin) / 14 (dec)	14 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
134	00010 (bin) / 2 (dec)	01010 (bin) / 10 (dec)	00111 (bin) / 7 (dec)	01111 (bin) / 15 (dec)	15 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
135	01000 (bin) / 8 (dec)	00011 (bin) / 3 (dec)	01001 (bin) / 9 (dec)	00010 (bin) / 2 (dec)	2 (dec)	01001 (bin) / 9 (dec)	9 (dec)	Passed
136	00011 (bin) / 3 (dec)	11110 (bin) / 30 (dec)	01011 (bin) / 11 (dec)	10110 (bin) / 22 (dec)	22 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed
137	11001 (bin) / 25 (dec)	00011 (bin) / 3 (dec)	11110 (bin) / 30 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
138	01000 (bin) / 8 (dec)	01111 (bin) / 15 (dec)	01110 (bin) / 14 (dec)	01001 (bin) / 9 (dec)	9 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
139	00010 (bin) / 2 (dec)	01001 (bin) / 9 (dec)	01110 (bin) / 14 (dec)	00101 (bin) / 5 (dec)	5 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
140	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	9 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed
141	11010 (bin) / 26 (dec)	00101 (bin) / 5 (dec)	10111 (bin) / 23 (dec)	01000 (bin) / 8 (dec)	8 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
142	00110 (bin) / 6 (dec)	10000 (bin) / 16 (dec)	00101 (bin) / 5 (dec)	10011 (bin) / 19 (dec)	19 (dec)	00100 (bin) / 4 (dec)	4 (dec)	Passed
143	01000 (bin) / 8 (dec)	00001 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
144	10000 (bin) / 16 (dec)	10010 (bin) / 18 (dec)	01000 (bin) / 8 (dec)	01010 (bin) / 10 (dec)	10 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
145	01010 (bin) / 10 (dec)	01110 (bin) / 14 (dec)	01001 (bin) / 9 (dec)	01101 (bin) / 13 (dec)	13 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
146	01011 (bin) / 11 (dec)	00010 (bin) / 2 (dec)	00000 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
147	01100 (bin) / 12 (dec)	00001 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	10111 (bin) / 23 (dec)	23 (dec)	01000 (bin) / 8 (dec)	8 (dec)	Passed
148	10011 (bin) / 19 (dec)	11001 (bin) / 25 (dec)	01110 (bin) / 14 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11011 (bin) / 27 (dec)	27 (dec)	Passed
149	00101 (bin) / 5 (dec)	10011 (bin) / 19 (dec)	11101 (bin) / 29 (dec)	01011 (bin) / 11 (dec)	11 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
150	10000 (bin) / 16 (dec)	11011 (bin) / 27 (dec)	10111 (bin) / 23 (dec)	11100 (bin) / 28 (dec)	28 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
151	01010 (bin) / 10 (dec)	00110 (bin) / 6 (dec)	10110 (bin) / 22 (dec)	11010 (bin) / 26 (dec)	26 (dec)	00110 (bin) / 6 (dec)	6 (dec)	Passed
152	11111 (bin) / 31 (dec)	10100 (bin) / 20 (dec)	00100 (bin) / 4 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
153	10001 (bin) / 17 (dec)	01010 (bin) / 10 (dec)	01111 (bin) / 15 (dec)	10100 (bin) / 20 (dec)	20 (dec)	01011 (bin) / 11 (dec)	11 (dec)	Passed
154	11101 (bin) / 29 (dec)	00000 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
155	10000 (bin) / 16 (dec)	01010 (bin) / 10 (dec)	10001 (bin) / 17 (dec)	01011 (bin) / 11 (dec)	11 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
156	01100 (bin) / 12 (dec)	11110 (bin) / 30 (dec)	10011 (bin) / 19 (dec)	00001 (bin) / 1 (dec)	1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
157	01011 (bin) / 11 (dec)	11001 (bin) / 25 (dec)	10100 (bin) / 20 (dec)	00110 (bin) / 6 (dec)	6 (dec)	11001 (bin) / 25 (dec)	25 (dec)	Passed
158	10001 (bin) / 17 (dec)	01100 (bin) / 12 (dec)	10010 (bin) / 18 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
159	10111 (bin) / 23 (dec)	11001 (bin) / 25 (dec)	10001 (bin) / 17 (dec)	11111 (bin) / 31 (dec)	31 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
160	10100 (bin) / 20 (dec)	00101 (bin) / 5 (dec)	11001 (bin) / 25 (dec)	01000 (bin) / 8 (dec)	8 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
161	00101 (bin) / 5 (dec)	01001 (bin) / 9 (dec)	00110 (bin) / 6 (dec)	01010 (bin) / 10 (dec)	10 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
162	11100 (bin) / 28 (dec)	11101 (bin) / 29 (dec)	11100 (bin) / 28 (dec)	11101 (bin) / 29 (dec)	29 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
163	11100 (bin) / 28 (dec)	01110 (bin) / 14 (dec)	00010 (bin) / 2 (dec)	10000 (bin) / 16 (dec)	16 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
164	10110 (bin) / 22 (dec)	10010 (bin) / 18 (dec)	01101 (bin) / 13 (dec)	01001 (bin) / 9 (dec)	9 (dec)	10110 (bin) / 22 (dec)	22 (dec)	Passed
165	11101 (bin) / 29 (dec)	01100 (bin) / 12 (dec)	10111 (bin) / 23 (dec)	00110 (bin) / 6 (dec)	6 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
166	01001 (bin) / 9 (dec)	10101 (bin) / 21 (dec)	01110 (bin) / 14 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
167	10110 (bin) / 22 (dec)	10011 (bin) / 19 (dec)	01111 (bin) / 15 (dec)	01010 (bin) / 10 (dec)	10 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
168	11100 (bin) / 28 (dec)	11111 (bin) / 31 (dec)	10101 (bin) / 21 (dec)	10110 (bin) / 22 (dec)	22 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
169	01111 (bin) / 15 (dec)	01100 (bin) / 12 (dec)	11100 (bin) / 28 (dec)	11111 (bin) / 31 (dec)	31 (dec)	01100 (bin) / 12 (dec)	12 (dec)	Passed
170	00100 (bin) / 4 (dec)	10100 (bin) / 20 (dec)	11110 (bin) / 30 (dec)	01110 (bin) / 14 (dec)	14 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	00100 (bin) / 4 (dec)	01010 (bin) / 10 (dec)	10000 (bin) / 16 (dec)	11110 (bin) / 30 (dec)	30 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
172	00101 (bin) / 5 (dec)	00110 (bin) / 6 (dec)	01010 (bin) / 10 (dec)	01001 (bin) / 9 (dec)	9 (dec)	00110 (bin) / 6 (dec)	6 (dec)	Passed
173	01010 (bin) / 10 (dec)	11100 (bin) / 28 (dec)	10011 (bin) / 19 (dec)	00101 (bin) / 5 (dec)	5 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
174	11000 (bin) / 24 (dec)	00110 (bin) / 6 (dec)	11001 (bin) / 25 (dec)	00111 (bin) / 7 (dec)	7 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
175	11011 (bin) / 27 (dec)	10100 (bin) / 20 (dec)	11010 (bin) / 26 (dec)	10101 (bin) / 21 (dec)	21 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
176	11000 (bin) / 24 (dec)	11110 (bin) / 30 (dec)	10111 (bin) / 23 (dec)	10001 (bin) / 17 (dec)	17 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
177	11111 (bin) / 31 (dec)	10010 (bin) / 18 (dec)	10111 (bin) / 23 (dec)	11010 (bin) / 26 (dec)	26 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
178	11111 (bin) / 31 (dec)	10101 (bin) / 21 (dec)	00001 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	10101 (bin) / 21 (dec)	21 (dec)	Passed
179	01100 (bin) / 12 (dec)	00111 (bin) / 7 (dec)	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	16 (dec)	01111 (bin) / 15 (dec)	15 (dec)	Passed
180	11011 (bin) / 27 (dec)	10101 (bin) / 21 (dec)	10010 (bin) / 18 (dec)	11100 (bin) / 28 (dec)	28 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
181	00000 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	10011 (bin) / 19 (dec)	01100 (bin) / 12 (dec)	12 (dec)	10011 (bin) / 19 (dec)	19 (dec)	Passed
182	00001 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	00000 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
183	01111 (bin) / 15 (dec)	01011 (bin) / 11 (dec)	10110 (bin) / 22 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01111 (bin) / 15 (dec)	15 (dec)	Passed
184	01100 (bin) / 12 (dec)	00111 (bin) / 7 (dec)	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
185	11001 (bin) / 25 (dec)	10111 (bin) / 23 (dec)	00001 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10001 (bin) / 17 (dec)	17 (dec)	Passed
186	00110 (bin) / 6 (dec)	10111 (bin) / 23 (dec)	10001 (bin) / 17 (dec)	00000 (bin) / 0 (dec)	0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
187	01010 (bin) / 10 (dec)	11001 (bin) / 25 (dec)	10110 (bin) / 22 (dec)	00101 (bin) / 5 (dec)	5 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
188	00111 (bin) / 7 (dec)	11100 (bin) / 28 (dec)	11100 (bin) / 28 (dec)	00111 (bin) / 7 (dec)	7 (dec)	11100 (bin) / 28 (dec)	28 (dec)	Passed
189	10100 (bin) / 20 (dec)	10100 (bin) / 20 (dec)	11010 (bin) / 26 (dec)	11010 (bin) / 26 (dec)	26 (dec)	10100 (bin) / 20 (dec)	20 (dec)	Passed
190	00110 (bin) / 6 (dec)	10000 (bin) / 16 (dec)	01001 (bin) / 9 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
191	00000 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	01101 (bin) / 13 (dec)	10100 (bin) / 20 (dec)	20 (dec)	01001 (bin) / 9 (dec)	9 (dec)	Passed
192	01110 (bin) / 14 (dec)	11001 (bin) / 25 (dec)	01111 (bin) / 15 (dec)	11000 (bin) / 24 (dec)	24 (dec)	01111 (bin) / 15 (dec)	15 (dec)	Passed
193	01101 (bin) / 13 (dec)	10101 (bin) / 21 (dec)	01100 (bin) / 12 (dec)	10100 (bin) / 20 (dec)	20 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
194	00110 (bin) / 6 (dec)	11110 (bin) / 30 (dec)	00111 (bin) / 7 (dec)	11111 (bin) / 31 (dec)	31 (dec)	00110 (bin) / 6 (dec)	6 (dec)	Passed
195	10011 (bin) / 19 (dec)	11000 (bin) / 24 (dec)	11110 (bin) / 30 (dec)	10101 (bin) / 21 (dec)	21 (dec)	11010 (bin) / 26 (dec)	26 (dec)	Passed
196	00001 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	00011 (bin) / 3 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00001 (bin) / 1 (dec)	1 (dec)	Passed
197	01001 (bin) / 9 (dec)	11111 (bin) / 31 (dec)	10100 (bin) / 20 (dec)	00010 (bin) / 2 (dec)	2 (dec)	11101 (bin) / 29 (dec)	29 (dec)	Passed
198	10010 (bin) / 18 (dec)	00010 (bin) / 2 (dec)	11111 (bin) / 31 (dec)	01111 (bin) / 15 (dec)	15 (dec)	10010 (bin) / 18 (dec)	18 (dec)	Passed
199	10000 (bin) / 16 (dec)	01010 (bin) / 10 (dec)	00110 (bin) / 6 (dec)	11100 (bin) / 28 (dec)	28 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed
200	10010 (bin) / 18 (dec)	01010 (bin) / 10 (dec)	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01010 (bin) / 10 (dec)	10 (dec)	Passed
201	10001 (bin) / 17 (dec)	00110 (bin) / 6 (dec)	00000 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
202	10100 (bin) / 20 (dec)	11011 (bin) / 27 (dec)	01110 (bin) / 14 (dec)	00001 (bin) / 1 (dec)	1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	Passed
203	10010 (bin) / 18 (dec)	00101 (bin) / 5 (dec)	01011 (bin) / 11 (dec)	11100 (bin) / 28 (dec)	28 (dec)	00011 (bin) / 3 (dec)	3 (dec)	Passed
204	11001 (bin) / 25 (dec)	00100 (bin) / 4 (dec)	10000 (bin) / 16 (dec)	01101 (bin) / 13 (dec)	13 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
205	10110 (bin) / 22 (dec)	01010 (bin) / 10 (dec)	01110 (bin) / 14 (dec)	10010 (bin) / 18 (dec)	18 (dec)	01110 (bin) / 14 (dec)	14 (dec)	Passed
206	11101 (bin) / 29 (dec)	11010 (bin) / 26 (dec)	11000 (bin) / 24 (dec)	11111 (bin) / 31 (dec)	31 (dec)	11000 (bin) / 24 (dec)	24 (dec)	Passed
207	10111 (bin) / 23 (dec)	10101 (bin) / 21 (dec)	11110 (bin) / 30 (dec)	11100 (bin) / 28 (dec)	28 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
208	11101 (bin) / 29 (dec)	10110 (bin) / 22 (dec)	01111 (bin) / 15 (dec)	00100 (bin) / 4 (dec)	4 (dec)	11111 (bin) / 31 (dec)	31 (dec)	Passed
209	10000 (bin) / 16 (dec)	10000 (bin) / 16 (dec)	00000 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	Passed
210	00001 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	10010 (bin) / 18 (dec)	11011 (bin) / 27 (dec)	27 (dec)	00000 (bin) / 0 (dec)	0 (dec)	Passed
211	01001 (bin) / 9 (dec)	11110 (bin) / 30 (dec)	01101 (bin) / 13 (dec)	11010 (bin) / 26 (dec)	26 (dec)	01101 (bin) / 13 (dec)	13 (dec)	Passed
212	10011 (bin) / 19 (dec)	00101 (bin) / 5 (dec)	10111 (bin) / 23 (dec)	00001 (bin) / 1 (dec)	1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
213	00011 (bin) / 3 (dec)	11100 (bin) / 28 (dec)	10111 (bin) / 23 (dec)	01000 (bin) / 8 (dec)	8 (dec)	10111 (bin) / 23 (dec)	23 (dec)	Passed
214	00111 (bin) / 7 (dec)	00111 (bin) / 7 (dec)	01000 (bin) / 8 (dec)	01000 (bin) / 8 (dec)	8 (dec)	00111 (bin) / 7 (dec)	7 (dec)	Passed
215	10011 (bin) / 19 (dec)	00100 (bin) / 4 (dec)	10010 (bin) / 18 (dec)	00101 (bin) / 5 (dec)	5 (dec)	10010 (bin) / 18 (dec)	18 (dec)	Passed
216	01101 (bin) / 13 (dec)	10101 (bin) / 21 (dec)	00101 (bin) / 5 (dec)	11101 (bin) / 29 (dec)	29 (dec)	00101 (bin) / 5 (dec)	5 (dec)	Passed
217	10110 (bin) / 22 (dec)	01000 (bin) / 8 (dec)	00010 (bin) / 2 (dec)	11100 (bin) / 28 (dec)	28 (dec)	00010 (bin) / 2 (dec)	2 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```

Testbench for carry_save_adder_l2 with parameter(s) N6

Total tests: 218
Passed tests: 218
Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	001000 (bin) / 8 (dec)	010010 (bin) / 18 (dec)	010101 (bin) / 21 (dec)	001111 (bin) / 15 (dec)	15 (dec)	010000 (bin) / 16 (dec)	16 (dec)	Passed
1	010100 (bin) / 20 (dec)	000101 (bin) / 5 (dec)	110111 (bin) / 55 (dec)	100110 (bin) / 38 (dec)	38 (dec)	010101 (bin) / 21 (dec)	21 (dec)	Passed
2	011100 (bin) / 28 (dec)	110100 (bin) / 52 (dec)	000100 (bin) / 4 (dec)	101100 (bin) / 44 (dec)	44 (dec)	010100 (bin) / 20 (dec)	20 (dec)	Passed
3	000111 (bin) / 7 (dec)	110000 (bin) / 48 (dec)	111011 (bin) / 59 (dec)	001100 (bin) / 12 (dec)	12 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
4	010110 (bin) / 22 (dec)	000111 (bin) / 7 (dec)	101010 (bin) / 42 (dec)	111011 (bin) / 59 (dec)	59 (dec)	000110 (bin) / 6 (dec)	6 (dec)	Passed
5	010101 (bin) / 21 (dec)	010100 (bin) / 20 (dec)	111111 (bin) / 63 (dec)	111110 (bin) / 62 (dec)	62 (dec)	010101 (bin) / 21 (dec)	21 (dec)	Passed
6	100010 (bin) / 34 (dec)	001100 (bin) / 12 (dec)	011100 (bin) / 28 (dec)	110010 (bin) / 50 (dec)	50 (dec)	001100 (bin) / 12 (dec)	12 (dec)	Passed
7	101100 (bin) / 44 (dec)	011010 (bin) / 26 (dec)	010100 (bin) / 20 (dec)	100010 (bin) / 34 (dec)	34 (dec)	011100 (bin) / 28 (dec)	28 (dec)	Passed
8	100000 (bin) / 32 (dec)	000110 (bin) / 6 (dec)	100100 (bin) / 36 (dec)	000010 (bin) / 2 (dec)	2 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
9	101110 (bin) / 46 (dec)	001010 (bin) / 10 (dec)	111010 (bin) / 58 (dec)	011110 (bin) / 30 (dec)	30 (dec)	101010 (bin) / 42 (dec)	42 (dec)	Passed
10	101010 (bin) / 42 (dec)	001100 (bin) / 12 (dec)	110111 (bin) / 55 (dec)	010001 (bin) / 17 (dec)	17 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
11	101100 (bin) / 44 (dec)	011010 (bin) / 26 (dec)	100000 (bin) / 32 (dec)	010110 (bin) / 22 (dec)	22 (dec)	101000 (bin) / 40 (dec)	40 (dec)	Passed
12	110000 (bin) / 48 (dec)	110100 (bin) / 52 (dec)	111010 (bin) / 58 (dec)	111110 (bin) / 62 (dec)	62 (dec)	110000 (bin) / 48 (dec)	48 (dec)	Passed
13	011100 (bin) / 28 (dec)	110000 (bin) / 48 (dec)	000000 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	010000 (bin) / 16 (dec)	16 (dec)	Passed
14	010110 (bin) / 22 (dec)	001001 (bin) / 9 (dec)	111000 (bin) / 56 (dec)	100111 (bin) / 39 (dec)	39 (dec)	011000 (bin) / 24 (dec)	24 (dec)	Passed
15	110111 (bin) / 55 (dec)	010001 (bin) / 17 (dec)	000001 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	010001 (bin) / 17 (dec)	17 (dec)	Passed
16	111101 (bin) / 61 (dec)	010110 (bin) / 22 (dec)	000011 (bin) / 3 (dec)	101000 (bin) / 40 (dec)	40 (dec)	010111 (bin) / 23 (dec)	23 (dec)	Passed
17	010010 (bin) / 18 (dec)	011001 (bin) / 25 (dec)	001111 (bin) / 15 (dec)	000100 (bin) / 4 (dec)	4 (dec)	011011 (bin) / 27 (dec)	27 (dec)	Passed
18	101010 (bin) / 42 (dec)	011110 (bin) / 30 (dec)	000110 (bin) / 6 (dec)	110010 (bin) / 50 (dec)	50 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
19	000100 (bin) / 4 (dec)	001000 (bin) / 8 (dec)	011011 (bin) / 27 (dec)	010111 (bin) / 23 (dec)	23 (dec)	001000 (bin) / 8 (dec)	8 (dec)	Passed
20	110010 (bin) / 50 (dec)	001010 (bin) / 10 (dec)	100011 (bin) / 35 (dec)	011011 (bin) / 27 (dec)	27 (dec)	100010 (bin) / 34 (dec)	34 (dec)	Passed
21	000100 (bin) / 4 (dec)	010001 (bin) / 17 (dec)	000111 (bin) / 7 (dec)	010010 (bin) / 18 (dec)	18 (dec)	000101 (bin) / 5 (dec)	5 (dec)	Passed
22	100100 (bin) / 36 (dec)	001001 (bin) / 9 (dec)	111101 (bin) / 61 (dec)	010000 (bin) / 16 (dec)	16 (dec)	101101 (bin) / 45 (dec)	45 (dec)	Passed
23	010101 (bin) / 21 (dec)	000011 (bin) / 3 (dec)	000101 (bin) / 5 (dec)	010011 (bin) / 19 (dec)	19 (dec)	000101 (bin) / 5 (dec)	5 (dec)	Passed
24	000110 (bin) / 6 (dec)	001110 (bin) / 14 (dec)	101010 (bin) / 42 (dec)	100010 (bin) / 34 (dec)	34 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
25	011111 (bin) / 31 (dec)	001100 (bin) / 12 (dec)	111001 (bin) / 57 (dec)	101010 (bin) / 42 (dec)	42 (dec)	011101 (bin) / 29 (dec)	29 (dec)	Passed
26	111010 (bin) / 58 (dec)	001101 (bin) / 13 (dec)	010100 (bin) / 20 (dec)	100011 (bin) / 35 (dec)	35 (dec)	011100 (bin) / 28 (dec)	28 (dec)	Passed
27	001011 (bin) / 11 (dec)	001001 (bin) / 9 (dec)	110110 (bin) / 54 (dec)	110100 (bin) / 52 (dec)	52 (dec)	001011 (bin) / 11 (dec)	11 (dec)	Passed
28	111011 (bin) / 59 (dec)	000000 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	010000 (bin) / 16 (dec)	16 (dec)	101011 (bin) / 43 (dec)	43 (dec)	Passed
29	001101 (bin) / 13 (dec)	101001 (bin) / 41 (dec)	010000 (bin) / 16 (dec)	110100 (bin) / 52 (dec)	52 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
30	110010 (bin) / 50 (dec)	001101 (bin) / 13 (dec)	110110 (bin) / 54 (dec)	001001 (bin) / 9 (dec)	9 (dec)	110110 (bin) / 54 (dec)	54 (dec)	Passed
31	101111 (bin) / 47 (dec)	011111 (bin) / 31 (dec)	101100 (bin) / 44 (dec)	011100 (bin) / 28 (dec)	28 (dec)	101111 (bin) / 47 (dec)	47 (dec)	Passed
32	000110 (bin) / 6 (dec)	100000 (bin) / 32 (dec)	011010 (bin) / 26 (dec)	111100 (bin) / 60 (dec)	60 (dec)	000010 (bin) / 2 (dec)	2 (dec)	Passed
33	000101 (bin) / 5 (dec)	100101 (bin) / 37 (dec)	011110 (bin) / 30 (dec)	111110 (bin) / 62 (dec)	62 (dec)	000101 (bin) / 5 (dec)	5 (dec)	Passed
34	110000 (bin) / 48 (dec)	110010 (bin) / 50 (dec)	000111 (bin) / 7 (dec)	000101 (bin) / 5 (dec)	5 (dec)	110010 (bin) / 50 (dec)	50 (dec)	Passed
35	111101 (bin) / 61 (dec)	010100 (bin) / 20 (dec)	000000 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	010100 (bin) / 20 (dec)	20 (dec)	Passed
36	001011 (bin) / 11 (dec)	011001 (bin) / 25 (dec)	101000 (bin) / 40 (dec)	111010 (bin) / 58 (dec)	58 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
37	110001 (bin) / 49 (dec)	011110 (bin) / 30 (dec)	010110 (bin) / 22 (dec)	111001 (bin) / 57 (dec)	57 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
38	000111 (bin) / 7 (dec)	001110 (bin) / 14 (dec)	100111 (bin) / 39 (dec)	101110 (bin) / 46 (dec)	46 (dec)	000111 (bin) / 7 (dec)	7 (dec)	Passed
39	100011 (bin) / 35 (dec)	010100 (bin) / 20 (dec)	110101 (bin) / 53 (dec)	000010 (bin) / 2 (dec)	2 (dec)	110101 (bin) / 53 (dec)	53 (dec)	Passed
40	010011 (bin) / 19 (dec)	110111 (bin) / 55 (dec)	001111 (bin) / 15 (dec)	101011 (bin) / 43 (dec)	43 (dec)	010111 (bin) / 23 (dec)	23 (dec)	Passed
41	000100 (bin) / 4 (dec)	110111 (bin) / 55 (dec)	110000 (bin) / 48 (dec)	000011 (bin) / 3 (dec)	3 (dec)	110100 (bin) / 52 (dec)	52 (dec)	Passed
42	100010 (bin) / 34 (dec)	111000 (bin) / 56 (dec)	110100 (bin) / 52 (dec)	101110 (bin) / 46 (dec)	46 (dec)	110000 (bin) / 48 (dec)	48 (dec)	Passed
43	110111 (bin) / 55 (dec)	110001 (bin) / 49 (dec)	101010 (bin) / 42 (dec)	101100 (bin) / 44 (dec)	44 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
44	001000 (bin) / 8 (dec)	101111 (bin) / 47 (dec)	111110 (bin) / 62 (dec)	011001 (bin) / 25 (dec)	25 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
45	001110 (bin) / 14 (dec)	101110 (bin) / 46 (dec)	010110 (bin) / 22 (dec)	110110 (bin) / 54 (dec)	54 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
46	110101 (bin) / 53 (dec)	110010 (bin) / 50 (dec)	101011 (bin) / 43 (dec)	101100 (bin) / 44 (dec)	44 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
47	011110 (bin) / 30 (dec)	101010 (bin) / 42 (dec)	100101 (bin) / 37 (dec)	010001 (bin) / 17 (dec)	17 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
48	000010 (bin) / 2 (dec)	010011 (bin) / 19 (dec)	011101 (bin) / 29 (dec)	001100 (bin) / 12 (dec)	12 (dec)	010011 (bin) / 19 (dec)	19 (dec)	Passed
49	100001 (bin) / 33 (dec)	001100 (bin) / 12 (dec)	110101 (bin) / 53 (dec)	011000 (bin) / 24 (dec)	24 (dec)	100101 (bin) / 37 (dec)	37 (dec)	Passed
50	011010 (bin) / 26 (dec)	101000 (bin) / 40 (dec)	011000 (bin) / 24 (dec)	101010 (bin) / 42 (dec)	42 (dec)	011000 (bin) / 24 (dec)	24 (dec)	Passed
51	100110 (bin) / 38 (dec)	101111 (bin) / 47 (dec)	011100 (bin) / 28 (dec)	010101 (bin) / 21 (dec)	21 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
52	010101 (bin) / 21 (dec)	001010 (bin) / 10 (dec)	000100 (bin) / 4 (dec)	011011 (bin) / 27 (dec)	27 (dec)	000100 (bin) / 4 (dec)	4 (dec)	Passed
53	100011 (bin) / 35 (dec)	100011 (bin) / 35 (dec)	101110 (bin) / 46 (dec)	101110 (bin) / 46 (dec)	46 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
54	011101 (bin) / 29 (dec)	100111 (bin) / 39 (dec)	001100 (bin) / 12 (dec)	110110 (bin) / 54 (dec)	54 (dec)	001101 (bin) / 13 (dec)	13 (dec)	Passed
55	100111 (bin) / 39 (dec)	101100 (bin) / 44 (dec)	000001 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	100101 (bin) / 37 (dec)	37 (dec)	Passed
56	000000 (bin) / 0 (dec)	001100 (bin) / 12 (dec)	111000 (bin) / 56 (dec)	110100 (bin) / 52 (dec)	52 (dec)	001000 (bin) / 8 (dec)	8 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	000011 (bin) / 3 (dec)	111011 (bin) / 59 (dec)	010110 (bin) / 22 (dec)	101110 (bin) / 46 (dec)	46 (dec)	010011 (bin) / 19 (dec)	19 (dec)	Passed
58	010101 (bin) / 21 (dec)	111011 (bin) / 59 (dec)	101101 (bin) / 45 (dec)	000011 (bin) / 3 (dec)	3 (dec)	111101 (bin) / 61 (dec)	61 (dec)	Passed
59	110011 (bin) / 51 (dec)	001100 (bin) / 12 (dec)	101011 (bin) / 43 (dec)	010100 (bin) / 20 (dec)	20 (dec)	101011 (bin) / 43 (dec)	43 (dec)	Passed
60	111000 (bin) / 56 (dec)	110101 (bin) / 53 (dec)	010100 (bin) / 20 (dec)	011001 (bin) / 25 (dec)	25 (dec)	110100 (bin) / 52 (dec)	52 (dec)	Passed
61	101101 (bin) / 45 (dec)	011000 (bin) / 24 (dec)	011011 (bin) / 27 (dec)	101110 (bin) / 46 (dec)	46 (dec)	011001 (bin) / 25 (dec)	25 (dec)	Passed
62	001001 (bin) / 9 (dec)	011011 (bin) / 27 (dec)	011010 (bin) / 26 (dec)	001000 (bin) / 8 (dec)	8 (dec)	011011 (bin) / 27 (dec)	27 (dec)	Passed
63	100011 (bin) / 35 (dec)	001010 (bin) / 10 (dec)	010100 (bin) / 20 (dec)	111101 (bin) / 61 (dec)	61 (dec)	000010 (bin) / 2 (dec)	2 (dec)	Passed
64	100011 (bin) / 35 (dec)	100010 (bin) / 34 (dec)	110001 (bin) / 49 (dec)	110000 (bin) / 48 (dec)	48 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
65	010000 (bin) / 16 (dec)	110100 (bin) / 52 (dec)	000111 (bin) / 7 (dec)	100011 (bin) / 35 (dec)	35 (dec)	010100 (bin) / 20 (dec)	20 (dec)	Passed
66	100110 (bin) / 38 (dec)	101111 (bin) / 47 (dec)	000111 (bin) / 7 (dec)	001110 (bin) / 14 (dec)	14 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
67	100100 (bin) / 36 (dec)	110111 (bin) / 55 (dec)	100100 (bin) / 36 (dec)	110111 (bin) / 55 (dec)	55 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
68	100111 (bin) / 39 (dec)	001001 (bin) / 9 (dec)	011000 (bin) / 24 (dec)	110110 (bin) / 54 (dec)	54 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
69	110010 (bin) / 50 (dec)	100101 (bin) / 37 (dec)	010110 (bin) / 22 (dec)	000001 (bin) / 1 (dec)	1 (dec)	110110 (bin) / 54 (dec)	54 (dec)	Passed
70	110001 (bin) / 49 (dec)	100110 (bin) / 38 (dec)	101001 (bin) / 41 (dec)	111110 (bin) / 62 (dec)	62 (dec)	100001 (bin) / 33 (dec)	33 (dec)	Passed
71	000000 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	010110 (bin) / 22 (dec)	010001 (bin) / 17 (dec)	17 (dec)	000110 (bin) / 6 (dec)	6 (dec)	Passed
72	110110 (bin) / 54 (dec)	001000 (bin) / 8 (dec)	110011 (bin) / 51 (dec)	001101 (bin) / 13 (dec)	13 (dec)	110010 (bin) / 50 (dec)	50 (dec)	Passed
73	100110 (bin) / 38 (dec)	011001 (bin) / 25 (dec)	100011 (bin) / 35 (dec)	011100 (bin) / 28 (dec)	28 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
74	001100 (bin) / 12 (dec)	101010 (bin) / 42 (dec)	010111 (bin) / 23 (dec)	110001 (bin) / 49 (dec)	49 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
75	100111 (bin) / 39 (dec)	011110 (bin) / 30 (dec)	010011 (bin) / 19 (dec)	101010 (bin) / 42 (dec)	42 (dec)	010111 (bin) / 23 (dec)	23 (dec)	Passed
76	010010 (bin) / 18 (dec)	010111 (bin) / 23 (dec)	010110 (bin) / 22 (dec)	010011 (bin) / 19 (dec)	19 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
77	000000 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	101101 (bin) / 45 (dec)	001100 (bin) / 12 (dec)	12 (dec)	100001 (bin) / 33 (dec)	33 (dec)	Passed
78	000010 (bin) / 2 (dec)	110001 (bin) / 49 (dec)	001011 (bin) / 11 (dec)	111000 (bin) / 56 (dec)	56 (dec)	000011 (bin) / 3 (dec)	3 (dec)	Passed
79	101011 (bin) / 43 (dec)	001110 (bin) / 14 (dec)	111110 (bin) / 62 (dec)	011011 (bin) / 27 (dec)	27 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
80	111001 (bin) / 57 (dec)	100011 (bin) / 35 (dec)	110111 (bin) / 55 (dec)	101101 (bin) / 45 (dec)	45 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
81	011011 (bin) / 27 (dec)	010001 (bin) / 17 (dec)	101111 (bin) / 47 (dec)	100101 (bin) / 37 (dec)	37 (dec)	011011 (bin) / 27 (dec)	27 (dec)	Passed
82	110010 (bin) / 50 (dec)	110111 (bin) / 55 (dec)	100001 (bin) / 33 (dec)	100100 (bin) / 36 (dec)	36 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
83	011110 (bin) / 30 (dec)	100011 (bin) / 35 (dec)	110111 (bin) / 55 (dec)	001010 (bin) / 10 (dec)	10 (dec)	110111 (bin) / 55 (dec)	55 (dec)	Passed
84	001001 (bin) / 9 (dec)	100011 (bin) / 35 (dec)	011100 (bin) / 28 (dec)	110110 (bin) / 54 (dec)	54 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
85	110001 (bin) / 49 (dec)	110001 (bin) / 49 (dec)	110001 (bin) / 49 (dec)	110001 (bin) / 49 (dec)	49 (dec)	110001 (bin) / 49 (dec)	49 (dec)	Passed
86	101001 (bin) / 41 (dec)	100000 (bin) / 32 (dec)	000010 (bin) / 2 (dec)	001011 (bin) / 11 (dec)	11 (dec)	100000 (bin) / 32 (dec)	32 (dec)	Passed
87	010110 (bin) / 22 (dec)	000110 (bin) / 6 (dec)	010001 (bin) / 17 (dec)	000001 (bin) / 1 (dec)	1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
88	011110 (bin) / 30 (dec)	100101 (bin) / 37 (dec)	101001 (bin) / 41 (dec)	010010 (bin) / 18 (dec)	18 (dec)	101101 (bin) / 45 (dec)	45 (dec)	Passed
89	100110 (bin) / 38 (dec)	110101 (bin) / 53 (dec)	001110 (bin) / 14 (dec)	011101 (bin) / 29 (dec)	29 (dec)	100110 (bin) / 38 (dec)	38 (dec)	Passed
90	010001 (bin) / 17 (dec)	011010 (bin) / 26 (dec)	000001 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	010001 (bin) / 17 (dec)	17 (dec)	Passed
91	010001 (bin) / 17 (dec)	010100 (bin) / 20 (dec)	001010 (bin) / 10 (dec)	001111 (bin) / 15 (dec)	15 (dec)	010000 (bin) / 16 (dec)	16 (dec)	Passed
92	111100 (bin) / 60 (dec)	110101 (bin) / 53 (dec)	111110 (bin) / 62 (dec)	110111 (bin) / 55 (dec)	55 (dec)	111100 (bin) / 60 (dec)	60 (dec)	Passed
93	010110 (bin) / 22 (dec)	000110 (bin) / 6 (dec)	111000 (bin) / 56 (dec)	101000 (bin) / 40 (dec)	40 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
94	110110 (bin) / 54 (dec)	001100 (bin) / 12 (dec)	110110 (bin) / 54 (dec)	001100 (bin) / 12 (dec)	12 (dec)	110110 (bin) / 54 (dec)	54 (dec)	Passed
95	110001 (bin) / 49 (dec)	101011 (bin) / 43 (dec)	100110 (bin) / 38 (dec)	111100 (bin) / 60 (dec)	60 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
96	110110 (bin) / 54 (dec)	011110 (bin) / 30 (dec)	000101 (bin) / 5 (dec)	101101 (bin) / 45 (dec)	45 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
97	110010 (bin) / 50 (dec)	001110 (bin) / 14 (dec)	111111 (bin) / 63 (dec)	000011 (bin) / 3 (dec)	3 (dec)	111110 (bin) / 62 (dec)	62 (dec)	Passed
98	010001 (bin) / 17 (dec)	111010 (bin) / 58 (dec)	101111 (bin) / 47 (dec)	000100 (bin) / 4 (dec)	4 (dec)	111011 (bin) / 59 (dec)	59 (dec)	Passed
99	110111 (bin) / 55 (dec)	000011 (bin) / 3 (dec)	111010 (bin) / 58 (dec)	001110 (bin) / 14 (dec)	14 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
100	101101 (bin) / 45 (dec)	111101 (bin) / 61 (dec)	000101 (bin) / 5 (dec)	010101 (bin) / 21 (dec)	21 (dec)	101101 (bin) / 45 (dec)	45 (dec)	Passed
101	010000 (bin) / 16 (dec)	111001 (bin) / 57 (dec)	011001 (bin) / 25 (dec)	110000 (bin) / 48 (dec)	48 (dec)	011001 (bin) / 25 (dec)	25 (dec)	Passed
102	000101 (bin) / 5 (dec)	000111 (bin) / 7 (dec)	010111 (bin) / 23 (dec)	010101 (bin) / 21 (dec)	21 (dec)	000111 (bin) / 7 (dec)	7 (dec)	Passed
103	111110 (bin) / 62 (dec)	001101 (bin) / 13 (dec)	000110 (bin) / 6 (dec)	110101 (bin) / 53 (dec)	53 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
104	000100 (bin) / 4 (dec)	011100 (bin) / 28 (dec)	000001 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	000100 (bin) / 4 (dec)	4 (dec)	Passed
105	111111 (bin) / 63 (dec)	111101 (bin) / 61 (dec)	111011 (bin) / 59 (dec)	111001 (bin) / 57 (dec)	57 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
106	000110 (bin) / 6 (dec)	011000 (bin) / 24 (dec)	001010 (bin) / 10 (dec)	010100 (bin) / 20 (dec)	20 (dec)	001010 (bin) / 10 (dec)	10 (dec)	Passed
107	100010 (bin) / 34 (dec)	010110 (bin) / 22 (dec)	010001 (bin) / 17 (dec)	100101 (bin) / 37 (dec)	37 (dec)	010010 (bin) / 18 (dec)	18 (dec)	Passed
108	110111 (bin) / 55 (dec)	110101 (bin) / 53 (dec)	101110 (bin) / 46 (dec)	101100 (bin) / 44 (dec)	44 (dec)	110111 (bin) / 55 (dec)	55 (dec)	Passed
109	000100 (bin) / 4 (dec)	000110 (bin) / 6 (dec)	101011 (bin) / 43 (dec)	101001 (bin) / 41 (dec)	41 (dec)	000110 (bin) / 6 (dec)	6 (dec)	Passed
110	100100 (bin) / 36 (dec)	011000 (bin) / 24 (dec)	111100 (bin) / 60 (dec)	000000 (bin) / 0 (dec)	0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	Passed
111	001000 (bin) / 8 (dec)	010001 (bin) / 17 (dec)	000011 (bin) / 3 (dec)	011010 (bin) / 26 (dec)	26 (dec)	000001 (bin) / 1 (dec)	1 (dec)	Passed
112	101110 (bin) / 46 (dec)	000101 (bin) / 5 (dec)	100101 (bin) / 37 (dec)	001110 (bin) / 14 (dec)	14 (dec)	100101 (bin) / 37 (dec)	37 (dec)	Passed
113	011001 (bin) / 25 (dec)	011001 (bin) / 25 (dec)	000011 (bin) / 3 (dec)	000011 (bin) / 3 (dec)	3 (dec)	011001 (bin) / 25 (dec)	25 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
114	111011 (bin) / 59 (dec)	010110 (bin) / 22 (dec)	111101 (bin) / 61 (dec)	010000 (bin) / 16 (dec)	16 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
115	110011 (bin) / 51 (dec)	111111 (bin) / 63 (dec)	110000 (bin) / 48 (dec)	111100 (bin) / 60 (dec)	60 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
116	100011 (bin) / 35 (dec)	111001 (bin) / 57 (dec)	110111 (bin) / 55 (dec)	101101 (bin) / 45 (dec)	45 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
117	001110 (bin) / 14 (dec)	101011 (bin) / 43 (dec)	001010 (bin) / 10 (dec)	101111 (bin) / 47 (dec)	47 (dec)	001010 (bin) / 10 (dec)	10 (dec)	Passed
118	111001 (bin) / 57 (dec)	001010 (bin) / 10 (dec)	001001 (bin) / 9 (dec)	111010 (bin) / 58 (dec)	58 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
119	010101 (bin) / 21 (dec)	101011 (bin) / 43 (dec)	000101 (bin) / 5 (dec)	111011 (bin) / 59 (dec)	59 (dec)	000101 (bin) / 5 (dec)	5 (dec)	Passed
120	110010 (bin) / 50 (dec)	001111 (bin) / 15 (dec)	001010 (bin) / 10 (dec)	110111 (bin) / 55 (dec)	55 (dec)	001010 (bin) / 10 (dec)	10 (dec)	Passed
121	101110 (bin) / 46 (dec)	011000 (bin) / 24 (dec)	000101 (bin) / 5 (dec)	110011 (bin) / 51 (dec)	51 (dec)	001100 (bin) / 12 (dec)	12 (dec)	Passed
122	000111 (bin) / 7 (dec)	111111 (bin) / 63 (dec)	111100 (bin) / 60 (dec)	000100 (bin) / 4 (dec)	4 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
123	000111 (bin) / 7 (dec)	010001 (bin) / 17 (dec)	101111 (bin) / 47 (dec)	111001 (bin) / 57 (dec)	57 (dec)	000111 (bin) / 7 (dec)	7 (dec)	Passed
124	011100 (bin) / 28 (dec)	010110 (bin) / 22 (dec)	011001 (bin) / 25 (dec)	010011 (bin) / 19 (dec)	19 (dec)	011100 (bin) / 28 (dec)	28 (dec)	Passed
125	000011 (bin) / 3 (dec)	101010 (bin) / 42 (dec)	000100 (bin) / 4 (dec)	101101 (bin) / 45 (dec)	45 (dec)	000010 (bin) / 2 (dec)	2 (dec)	Passed
126	010011 (bin) / 19 (dec)	001011 (bin) / 11 (dec)	011110 (bin) / 30 (dec)	000110 (bin) / 6 (dec)	6 (dec)	011011 (bin) / 27 (dec)	27 (dec)	Passed
127	110000 (bin) / 48 (dec)	001000 (bin) / 8 (dec)	100011 (bin) / 35 (dec)	011011 (bin) / 27 (dec)	27 (dec)	100000 (bin) / 32 (dec)	32 (dec)	Passed
128	001010 (bin) / 10 (dec)	111001 (bin) / 57 (dec)	010010 (bin) / 18 (dec)	100001 (bin) / 33 (dec)	33 (dec)	011010 (bin) / 26 (dec)	26 (dec)	Passed
129	000010 (bin) / 2 (dec)	100010 (bin) / 34 (dec)	110011 (bin) / 51 (dec)	010011 (bin) / 19 (dec)	19 (dec)	100010 (bin) / 34 (dec)	34 (dec)	Passed
130	110011 (bin) / 51 (dec)	000001 (bin) / 1 (dec)	100010 (bin) / 34 (dec)	010000 (bin) / 16 (dec)	16 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
131	111001 (bin) / 57 (dec)	010000 (bin) / 16 (dec)	010011 (bin) / 19 (dec)	111010 (bin) / 58 (dec)	58 (dec)	010001 (bin) / 17 (dec)	17 (dec)	Passed
132	001111 (bin) / 15 (dec)	100101 (bin) / 37 (dec)	111000 (bin) / 56 (dec)	010010 (bin) / 18 (dec)	18 (dec)	101101 (bin) / 45 (dec)	45 (dec)	Passed
133	110111 (bin) / 55 (dec)	101011 (bin) / 43 (dec)	110000 (bin) / 48 (dec)	101100 (bin) / 44 (dec)	44 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
134	100011 (bin) / 35 (dec)	100011 (bin) / 35 (dec)	011010 (bin) / 26 (dec)	011010 (bin) / 26 (dec)	26 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
135	011010 (bin) / 26 (dec)	101001 (bin) / 41 (dec)	100001 (bin) / 33 (dec)	010010 (bin) / 18 (dec)	18 (dec)	101001 (bin) / 41 (dec)	41 (dec)	Passed
136	011010 (bin) / 26 (dec)	100101 (bin) / 37 (dec)	100111 (bin) / 39 (dec)	011000 (bin) / 24 (dec)	24 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
137	100010 (bin) / 34 (dec)	011100 (bin) / 28 (dec)	110100 (bin) / 52 (dec)	001010 (bin) / 10 (dec)	10 (dec)	110100 (bin) / 52 (dec)	52 (dec)	Passed
138	011101 (bin) / 29 (dec)	101111 (bin) / 47 (dec)	000001 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	001101 (bin) / 13 (dec)	13 (dec)	Passed
139	101101 (bin) / 45 (dec)	110101 (bin) / 53 (dec)	000000 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	100101 (bin) / 37 (dec)	37 (dec)	Passed
140	000111 (bin) / 7 (dec)	101001 (bin) / 41 (dec)	000011 (bin) / 3 (dec)	101101 (bin) / 45 (dec)	45 (dec)	000011 (bin) / 3 (dec)	3 (dec)	Passed
141	000111 (bin) / 7 (dec)	010100 (bin) / 20 (dec)	110110 (bin) / 54 (dec)	100101 (bin) / 37 (dec)	37 (dec)	010110 (bin) / 22 (dec)	22 (dec)	Passed
142	101001 (bin) / 41 (dec)	100011 (bin) / 35 (dec)	100011 (bin) / 35 (dec)	101001 (bin) / 41 (dec)	41 (dec)	100011 (bin) / 35 (dec)	35 (dec)	Passed
143	010000 (bin) / 16 (dec)	001101 (bin) / 13 (dec)	111001 (bin) / 57 (dec)	100100 (bin) / 36 (dec)	36 (dec)	011001 (bin) / 25 (dec)	25 (dec)	Passed
144	000010 (bin) / 2 (dec)	101110 (bin) / 46 (dec)	100100 (bin) / 36 (dec)	001000 (bin) / 8 (dec)	8 (dec)	100110 (bin) / 38 (dec)	38 (dec)	Passed
145	000111 (bin) / 7 (dec)	101110 (bin) / 46 (dec)	111101 (bin) / 61 (dec)	010100 (bin) / 20 (dec)	20 (dec)	101111 (bin) / 47 (dec)	47 (dec)	Passed
146	001101 (bin) / 13 (dec)	101001 (bin) / 41 (dec)	110100 (bin) / 52 (dec)	010000 (bin) / 16 (dec)	16 (dec)	101101 (bin) / 45 (dec)	45 (dec)	Passed
147	110100 (bin) / 52 (dec)	001100 (bin) / 12 (dec)	100011 (bin) / 35 (dec)	011011 (bin) / 27 (dec)	27 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
148	010111 (bin) / 23 (dec)	010001 (bin) / 17 (dec)	011100 (bin) / 28 (dec)	011010 (bin) / 26 (dec)	26 (dec)	010101 (bin) / 21 (dec)	21 (dec)	Passed
149	000010 (bin) / 2 (dec)	011111 (bin) / 31 (dec)	000001 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	000011 (bin) / 3 (dec)	3 (dec)	Passed
150	100101 (bin) / 37 (dec)	111001 (bin) / 57 (dec)	110111 (bin) / 55 (dec)	101011 (bin) / 43 (dec)	43 (dec)	110101 (bin) / 53 (dec)	53 (dec)	Passed
151	011111 (bin) / 31 (dec)	110101 (bin) / 53 (dec)	111001 (bin) / 57 (dec)	010011 (bin) / 19 (dec)	19 (dec)	111101 (bin) / 61 (dec)	61 (dec)	Passed
152	111001 (bin) / 57 (dec)	110010 (bin) / 50 (dec)	001101 (bin) / 13 (dec)	000110 (bin) / 6 (dec)	6 (dec)	111001 (bin) / 57 (dec)	57 (dec)	Passed
153	111111 (bin) / 63 (dec)	111101 (bin) / 61 (dec)	011101 (bin) / 29 (dec)	011111 (bin) / 31 (dec)	31 (dec)	111101 (bin) / 61 (dec)	61 (dec)	Passed
154	000101 (bin) / 5 (dec)	011010 (bin) / 26 (dec)	101011 (bin) / 43 (dec)	110100 (bin) / 52 (dec)	52 (dec)	001011 (bin) / 11 (dec)	11 (dec)	Passed
155	101001 (bin) / 41 (dec)	000011 (bin) / 3 (dec)	010101 (bin) / 21 (dec)	111111 (bin) / 63 (dec)	63 (dec)	000001 (bin) / 1 (dec)	1 (dec)	Passed
156	000010 (bin) / 2 (dec)	001111 (bin) / 15 (dec)	100101 (bin) / 37 (dec)	101000 (bin) / 40 (dec)	40 (dec)	000111 (bin) / 7 (dec)	7 (dec)	Passed
157	111100 (bin) / 60 (dec)	111001 (bin) / 57 (dec)	000110 (bin) / 6 (dec)	000011 (bin) / 3 (dec)	3 (dec)	111100 (bin) / 60 (dec)	60 (dec)	Passed
158	000011 (bin) / 3 (dec)	000001 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	101111 (bin) / 47 (dec)	47 (dec)	000001 (bin) / 1 (dec)	1 (dec)	Passed
159	111101 (bin) / 61 (dec)	001000 (bin) / 8 (dec)	000101 (bin) / 5 (dec)	110000 (bin) / 48 (dec)	48 (dec)	001101 (bin) / 13 (dec)	13 (dec)	Passed
160	101110 (bin) / 46 (dec)	011010 (bin) / 26 (dec)	100011 (bin) / 35 (dec)	010111 (bin) / 23 (dec)	23 (dec)	101010 (bin) / 42 (dec)	42 (dec)	Passed
161	100111 (bin) / 39 (dec)	100000 (bin) / 32 (dec)	111100 (bin) / 60 (dec)	111011 (bin) / 59 (dec)	59 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
162	110101 (bin) / 53 (dec)	110111 (bin) / 55 (dec)	001111 (bin) / 15 (dec)	001101 (bin) / 13 (dec)	13 (dec)	110111 (bin) / 55 (dec)	55 (dec)	Passed
163	110000 (bin) / 48 (dec)	010100 (bin) / 20 (dec)	001111 (bin) / 15 (dec)	101011 (bin) / 43 (dec)	43 (dec)	010100 (bin) / 20 (dec)	20 (dec)	Passed
164	101110 (bin) / 46 (dec)	100100 (bin) / 36 (dec)	110000 (bin) / 48 (dec)	111010 (bin) / 58 (dec)	58 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
165	011000 (bin) / 24 (dec)	001100 (bin) / 12 (dec)	100110 (bin) / 38 (dec)	110010 (bin) / 50 (dec)	50 (dec)	001100 (bin) / 12 (dec)	12 (dec)	Passed
166	000000 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	100000 (bin) / 32 (dec)	000011 (bin) / 3 (dec)	3 (dec)	100000 (bin) / 32 (dec)	32 (dec)	Passed
167	001001 (bin) / 9 (dec)	010101 (bin) / 21 (dec)	000010 (bin) / 2 (dec)	011110 (bin) / 30 (dec)	30 (dec)	000001 (bin) / 1 (dec)	1 (dec)	Passed
168	000101 (bin) / 5 (dec)	110101 (bin) / 53 (dec)	111101 (bin) / 61 (dec)	001101 (bin) / 13 (dec)	13 (dec)	110101 (bin) / 53 (dec)	53 (dec)	Passed
169	111000 (bin) / 56 (dec)	101000 (bin) / 40 (dec)	101001 (bin) / 41 (dec)	111001 (bin) / 57 (dec)	57 (dec)	101000 (bin) / 40 (dec)	40 (dec)	Passed
170	010000 (bin) / 16 (dec)	000000 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	110100 (bin) / 52 (dec)	52 (dec)	000000 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	001101 (bin) / 13 (dec)	011001 (bin) / 25 (dec)	001001 (bin) / 9 (dec)	011101 (bin) / 29 (dec)	29 (dec)	001001 (bin) / 9 (dec)	9 (dec)	Passed
172	001111 (bin) / 15 (dec)	100100 (bin) / 36 (dec)	001011 (bin) / 11 (dec)	100000 (bin) / 32 (dec)	32 (dec)	001111 (bin) / 15 (dec)	15 (dec)	Passed
173	101011 (bin) / 43 (dec)	111000 (bin) / 56 (dec)	011100 (bin) / 28 (dec)	001111 (bin) / 15 (dec)	15 (dec)	111000 (bin) / 56 (dec)	56 (dec)	Passed
174	111011 (bin) / 59 (dec)	110110 (bin) / 54 (dec)	011010 (bin) / 26 (dec)	010111 (bin) / 23 (dec)	23 (dec)	111010 (bin) / 58 (dec)	58 (dec)	Passed
175	001110 (bin) / 14 (dec)	111100 (bin) / 60 (dec)	001000 (bin) / 8 (dec)	111010 (bin) / 58 (dec)	58 (dec)	001100 (bin) / 12 (dec)	12 (dec)	Passed
176	110011 (bin) / 51 (dec)	100111 (bin) / 39 (dec)	110010 (bin) / 50 (dec)	100110 (bin) / 38 (dec)	38 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
177	001111 (bin) / 15 (dec)	110101 (bin) / 53 (dec)	111111 (bin) / 63 (dec)	000101 (bin) / 5 (dec)	5 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
178	010101 (bin) / 21 (dec)	000110 (bin) / 6 (dec)	111001 (bin) / 57 (dec)	101010 (bin) / 42 (dec)	42 (dec)	010101 (bin) / 21 (dec)	21 (dec)	Passed
179	100001 (bin) / 33 (dec)	110001 (bin) / 49 (dec)	000101 (bin) / 5 (dec)	010101 (bin) / 21 (dec)	21 (dec)	100001 (bin) / 33 (dec)	33 (dec)	Passed
180	000010 (bin) / 2 (dec)	001010 (bin) / 10 (dec)	000001 (bin) / 1 (dec)	001001 (bin) / 9 (dec)	9 (dec)	000010 (bin) / 2 (dec)	2 (dec)	Passed
181	001001 (bin) / 9 (dec)	101000 (bin) / 40 (dec)	110110 (bin) / 54 (dec)	010111 (bin) / 23 (dec)	23 (dec)	101000 (bin) / 40 (dec)	40 (dec)	Passed
182	001011 (bin) / 11 (dec)	001010 (bin) / 10 (dec)	011000 (bin) / 24 (dec)	011001 (bin) / 25 (dec)	25 (dec)	001010 (bin) / 10 (dec)	10 (dec)	Passed
183	011000 (bin) / 24 (dec)	100010 (bin) / 34 (dec)	010001 (bin) / 17 (dec)	101011 (bin) / 43 (dec)	43 (dec)	010000 (bin) / 16 (dec)	16 (dec)	Passed
184	111001 (bin) / 57 (dec)	101000 (bin) / 40 (dec)	010100 (bin) / 20 (dec)	000101 (bin) / 5 (dec)	5 (dec)	111000 (bin) / 56 (dec)	56 (dec)	Passed
185	000010 (bin) / 2 (dec)	110011 (bin) / 51 (dec)	101000 (bin) / 40 (dec)	011001 (bin) / 25 (dec)	25 (dec)	100010 (bin) / 34 (dec)	34 (dec)	Passed
186	100000 (bin) / 32 (dec)	100101 (bin) / 37 (dec)	000011 (bin) / 3 (dec)	000110 (bin) / 6 (dec)	6 (dec)	100001 (bin) / 33 (dec)	33 (dec)	Passed
187	100111 (bin) / 39 (dec)	001111 (bin) / 15 (dec)	110001 (bin) / 49 (dec)	011001 (bin) / 25 (dec)	25 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
188	111001 (bin) / 57 (dec)	110110 (bin) / 54 (dec)	000011 (bin) / 3 (dec)	001100 (bin) / 12 (dec)	12 (dec)	110011 (bin) / 51 (dec)	51 (dec)	Passed
189	011000 (bin) / 24 (dec)	101111 (bin) / 47 (dec)	111100 (bin) / 60 (dec)	001011 (bin) / 11 (dec)	11 (dec)	111100 (bin) / 60 (dec)	60 (dec)	Passed
190	100110 (bin) / 38 (dec)	011101 (bin) / 29 (dec)	001101 (bin) / 13 (dec)	110110 (bin) / 54 (dec)	54 (dec)	001101 (bin) / 13 (dec)	13 (dec)	Passed
191	100000 (bin) / 32 (dec)	000100 (bin) / 4 (dec)	101101 (bin) / 45 (dec)	001001 (bin) / 9 (dec)	9 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
192	101001 (bin) / 41 (dec)	011001 (bin) / 25 (dec)	100100 (bin) / 36 (dec)	010100 (bin) / 20 (dec)	20 (dec)	101001 (bin) / 41 (dec)	41 (dec)	Passed
193	100011 (bin) / 35 (dec)	111001 (bin) / 57 (dec)	110000 (bin) / 48 (dec)	101010 (bin) / 42 (dec)	42 (dec)	110001 (bin) / 49 (dec)	49 (dec)	Passed
194	110101 (bin) / 53 (dec)	110101 (bin) / 53 (dec)	110101 (bin) / 53 (dec)	110101 (bin) / 53 (dec)	53 (dec)	110101 (bin) / 53 (dec)	53 (dec)	Passed
195	101001 (bin) / 41 (dec)	010110 (bin) / 22 (dec)	011001 (bin) / 25 (dec)	100110 (bin) / 38 (dec)	38 (dec)	011001 (bin) / 25 (dec)	25 (dec)	Passed
196	001000 (bin) / 8 (dec)	001110 (bin) / 14 (dec)	100111 (bin) / 39 (dec)	100001 (bin) / 33 (dec)	33 (dec)	001110 (bin) / 14 (dec)	14 (dec)	Passed
197	010100 (bin) / 20 (dec)	010101 (bin) / 21 (dec)	110000 (bin) / 48 (dec)	110001 (bin) / 49 (dec)	49 (dec)	010100 (bin) / 20 (dec)	20 (dec)	Passed
198	110011 (bin) / 51 (dec)	101110 (bin) / 46 (dec)	011111 (bin) / 31 (dec)	000010 (bin) / 2 (dec)	2 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
199	011010 (bin) / 26 (dec)	111101 (bin) / 61 (dec)	001100 (bin) / 12 (dec)	101011 (bin) / 43 (dec)	43 (dec)	011100 (bin) / 28 (dec)	28 (dec)	Passed
200	011001 (bin) / 25 (dec)	000010 (bin) / 2 (dec)	101000 (bin) / 40 (dec)	110011 (bin) / 51 (dec)	51 (dec)	001000 (bin) / 8 (dec)	8 (dec)	Passed
201	001100 (bin) / 12 (dec)	111010 (bin) / 58 (dec)	111001 (bin) / 57 (dec)	001111 (bin) / 15 (dec)	15 (dec)	111000 (bin) / 56 (dec)	56 (dec)	Passed
202	100100 (bin) / 36 (dec)	100011 (bin) / 35 (dec)	001111 (bin) / 15 (dec)	001000 (bin) / 8 (dec)	8 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
203	010110 (bin) / 22 (dec)	011111 (bin) / 31 (dec)	010001 (bin) / 17 (dec)	011000 (bin) / 24 (dec)	24 (dec)	010111 (bin) / 23 (dec)	23 (dec)	Passed
204	011100 (bin) / 28 (dec)	001001 (bin) / 9 (dec)	100101 (bin) / 37 (dec)	110000 (bin) / 48 (dec)	48 (dec)	001101 (bin) / 13 (dec)	13 (dec)	Passed
205	001000 (bin) / 8 (dec)	000100 (bin) / 4 (dec)	010101 (bin) / 21 (dec)	011001 (bin) / 25 (dec)	25 (dec)	000100 (bin) / 4 (dec)	4 (dec)	Passed
206	011001 (bin) / 25 (dec)	110010 (bin) / 50 (dec)	011011 (bin) / 27 (dec)	110000 (bin) / 48 (dec)	48 (dec)	011011 (bin) / 27 (dec)	27 (dec)	Passed
207	010010 (bin) / 18 (dec)	110011 (bin) / 51 (dec)	111100 (bin) / 60 (dec)	011101 (bin) / 29 (dec)	29 (dec)	110010 (bin) / 50 (dec)	50 (dec)	Passed
208	101111 (bin) / 47 (dec)	011110 (bin) / 30 (dec)	101010 (bin) / 42 (dec)	011011 (bin) / 27 (dec)	27 (dec)	101110 (bin) / 46 (dec)	46 (dec)	Passed
209	101101 (bin) / 45 (dec)	100011 (bin) / 35 (dec)	000111 (bin) / 7 (dec)	001001 (bin) / 9 (dec)	9 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
210	000000 (bin) / 0 (dec)	100111 (bin) / 39 (dec)	101000 (bin) / 40 (dec)	001111 (bin) / 15 (dec)	15 (dec)	100000 (bin) / 32 (dec)	32 (dec)	Passed
211	100111 (bin) / 39 (dec)	101111 (bin) / 47 (dec)	110000 (bin) / 48 (dec)	111000 (bin) / 56 (dec)	56 (dec)	100111 (bin) / 39 (dec)	39 (dec)	Passed
212	111011 (bin) / 59 (dec)	001001 (bin) / 9 (dec)	100010 (bin) / 34 (dec)	010000 (bin) / 16 (dec)	16 (dec)	101011 (bin) / 43 (dec)	43 (dec)	Passed
213	011111 (bin) / 31 (dec)	000011 (bin) / 3 (dec)	010101 (bin) / 21 (dec)	001001 (bin) / 9 (dec)	9 (dec)	010111 (bin) / 23 (dec)	23 (dec)	Passed
214	110110 (bin) / 54 (dec)	101000 (bin) / 40 (dec)	000101 (bin) / 5 (dec)	011011 (bin) / 27 (dec)	27 (dec)	100100 (bin) / 36 (dec)	36 (dec)	Passed
215	101110 (bin) / 46 (dec)	011111 (bin) / 31 (dec)	110111 (bin) / 55 (dec)	000110 (bin) / 6 (dec)	6 (dec)	111111 (bin) / 63 (dec)	63 (dec)	Passed
216	011110 (bin) / 30 (dec)	001010 (bin) / 10 (dec)	011100 (bin) / 28 (dec)	001000 (bin) / 8 (dec)	8 (dec)	011110 (bin) / 30 (dec)	30 (dec)	Passed
217	000001 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	110001 (bin) / 49 (dec)	011010 (bin) / 26 (dec)	26 (dec)	100001 (bin) / 33 (dec)	33 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```


Testbench for carry_save_adder_l2 with parameter(s) N7

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	0101101 (bin) / 45 (dec)	0011110 (bin) / 30 (dec)	1100110 (bin) / 102 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	Passed
1	1100010 (bin) / 98 (dec)	0101000 (bin) / 40 (dec)	1100000 (bin) / 96 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	Passed
2	1011110 (bin) / 94 (dec)	0100010 (bin) / 34 (dec)	1010111 (bin) / 87 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	Passed
3	1111001 (bin) / 121 (dec)	0100001 (bin) / 33 (dec)	0000001 (bin) / 1 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	Passed
4	0100110 (bin) / 38 (dec)	1100111 (bin) / 103 (dec)	0100110 (bin) / 38 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	Passed
5	1010100 (bin) / 84 (dec)	0110000 (bin) / 48 (dec)	0100001 (bin) / 33 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	Passed
6	1011000 (bin) / 88 (dec)	0001111 (bin) / 15 (dec)	1001101 (bin) / 77 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	Passed
7	1111010 (bin) / 122 (dec)	0110101 (bin) / 53 (dec)	1000111 (bin) / 71 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110111 (bin) / 119 (dec)	119 (dec)	Passed
8	1000001 (bin) / 65 (dec)	1100111 (bin) / 103 (dec)	1011110 (bin) / 94 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	Passed
9	1111111 (bin) / 127 (dec)	0011110 (bin) / 30 (dec)	0101110 (bin) / 46 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	Passed
10	1011000 (bin) / 88 (dec)	0010111 (bin) / 23 (dec)	0110110 (bin) / 54 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	Passed
11	1000011 (bin) / 67 (dec)	0101110 (bin) / 46 (dec)	0101011 (bin) / 43 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	Passed
12	1000101 (bin) / 69 (dec)	1110111 (bin) / 119 (dec)	1000001 (bin) / 65 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	Passed
13	1001110 (bin) / 78 (dec)	1011111 (bin) / 95 (dec)	1001000 (bin) / 72 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	Passed
14	1100010 (bin) / 98 (dec)	1010110 (bin) / 86 (dec)	0111100 (bin) / 60 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	Passed
15	1001010 (bin) / 74 (dec)	0101100 (bin) / 44 (dec)	1011100 (bin) / 92 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	Passed
16	0110010 (bin) / 50 (dec)	0100110 (bin) / 38 (dec)	0101100 (bin) / 44 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	Passed
17	0111010 (bin) / 58 (dec)	1111000 (bin) / 120 (dec)	0010011 (bin) / 19 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	Passed
18	1001010 (bin) / 74 (dec)	1011010 (bin) / 90 (dec)	1011010 (bin) / 90 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	Passed
19	0000101 (bin) / 5 (dec)	1011111 (bin) / 95 (dec)	0000100 (bin) / 4 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	Passed
20	1110010 (bin) / 114 (dec)	1110001 (bin) / 113 (dec)	1000011 (bin) / 67 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	Passed
21	0110101 (bin) / 53 (dec)	0001001 (bin) / 9 (dec)	1001100 (bin) / 76 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	Passed
22	0000101 (bin) / 5 (dec)	0111010 (bin) / 58 (dec)	0100110 (bin) / 38 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	Passed
23	1010111 (bin) / 87 (dec)	0001001 (bin) / 9 (dec)	0111101 (bin) / 61 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	Passed
24	0010011 (bin) / 19 (dec)	1100100 (bin) / 100 (dec)	1011100 (bin) / 92 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	Passed
25	0011011 (bin) / 27 (dec)	1010010 (bin) / 82 (dec)	0111000 (bin) / 56 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	Passed
26	0100111 (bin) / 39 (dec)	1110011 (bin) / 115 (dec)	1101110 (bin) / 110 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	Passed
27	1001000 (bin) / 72 (dec)	1111110 (bin) / 126 (dec)	0101001 (bin) / 41 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	Passed
28	1000101 (bin) / 69 (dec)	0101101 (bin) / 45 (dec)	1110011 (bin) / 115 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	Passed
29	0100010 (bin) / 34 (dec)	0000100 (bin) / 4 (dec)	0000001 (bin) / 1 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	Passed
30	1000001 (bin) / 65 (dec)	0000010 (bin) / 2 (dec)	1001111 (bin) / 79 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	Passed
31	0110110 (bin) / 54 (dec)	0001101 (bin) / 13 (dec)	0001111 (bin) / 15 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	Passed
32	1110101 (bin) / 117 (dec)	1110100 (bin) / 116 (dec)	1101010 (bin) / 106 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	Passed
33	0100000 (bin) / 32 (dec)	0010111 (bin) / 23 (dec)	1100011 (bin) / 99 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	Passed
34	0111000 (bin) / 56 (dec)	0000011 (bin) / 3 (dec)	1111000 (bin) / 120 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	Passed
35	1011100 (bin) / 92 (dec)	1011000 (bin) / 88 (dec)	0101010 (bin) / 42 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	Passed
36	1010001 (bin) / 81 (dec)	1111001 (bin) / 121 (dec)	0100000 (bin) / 32 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	Passed
37	1100110 (bin) / 102 (dec)	1100000 (bin) / 96 (dec)	0000001 (bin) / 1 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	Passed
38	1110010 (bin) / 114 (dec)	0100101 (bin) / 37 (dec)	0111010 (bin) / 58 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	Passed
39	0001001 (bin) / 9 (dec)	1001111 (bin) / 79 (dec)	1001001 (bin) / 73 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	Passed
40	1010001 (bin) / 81 (dec)	1101100 (bin) / 108 (dec)	0000001 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	Passed
41	0000110 (bin) / 6 (dec)	0100001 (bin) / 33 (dec)	0101111 (bin) / 47 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	Passed
42	0111011 (bin) / 59 (dec)	1100011 (bin) / 99 (dec)	0011000 (bin) / 24 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	Passed
43	1000100 (bin) / 68 (dec)	0101000 (bin) / 40 (dec)	0101010 (bin) / 42 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	Passed
44	1100101 (bin) / 101 (dec)	1111111 (bin) / 127 (dec)	1101010 (bin) / 106 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	1101111 (bin) / 111 (dec)	111 (dec)	Passed
45	1011100 (bin) / 92 (dec)	1011100 (bin) / 92 (dec)	1000111 (bin) / 71 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	Passed
46	0000000 (bin) / 0 (dec)	1101110 (bin) / 110 (dec)	1010000 (bin) / 80 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	Passed
47	1011101 (bin) / 93 (dec)	1110000 (bin) / 112 (dec)	0101111 (bin) / 47 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	Passed
48	1000011 (bin) / 67 (dec)	0110100 (bin) / 52 (dec)	0100010 (bin) / 34 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	Passed
49	0100100 (bin) / 36 (dec)	1101100 (bin) / 108 (dec)	0001011 (bin) / 11 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	Passed
50	1110100 (bin) / 116 (dec)	1011101 (bin) / 93 (dec)	0011011 (bin) / 27 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	Passed
51	1000010 (bin) / 66 (dec)	1001010 (bin) / 74 (dec)	0011101 (bin) / 29 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	Passed
52	0100111 (bin) / 39 (dec)	0011011 (bin) / 27 (dec)	0011111 (bin) / 31 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	Passed
53	0010001 (bin) / 17 (dec)	0101101 (bin) / 45 (dec)	0011111 (bin) / 31 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	Passed
54	0001011 (bin) / 11 (dec)	1010111 (bin) / 87 (dec)	0110010 (bin) / 50 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	Passed
55	1110110 (bin) / 118 (dec)	0111010 (bin) / 58 (dec)	0011000 (bin) / 24 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	Passed
56	1000111 (bin) / 71 (dec)	1111000 (bin) / 120 (dec)	0011000 (bin) / 24 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	0011011 (bin) / 27 (dec)	1001110 (bin) / 78 (dec)	0000011 (bin) / 3 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	Passed
58	1101010 (bin) / 106 (dec)	1010000 (bin) / 80 (dec)	1101011 (bin) / 107 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	Passed
59	0011100 (bin) / 28 (dec)	0100100 (bin) / 36 (dec)	1100010 (bin) / 98 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	Passed
60	1100111 (bin) / 103 (dec)	0111100 (bin) / 60 (dec)	0000111 (bin) / 7 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	Passed
61	0011011 (bin) / 27 (dec)	1011100 (bin) / 92 (dec)	1111000 (bin) / 120 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	Passed
62	1110011 (bin) / 115 (dec)	0100011 (bin) / 35 (dec)	0111000 (bin) / 56 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	Passed
63	1011000 (bin) / 88 (dec)	0100001 (bin) / 33 (dec)	1100010 (bin) / 98 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	Passed
64	0101100 (bin) / 44 (dec)	0110111 (bin) / 55 (dec)	0111000 (bin) / 56 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	Passed
65	0110001 (bin) / 49 (dec)	1110011 (bin) / 115 (dec)	0010000 (bin) / 16 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	Passed
66	1100101 (bin) / 101 (dec)	1001001 (bin) / 73 (dec)	1011100 (bin) / 92 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	Passed
67	0100110 (bin) / 38 (dec)	1001100 (bin) / 76 (dec)	1111010 (bin) / 122 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	Passed
68	0010111 (bin) / 23 (dec)	1100001 (bin) / 97 (dec)	1000000 (bin) / 64 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	Passed
69	0100110 (bin) / 38 (dec)	0110110 (bin) / 54 (dec)	1000010 (bin) / 66 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	Passed
70	1000100 (bin) / 68 (dec)	1111110 (bin) / 126 (dec)	0010101 (bin) / 21 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	Passed
71	0110111 (bin) / 55 (dec)	0011010 (bin) / 26 (dec)	0010101 (bin) / 21 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	Passed
72	0110111 (bin) / 55 (dec)	0101001 (bin) / 41 (dec)	1110000 (bin) / 112 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	Passed
73	0100001 (bin) / 33 (dec)	1010001 (bin) / 81 (dec)	0011101 (bin) / 29 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	Passed
74	1001011 (bin) / 75 (dec)	1101001 (bin) / 105 (dec)	1111001 (bin) / 121 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	Passed
75	0110011 (bin) / 51 (dec)	1110000 (bin) / 112 (dec)	1001011 (bin) / 75 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	Passed
76	0101110 (bin) / 46 (dec)	1011000 (bin) / 88 (dec)	1100000 (bin) / 96 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	Passed
77	0100001 (bin) / 33 (dec)	1010101 (bin) / 85 (dec)	1101101 (bin) / 109 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	Passed
78	1100110 (bin) / 102 (dec)	1110001 (bin) / 113 (dec)	1111100 (bin) / 124 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	Passed
79	1011011 (bin) / 91 (dec)	1010111 (bin) / 87 (dec)	1001001 (bin) / 73 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	Passed
80	0001111 (bin) / 15 (dec)	1100110 (bin) / 102 (dec)	0011001 (bin) / 25 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	Passed
81	0000111 (bin) / 7 (dec)	1010110 (bin) / 86 (dec)	1111001 (bin) / 121 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	Passed
82	1000011 (bin) / 67 (dec)	1000101 (bin) / 69 (dec)	0111011 (bin) / 59 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	Passed
83	1000010 (bin) / 66 (dec)	0111111 (bin) / 63 (dec)	0101011 (bin) / 43 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	Passed
84	1011101 (bin) / 93 (dec)	0011111 (bin) / 31 (dec)	1101111 (bin) / 111 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	Passed
85	0000110 (bin) / 6 (dec)	0110111 (bin) / 55 (dec)	0110100 (bin) / 52 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	Passed
86	1001000 (bin) / 72 (dec)	0100110 (bin) / 38 (dec)	0100011 (bin) / 35 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	Passed
87	0011101 (bin) / 29 (dec)	0001000 (bin) / 8 (dec)	0101111 (bin) / 47 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	Passed
88	0000010 (bin) / 2 (dec)	0000011 (bin) / 3 (dec)	0010111 (bin) / 23 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0000011 (bin) / 3 (dec)	3 (dec)	Passed
89	1101001 (bin) / 105 (dec)	0010101 (bin) / 21 (dec)	1110001 (bin) / 113 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	Passed
90	0011110 (bin) / 30 (dec)	0110011 (bin) / 51 (dec)	0010010 (bin) / 18 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	Passed
91	1100111 (bin) / 103 (dec)	1100101 (bin) / 101 (dec)	1001100 (bin) / 76 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	Passed
92	1111101 (bin) / 125 (dec)	1100101 (bin) / 101 (dec)	0101001 (bin) / 41 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	Passed
93	0110000 (bin) / 48 (dec)	0100110 (bin) / 38 (dec)	0100111 (bin) / 39 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	Passed
94	1110101 (bin) / 117 (dec)	1110001 (bin) / 113 (dec)	0001001 (bin) / 9 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	Passed
95	1111111 (bin) / 127 (dec)	1010000 (bin) / 80 (dec)	0001100 (bin) / 12 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	Passed
96	0010101 (bin) / 21 (dec)	0001011 (bin) / 11 (dec)	0101101 (bin) / 45 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	Passed
97	1011101 (bin) / 93 (dec)	0100001 (bin) / 33 (dec)	0011101 (bin) / 29 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	Passed
98	0100100 (bin) / 36 (dec)	0101010 (bin) / 42 (dec)	0111001 (bin) / 57 (dec)	0110111 (bin) / 55 (dec)	55 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	Passed
99	1101011 (bin) / 107 (dec)	0101110 (bin) / 46 (dec)	0111111 (bin) / 63 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	Passed
100	1100101 (bin) / 101 (dec)	1110101 (bin) / 117 (dec)	0000111 (bin) / 7 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	Passed
101	0110110 (bin) / 54 (dec)	0110001 (bin) / 49 (dec)	0000000 (bin) / 0 (dec)	0000111 (bin) / 7 (dec)	7 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	Passed
102	0111100 (bin) / 60 (dec)	1011100 (bin) / 92 (dec)	0111001 (bin) / 57 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	Passed
103	0011110 (bin) / 30 (dec)	1010011 (bin) / 83 (dec)	1011011 (bin) / 91 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	Passed
104	1010100 (bin) / 84 (dec)	1101110 (bin) / 110 (dec)	0100101 (bin) / 37 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	Passed
105	0001101 (bin) / 13 (dec)	1001100 (bin) / 76 (dec)	1011010 (bin) / 90 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	Passed
106	0110000 (bin) / 48 (dec)	1100100 (bin) / 100 (dec)	1001110 (bin) / 78 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	Passed
107	1000111 (bin) / 71 (dec)	1010100 (bin) / 84 (dec)	0001000 (bin) / 8 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	Passed
108	0100011 (bin) / 35 (dec)	1111011 (bin) / 123 (dec)	0001010 (bin) / 10 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	Passed
109	1101101 (bin) / 109 (dec)	1101000 (bin) / 104 (dec)	0011010 (bin) / 26 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	Passed
110	1000111 (bin) / 71 (dec)	1000001 (bin) / 65 (dec)	1101111 (bin) / 111 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	Passed
111	1000111 (bin) / 71 (dec)	1101001 (bin) / 105 (dec)	1111011 (bin) / 123 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	Passed
112	0100001 (bin) / 33 (dec)	0011010 (bin) / 26 (dec)	0000100 (bin) / 4 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	Passed
113	1000010 (bin) / 66 (dec)	1101001 (bin) / 105 (dec)	0001000 (bin) / 8 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
114	1011000 (bin) / 88 (dec)	1110101 (bin) / 117 (dec)	0000001 (bin) / 1 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	Passed
115	1100101 (bin) / 101 (dec)	1111101 (bin) / 125 (dec)	0001001 (bin) / 9 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	Passed
116	1010100 (bin) / 84 (dec)	1001101 (bin) / 77 (dec)	1001010 (bin) / 74 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	Passed
117	0101111 (bin) / 47 (dec)	1011100 (bin) / 92 (dec)	1110111 (bin) / 119 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	Passed
118	1101011 (bin) / 107 (dec)	0011110 (bin) / 30 (dec)	1110111 (bin) / 119 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	Passed
119	0010010 (bin) / 18 (dec)	0101010 (bin) / 42 (dec)	1110100 (bin) / 116 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	Passed
120	0010001 (bin) / 17 (dec)	1100111 (bin) / 103 (dec)	1111110 (bin) / 126 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110111 (bin) / 119 (dec)	119 (dec)	Passed
121	0001001 (bin) / 9 (dec)	1101100 (bin) / 108 (dec)	0010001 (bin) / 17 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	Passed
122	0011010 (bin) / 26 (dec)	1111110 (bin) / 126 (dec)	1000010 (bin) / 66 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	Passed
123	0001111 (bin) / 15 (dec)	1101010 (bin) / 106 (dec)	0001101 (bin) / 13 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	Passed
124	0100101 (bin) / 37 (dec)	0001110 (bin) / 14 (dec)	0001010 (bin) / 10 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	Passed
125	0001100 (bin) / 12 (dec)	1011011 (bin) / 91 (dec)	1100001 (bin) / 97 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	Passed
126	1000010 (bin) / 66 (dec)	1101101 (bin) / 109 (dec)	0011000 (bin) / 24 (dec)	0110111 (bin) / 55 (dec)	55 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	Passed
127	0010000 (bin) / 16 (dec)	1001001 (bin) / 73 (dec)	0001010 (bin) / 10 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	Passed
128	1111111 (bin) / 127 (dec)	1101111 (bin) / 111 (dec)	1111010 (bin) / 122 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	Passed
129	1100010 (bin) / 98 (dec)	1011111 (bin) / 95 (dec)	1010110 (bin) / 86 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	Passed
130	0100010 (bin) / 34 (dec)	1101101 (bin) / 109 (dec)	0001010 (bin) / 10 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	Passed
131	1101111 (bin) / 111 (dec)	1100011 (bin) / 99 (dec)	0100110 (bin) / 38 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	Passed
132	0010010 (bin) / 18 (dec)	0111011 (bin) / 59 (dec)	1010001 (bin) / 81 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	Passed
133	0101000 (bin) / 40 (dec)	0001111 (bin) / 15 (dec)	1111101 (bin) / 125 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	Passed
134	0000001 (bin) / 1 (dec)	0001111 (bin) / 15 (dec)	1000101 (bin) / 69 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	Passed
135	1001000 (bin) / 72 (dec)	0011110 (bin) / 30 (dec)	0011001 (bin) / 25 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	Passed
136	1110001 (bin) / 113 (dec)	1010011 (bin) / 83 (dec)	0100000 (bin) / 32 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	Passed
137	1001110 (bin) / 78 (dec)	0001001 (bin) / 9 (dec)	1101101 (bin) / 109 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	Passed
138	0000010 (bin) / 2 (dec)	0001010 (bin) / 10 (dec)	1001010 (bin) / 74 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	Passed
139	1000101 (bin) / 69 (dec)	0001011 (bin) / 11 (dec)	0100000 (bin) / 32 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	Passed
140	1011010 (bin) / 90 (dec)	1110011 (bin) / 115 (dec)	1000011 (bin) / 67 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	Passed
141	1101011 (bin) / 107 (dec)	1101110 (bin) / 110 (dec)	0100010 (bin) / 34 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	Passed
142	0101011 (bin) / 43 (dec)	1111100 (bin) / 124 (dec)	0000011 (bin) / 3 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	Passed
143	1111110 (bin) / 126 (dec)	1111100 (bin) / 124 (dec)	0100011 (bin) / 35 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	Passed
144	1111110 (bin) / 126 (dec)	0100001 (bin) / 33 (dec)	1100000 (bin) / 96 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	Passed
145	1111010 (bin) / 122 (dec)	0100110 (bin) / 38 (dec)	1100001 (bin) / 97 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	Passed
146	0101011 (bin) / 43 (dec)	0110001 (bin) / 49 (dec)	0000101 (bin) / 5 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	Passed
147	0010011 (bin) / 19 (dec)	0001001 (bin) / 9 (dec)	0110111 (bin) / 55 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	Passed
148	0101010 (bin) / 42 (dec)	1111100 (bin) / 124 (dec)	1100100 (bin) / 100 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	Passed
149	0100101 (bin) / 37 (dec)	0111101 (bin) / 61 (dec)	1001111 (bin) / 79 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	Passed
150	0100000 (bin) / 32 (dec)	0011101 (bin) / 29 (dec)	1010000 (bin) / 80 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	Passed
151	0100111 (bin) / 39 (dec)	1000011 (bin) / 67 (dec)	0111100 (bin) / 60 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	Passed
152	0101001 (bin) / 41 (dec)	1111001 (bin) / 121 (dec)	0000010 (bin) / 2 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	Passed
153	1010100 (bin) / 84 (dec)	0000101 (bin) / 5 (dec)	0111001 (bin) / 57 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	Passed
154	0001000 (bin) / 8 (dec)	1011010 (bin) / 90 (dec)	1101111 (bin) / 111 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	Passed
155	0100100 (bin) / 36 (dec)	0101011 (bin) / 43 (dec)	0111001 (bin) / 57 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	Passed
156	1001010 (bin) / 74 (dec)	1010101 (bin) / 85 (dec)	0011010 (bin) / 26 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	Passed
157	1110010 (bin) / 114 (dec)	0000111 (bin) / 7 (dec)	0100000 (bin) / 32 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	Passed
158	0000010 (bin) / 2 (dec)	1110010 (bin) / 114 (dec)	1000110 (bin) / 70 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	Passed
159	1101100 (bin) / 108 (dec)	0010110 (bin) / 22 (dec)	1100101 (bin) / 101 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	Passed
160	1000011 (bin) / 67 (dec)	1111001 (bin) / 121 (dec)	0101101 (bin) / 45 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	Passed
161	0010001 (bin) / 17 (dec)	1010100 (bin) / 84 (dec)	0000011 (bin) / 3 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	Passed
162	1011100 (bin) / 92 (dec)	1000001 (bin) / 65 (dec)	0001011 (bin) / 11 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	Passed
163	1000101 (bin) / 69 (dec)	0111111 (bin) / 63 (dec)	0011001 (bin) / 25 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	Passed
164	1000010 (bin) / 66 (dec)	1001000 (bin) / 72 (dec)	0100110 (bin) / 38 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	Passed
165	1111101 (bin) / 125 (dec)	1001001 (bin) / 73 (dec)	0101011 (bin) / 43 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	Passed
166	0110100 (bin) / 52 (dec)	0010000 (bin) / 16 (dec)	1101011 (bin) / 107 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	Passed
167	1011100 (bin) / 92 (dec)	1011110 (bin) / 94 (dec)	0001110 (bin) / 14 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	Passed
168	0001111 (bin) / 15 (dec)	1000010 (bin) / 66 (dec)	1111100 (bin) / 124 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	Passed
169	0110110 (bin) / 54 (dec)	1110010 (bin) / 114 (dec)	0000101 (bin) / 5 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	Passed
170	1101001 (bin) / 105 (dec)	0011001 (bin) / 25 (dec)	1101101 (bin) / 109 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	0010011 (bin) / 19 (dec)	0010001 (bin) / 17 (dec)	1111111 (bin) / 127 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	Passed
172	1100010 (bin) / 98 (dec)	0011100 (bin) / 28 (dec)	0001111 (bin) / 15 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	Passed
173	0100001 (bin) / 33 (dec)	1100001 (bin) / 97 (dec)	1110101 (bin) / 117 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	Passed
174	1011011 (bin) / 91 (dec)	1111001 (bin) / 121 (dec)	0100100 (bin) / 36 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	Passed
175	1101010 (bin) / 106 (dec)	1000011 (bin) / 67 (dec)	0010001 (bin) / 17 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	Passed
176	0100100 (bin) / 36 (dec)	0111000 (bin) / 56 (dec)	0111001 (bin) / 57 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	Passed
177	0011101 (bin) / 29 (dec)	0111111 (bin) / 63 (dec)	1011011 (bin) / 91 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	Passed
178	0111101 (bin) / 61 (dec)	1110100 (bin) / 116 (dec)	0101111 (bin) / 47 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	Passed
179	0010001 (bin) / 17 (dec)	0000011 (bin) / 3 (dec)	0000100 (bin) / 4 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	Passed
180	0110000 (bin) / 48 (dec)	1010110 (bin) / 86 (dec)	1101110 (bin) / 110 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	Passed
181	0000000 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	0001001 (bin) / 9 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	Passed
182	1101000 (bin) / 104 (dec)	1111001 (bin) / 121 (dec)	0110000 (bin) / 48 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	Passed
183	0110111 (bin) / 55 (dec)	1110011 (bin) / 115 (dec)	1000100 (bin) / 68 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	1110111 (bin) / 119 (dec)	119 (dec)	Passed
184	1100111 (bin) / 103 (dec)	1011111 (bin) / 95 (dec)	1011011 (bin) / 91 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	Passed
185	1010110 (bin) / 86 (dec)	0110101 (bin) / 53 (dec)	0011101 (bin) / 29 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	Passed
186	1110101 (bin) / 117 (dec)	0110101 (bin) / 53 (dec)	1100010 (bin) / 98 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	Passed
187	1100011 (bin) / 99 (dec)	1011101 (bin) / 93 (dec)	1100010 (bin) / 98 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	Passed
188	1110010 (bin) / 114 (dec)	1110011 (bin) / 115 (dec)	1000001 (bin) / 65 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	Passed
189	0110000 (bin) / 48 (dec)	1000111 (bin) / 71 (dec)	1000110 (bin) / 70 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	Passed
190	1001010 (bin) / 74 (dec)	0001000 (bin) / 8 (dec)	1110111 (bin) / 119 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	Passed
191	0101110 (bin) / 46 (dec)	0111110 (bin) / 62 (dec)	0011001 (bin) / 25 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	Passed
192	1001111 (bin) / 79 (dec)	0100001 (bin) / 33 (dec)	0100101 (bin) / 37 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	Passed
193	1110000 (bin) / 112 (dec)	1011111 (bin) / 95 (dec)	1010101 (bin) / 85 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	Passed
194	1100110 (bin) / 102 (dec)	1110100 (bin) / 116 (dec)	0110001 (bin) / 49 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	Passed
195	1000110 (bin) / 70 (dec)	1100101 (bin) / 101 (dec)	0000100 (bin) / 4 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1000100 (bin) / 68 (dec)	68 (dec)	Passed
196	0000001 (bin) / 1 (dec)	0011100 (bin) / 28 (dec)	0101000 (bin) / 40 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	Passed
197	0111001 (bin) / 57 (dec)	0111001 (bin) / 57 (dec)	0000110 (bin) / 6 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	Passed
198	0011010 (bin) / 26 (dec)	1001110 (bin) / 78 (dec)	1110111 (bin) / 119 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	Passed
199	1100111 (bin) / 103 (dec)	1001001 (bin) / 73 (dec)	0110101 (bin) / 53 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	Passed
200	1011001 (bin) / 89 (dec)	1001100 (bin) / 76 (dec)	1111111 (bin) / 127 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	Passed
201	1111101 (bin) / 125 (dec)	0110010 (bin) / 50 (dec)	1101110 (bin) / 110 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	Passed
202	0110101 (bin) / 53 (dec)	1010011 (bin) / 83 (dec)	0111101 (bin) / 61 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	Passed
203	0001100 (bin) / 12 (dec)	0111011 (bin) / 59 (dec)	1000100 (bin) / 68 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	Passed
204	0110011 (bin) / 51 (dec)	0101101 (bin) / 45 (dec)	0110101 (bin) / 53 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	Passed
205	0001100 (bin) / 12 (dec)	0000100 (bin) / 4 (dec)	1011010 (bin) / 90 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	Passed
206	1011100 (bin) / 92 (dec)	1011000 (bin) / 88 (dec)	0101001 (bin) / 41 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	Passed
207	1001011 (bin) / 75 (dec)	1001010 (bin) / 74 (dec)	1100110 (bin) / 102 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	Passed
208	0011100 (bin) / 28 (dec)	0110100 (bin) / 52 (dec)	1010110 (bin) / 86 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	0010100 (bin) / 20 (dec)	20 (dec)	Passed
209	1101111 (bin) / 111 (dec)	0010011 (bin) / 19 (dec)	0110011 (bin) / 51 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	Passed
210	0011111 (bin) / 31 (dec)	0010110 (bin) / 22 (dec)	0010001 (bin) / 17 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	Passed
211	1101011 (bin) / 107 (dec)	1111011 (bin) / 123 (dec)	1010110 (bin) / 86 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	Passed
212	0011101 (bin) / 29 (dec)	1011000 (bin) / 88 (dec)	0111100 (bin) / 60 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	0011100 (bin) / 28 (dec)	28 (dec)	Passed
213	1000010 (bin) / 66 (dec)	1100011 (bin) / 99 (dec)	0110100 (bin) / 52 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	Passed
214	1011101 (bin) / 93 (dec)	0000111 (bin) / 7 (dec)	0001110 (bin) / 14 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	Passed
215	1000110 (bin) / 70 (dec)	1011111 (bin) / 95 (dec)	1011000 (bin) / 88 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	Passed
216	0101100 (bin) / 44 (dec)	1111001 (bin) / 121 (dec)	1011101 (bin) / 93 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	Passed
217	0110111 (bin) / 55 (dec)	0011100 (bin) / 28 (dec)	0110010 (bin) / 50 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```

Testbench for carry_save_adder_l2 with parameter(s) N8

Total tests: 218
Passed tests: 218
Failed tests: 0

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
0	10101111 (bin) / 175 (dec)	01110010 (bin) / 114 (dec)	01110110 (bin) / 118 (dec)	10101011 (bin) / 171 (dec)	171 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	Passed
1	10010000 (bin) / 144 (dec)	11110100 (bin) / 244 (dec)	11101101 (bin) / 237 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	Passed
2	11110101 (bin) / 245 (dec)	11001110 (bin) / 206 (dec)	10100001 (bin) / 161 (dec)	10011010 (bin) / 154 (dec)	154 (dec)	11100101 (bin) / 229 (dec)	229 (dec)	Passed
3	00001101 (bin) / 13 (dec)	10101001 (bin) / 169 (dec)	11010011 (bin) / 211 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	Passed
4	00001101 (bin) / 13 (dec)	00110110 (bin) / 54 (dec)	00111000 (bin) / 56 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	Passed
5	11111110 (bin) / 254 (dec)	10011011 (bin) / 155 (dec)	01010011 (bin) / 83 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	11011011 (bin) / 219 (dec)	219 (dec)	Passed
6	00101111 (bin) / 47 (dec)	11101011 (bin) / 235 (dec)	10010101 (bin) / 149 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	10101111 (bin) / 175 (dec)	175 (dec)	Passed
7	01101111 (bin) / 111 (dec)	10011100 (bin) / 156 (dec)	11001101 (bin) / 205 (dec)	00111110 (bin) / 62 (dec)	62 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	Passed
8	01101101 (bin) / 109 (dec)	00111000 (bin) / 56 (dec)	11000111 (bin) / 199 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	01101101 (bin) / 109 (dec)	109 (dec)	Passed
9	00101110 (bin) / 46 (dec)	01000010 (bin) / 66 (dec)	00001111 (bin) / 15 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	Passed
10	11111000 (bin) / 248 (dec)	01001111 (bin) / 79 (dec)	11110110 (bin) / 246 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	Passed
11	10111101 (bin) / 189 (dec)	00000100 (bin) / 4 (dec)	10011111 (bin) / 159 (dec)	00100110 (bin) / 38 (dec)	38 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	Passed
12	01010101 (bin) / 85 (dec)	00101011 (bin) / 43 (dec)	11111011 (bin) / 251 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	Passed
13	01000010 (bin) / 66 (dec)	00000001 (bin) / 1 (dec)	01010000 (bin) / 80 (dec)	00010011 (bin) / 19 (dec)	19 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	Passed
14	00111110 (bin) / 62 (dec)	10010101 (bin) / 149 (dec)	10101001 (bin) / 169 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	Passed
15	10001001 (bin) / 137 (dec)	01010001 (bin) / 81 (dec)	00110110 (bin) / 54 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	00010001 (bin) / 17 (dec)	17 (dec)	Passed
16	10101101 (bin) / 173 (dec)	00110110 (bin) / 54 (dec)	01001001 (bin) / 73 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	Passed
17	01011100 (bin) / 92 (dec)	01001111 (bin) / 79 (dec)	10011011 (bin) / 155 (dec)	10001000 (bin) / 136 (dec)	136 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	Passed
18	10000110 (bin) / 134 (dec)	01010010 (bin) / 82 (dec)	10001111 (bin) / 143 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	Passed
19	10101001 (bin) / 169 (dec)	00011001 (bin) / 25 (dec)	01010001 (bin) / 81 (dec)	11100001 (bin) / 225 (dec)	225 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	Passed
20	00110101 (bin) / 53 (dec)	10010001 (bin) / 145 (dec)	11000101 (bin) / 197 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	10010101 (bin) / 149 (dec)	149 (dec)	Passed
21	10001011 (bin) / 139 (dec)	11100001 (bin) / 225 (dec)	01101111 (bin) / 111 (dec)	00000101 (bin) / 5 (dec)	5 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	Passed
22	10011001 (bin) / 153 (dec)	00110001 (bin) / 49 (dec)	11111000 (bin) / 248 (dec)	01010000 (bin) / 80 (dec)	80 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	Passed
23	10011100 (bin) / 156 (dec)	01000011 (bin) / 67 (dec)	10011000 (bin) / 152 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	Passed
24	11010011 (bin) / 211 (dec)	01101001 (bin) / 105 (dec)	10100011 (bin) / 163 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	Passed
25	11000011 (bin) / 195 (dec)	00111010 (bin) / 58 (dec)	10001101 (bin) / 141 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	Passed
26	11011001 (bin) / 217 (dec)	10110000 (bin) / 176 (dec)	10001000 (bin) / 136 (dec)	11100001 (bin) / 225 (dec)	225 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	Passed
27	01101000 (bin) / 104 (dec)	11100001 (bin) / 225 (dec)	01111101 (bin) / 125 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	01101001 (bin) / 105 (dec)	105 (dec)	Passed
28	00000111 (bin) / 7 (dec)	00001110 (bin) / 14 (dec)	10001000 (bin) / 136 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	Passed
29	11110011 (bin) / 243 (dec)	00100010 (bin) / 34 (dec)	11011010 (bin) / 218 (dec)	00001011 (bin) / 11 (dec)	11 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	Passed
30	01111110 (bin) / 126 (dec)	10101111 (bin) / 175 (dec)	10011001 (bin) / 153 (dec)	01001000 (bin) / 72 (dec)	72 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	Passed
31	10011010 (bin) / 154 (dec)	01111010 (bin) / 122 (dec)	10101101 (bin) / 173 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	10111010 (bin) / 186 (dec)	186 (dec)	Passed
32	11100101 (bin) / 229 (dec)	10100000 (bin) / 160 (dec)	00100100 (bin) / 36 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	Passed
33	10111100 (bin) / 188 (dec)	10001010 (bin) / 138 (dec)	01011110 (bin) / 94 (dec)	01101000 (bin) / 104 (dec)	104 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	Passed
34	00000110 (bin) / 6 (dec)	11001010 (bin) / 202 (dec)	00101110 (bin) / 46 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	Passed
35	10011001 (bin) / 153 (dec)	10011010 (bin) / 154 (dec)	10000000 (bin) / 128 (dec)	10000011 (bin) / 131 (dec)	131 (dec)	10011000 (bin) / 152 (dec)	152 (dec)	Passed
36	00000101 (bin) / 5 (dec)	10111110 (bin) / 190 (dec)	11000100 (bin) / 196 (dec)	01111111 (bin) / 127 (dec)	127 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	Passed
37	01011110 (bin) / 94 (dec)	10011101 (bin) / 157 (dec)	01000111 (bin) / 71 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	Passed
38	10101111 (bin) / 175 (dec)	01110110 (bin) / 118 (dec)	00110100 (bin) / 52 (dec)	11101101 (bin) / 237 (dec)	237 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	Passed
39	00010011 (bin) / 19 (dec)	10001001 (bin) / 137 (dec)	11001111 (bin) / 207 (dec)	01010101 (bin) / 85 (dec)	85 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	Passed
40	01000110 (bin) / 70 (dec)	11000010 (bin) / 194 (dec)	01101000 (bin) / 104 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	Passed
41	00110111 (bin) / 55 (dec)	01111011 (bin) / 123 (dec)	01000011 (bin) / 67 (dec)	00001111 (bin) / 15 (dec)	15 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	Passed
42	00011011 (bin) / 27 (dec)	00000000 (bin) / 0 (dec)	11111001 (bin) / 249 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	Passed
43	11110111 (bin) / 247 (dec)	01110010 (bin) / 114 (dec)	11100000 (bin) / 224 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	Passed
44	00010010 (bin) / 18 (dec)	11101101 (bin) / 237 (dec)	01111001 (bin) / 121 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	Passed
45	00100010 (bin) / 34 (dec)	01101010 (bin) / 106 (dec)	11100000 (bin) / 224 (dec)	10101000 (bin) / 168 (dec)	168 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	Passed
46	11010001 (bin) / 209 (dec)	10000110 (bin) / 134 (dec)	00010111 (bin) / 23 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	10010111 (bin) / 151 (dec)	151 (dec)	Passed
47	11111110 (bin) / 254 (dec)	01101011 (bin) / 107 (dec)	01101011 (bin) / 107 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	Passed
48	11101000 (bin) / 232 (dec)	00010111 (bin) / 23 (dec)	01111111 (bin) / 127 (dec)	10000000 (bin) / 128 (dec)	128 (dec)	01111111 (bin) / 127 (dec)	127 (dec)	Passed
49	00001100 (bin) / 12 (dec)	01110111 (bin) / 119 (dec)	00100010 (bin) / 34 (dec)	01011001 (bin) / 89 (dec)	89 (dec)	00100110 (bin) / 38 (dec)	38 (dec)	Passed
50	01000110 (bin) / 70 (dec)	10111100 (bin) / 188 (dec)	11101101 (bin) / 237 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	Passed
51	01100000 (bin) / 96 (dec)	01100110 (bin) / 102 (dec)	11001001 (bin) / 201 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	Passed
52	01100111 (bin) / 103 (dec)	11100110 (bin) / 230 (dec)	01010000 (bin) / 80 (dec)	11010001 (bin) / 209 (dec)	209 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	Passed
53	01011111 (bin) / 95 (dec)	00110100 (bin) / 52 (dec)	01110001 (bin) / 113 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	01110101 (bin) / 117 (dec)	117 (dec)	Passed
54	00001110 (bin) / 14 (dec)	11010100 (bin) / 212 (dec)	00011010 (bin) / 26 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	Passed
55	11011000 (bin) / 216 (dec)	01111011 (bin) / 123 (dec)	11101000 (bin) / 232 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	Passed
56	00001001 (bin) / 9 (dec)	00000100 (bin) / 4 (dec)	10110101 (bin) / 181 (dec)	10111000 (bin) / 184 (dec)	184 (dec)	00000101 (bin) / 5 (dec)	5 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
57	10110111 (bin) / 183 (dec)	11010101 (bin) / 213 (dec)	00110111 (bin) / 55 (dec)	01010101 (bin) / 85 (dec)	85 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	Passed
58	01000011 (bin) / 67 (dec)	01111100 (bin) / 124 (dec)	10101110 (bin) / 174 (dec)	10010001 (bin) / 145 (dec)	145 (dec)	01101110 (bin) / 110 (dec)	110 (dec)	Passed
59	10111010 (bin) / 186 (dec)	10100001 (bin) / 161 (dec)	11110000 (bin) / 240 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	Passed
60	01011101 (bin) / 93 (dec)	00001001 (bin) / 9 (dec)	01100100 (bin) / 100 (dec)	00110000 (bin) / 48 (dec)	48 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	Passed
61	10011010 (bin) / 154 (dec)	11111010 (bin) / 250 (dec)	01000111 (bin) / 71 (dec)	00100111 (bin) / 39 (dec)	39 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	Passed
62	01001010 (bin) / 74 (dec)	00000111 (bin) / 7 (dec)	00001010 (bin) / 10 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	Passed
63	10111001 (bin) / 185 (dec)	00111110 (bin) / 62 (dec)	11000111 (bin) / 199 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	Passed
64	00000000 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	00101101 (bin) / 45 (dec)	10010100 (bin) / 148 (dec)	148 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	Passed
65	01000011 (bin) / 67 (dec)	10100010 (bin) / 162 (dec)	11101011 (bin) / 235 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	Passed
66	10010001 (bin) / 145 (dec)	01000011 (bin) / 67 (dec)	10000100 (bin) / 132 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	Passed
67	01011001 (bin) / 89 (dec)	00100000 (bin) / 32 (dec)	00000000 (bin) / 0 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	Passed
68	11000000 (bin) / 192 (dec)	11100001 (bin) / 225 (dec)	00001110 (bin) / 14 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	Passed
69	01111000 (bin) / 120 (dec)	00101000 (bin) / 40 (dec)	10110011 (bin) / 179 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	Passed
70	10100101 (bin) / 165 (dec)	00111000 (bin) / 56 (dec)	00010110 (bin) / 22 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	00110100 (bin) / 52 (dec)	52 (dec)	Passed
71	00110010 (bin) / 50 (dec)	01011111 (bin) / 95 (dec)	10111011 (bin) / 187 (dec)	11010110 (bin) / 214 (dec)	214 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	Passed
72	01000010 (bin) / 66 (dec)	01110010 (bin) / 114 (dec)	11001010 (bin) / 202 (dec)	11111010 (bin) / 250 (dec)	250 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	Passed
73	11011101 (bin) / 221 (dec)	10000001 (bin) / 129 (dec)	01101001 (bin) / 105 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	11001001 (bin) / 201 (dec)	201 (dec)	Passed
74	11101000 (bin) / 232 (dec)	10110111 (bin) / 183 (dec)	00010111 (bin) / 23 (dec)	01001000 (bin) / 72 (dec)	72 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	Passed
75	10011000 (bin) / 152 (dec)	11101001 (bin) / 233 (dec)	00001101 (bin) / 13 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	Passed
76	11011111 (bin) / 223 (dec)	01001000 (bin) / 72 (dec)	01101000 (bin) / 104 (dec)	11111111 (bin) / 255 (dec)	255 (dec)	01001000 (bin) / 72 (dec)	72 (dec)	Passed
77	10100100 (bin) / 164 (dec)	00010001 (bin) / 17 (dec)	10000100 (bin) / 132 (dec)	00110001 (bin) / 49 (dec)	49 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	Passed
78	10000001 (bin) / 129 (dec)	10010111 (bin) / 151 (dec)	00101010 (bin) / 42 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	10000011 (bin) / 131 (dec)	131 (dec)	Passed
79	10110011 (bin) / 179 (dec)	11110011 (bin) / 243 (dec)	00000111 (bin) / 7 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	10110011 (bin) / 179 (dec)	179 (dec)	Passed
80	11100110 (bin) / 230 (dec)	11011011 (bin) / 219 (dec)	10010001 (bin) / 145 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	Passed
81	01100001 (bin) / 97 (dec)	00001001 (bin) / 9 (dec)	11000000 (bin) / 192 (dec)	10101000 (bin) / 168 (dec)	168 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	Passed
82	11010100 (bin) / 212 (dec)	01101001 (bin) / 105 (dec)	10010000 (bin) / 144 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	11010000 (bin) / 208 (dec)	208 (dec)	Passed
83	01011111 (bin) / 95 (dec)	01011100 (bin) / 92 (dec)	11111000 (bin) / 248 (dec)	11111011 (bin) / 251 (dec)	251 (dec)	01011100 (bin) / 92 (dec)	92 (dec)	Passed
84	01100101 (bin) / 101 (dec)	10011000 (bin) / 152 (dec)	11001101 (bin) / 205 (dec)	00110000 (bin) / 48 (dec)	48 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	Passed
85	10101000 (bin) / 168 (dec)	00010011 (bin) / 19 (dec)	11101101 (bin) / 237 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	Passed
86	01010010 (bin) / 82 (dec)	01101101 (bin) / 109 (dec)	10101111 (bin) / 175 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	01101111 (bin) / 111 (dec)	111 (dec)	Passed
87	01011101 (bin) / 93 (dec)	01010110 (bin) / 86 (dec)	00010110 (bin) / 22 (dec)	00011101 (bin) / 29 (dec)	29 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	Passed
88	11101100 (bin) / 236 (dec)	00001101 (bin) / 13 (dec)	00110110 (bin) / 54 (dec)	11010111 (bin) / 215 (dec)	215 (dec)	00101100 (bin) / 44 (dec)	44 (dec)	Passed
89	00011001 (bin) / 25 (dec)	00010100 (bin) / 20 (dec)	11101010 (bin) / 234 (dec)	11100111 (bin) / 231 (dec)	231 (dec)	00011000 (bin) / 24 (dec)	24 (dec)	Passed
90	01101000 (bin) / 104 (dec)	01110010 (bin) / 114 (dec)	00001110 (bin) / 14 (dec)	00010100 (bin) / 20 (dec)	20 (dec)	01101010 (bin) / 106 (dec)	106 (dec)	Passed
91	01101011 (bin) / 107 (dec)	11100010 (bin) / 226 (dec)	11101111 (bin) / 239 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	Passed
92	11001101 (bin) / 205 (dec)	10100010 (bin) / 162 (dec)	01011011 (bin) / 91 (dec)	00110100 (bin) / 52 (dec)	52 (dec)	11001011 (bin) / 203 (dec)	203 (dec)	Passed
93	00010100 (bin) / 20 (dec)	10101011 (bin) / 171 (dec)	01011101 (bin) / 93 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	00011101 (bin) / 29 (dec)	29 (dec)	Passed
94	10111011 (bin) / 187 (dec)	01100001 (bin) / 97 (dec)	01111000 (bin) / 120 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	Passed
95	11100101 (bin) / 229 (dec)	10110010 (bin) / 178 (dec)	11001010 (bin) / 202 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	Passed
96	10111110 (bin) / 190 (dec)	11100100 (bin) / 228 (dec)	10011001 (bin) / 153 (dec)	11000011 (bin) / 195 (dec)	195 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	Passed
97	01000000 (bin) / 64 (dec)	01110010 (bin) / 114 (dec)	10100010 (bin) / 162 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	Passed
98	11011011 (bin) / 219 (dec)	01101000 (bin) / 104 (dec)	11010101 (bin) / 213 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	Passed
99	00111011 (bin) / 59 (dec)	01111000 (bin) / 120 (dec)	00111010 (bin) / 58 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	Passed
100	11111011 (bin) / 251 (dec)	01010011 (bin) / 83 (dec)	11110101 (bin) / 245 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	Passed
101	11001010 (bin) / 202 (dec)	01101011 (bin) / 107 (dec)	01110101 (bin) / 117 (dec)	11010100 (bin) / 212 (dec)	212 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	Passed
102	00011000 (bin) / 24 (dec)	10101110 (bin) / 174 (dec)	11000100 (bin) / 196 (dec)	01110010 (bin) / 114 (dec)	114 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	Passed
103	01010001 (bin) / 81 (dec)	01111111 (bin) / 127 (dec)	11100000 (bin) / 224 (dec)	11001110 (bin) / 206 (dec)	206 (dec)	01110001 (bin) / 113 (dec)	113 (dec)	Passed
104	00000110 (bin) / 6 (dec)	11000100 (bin) / 196 (dec)	10100000 (bin) / 160 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	Passed
105	11101010 (bin) / 234 (dec)	00110010 (bin) / 50 (dec)	00101011 (bin) / 43 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	Passed
106	00000010 (bin) / 2 (dec)	11011100 (bin) / 220 (dec)	10001010 (bin) / 138 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	10001010 (bin) / 138 (dec)	138 (dec)	Passed
107	00110011 (bin) / 51 (dec)	01010011 (bin) / 83 (dec)	11000010 (bin) / 194 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	01010011 (bin) / 83 (dec)	83 (dec)	Passed
108	11101011 (bin) / 235 (dec)	11111101 (bin) / 253 (dec)	00101001 (bin) / 41 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	Passed
109	00010001 (bin) / 17 (dec)	11111101 (bin) / 253 (dec)	11100001 (bin) / 225 (dec)	00001101 (bin) / 13 (dec)	13 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	Passed
110	11111101 (bin) / 253 (dec)	00100111 (bin) / 39 (dec)	01111000 (bin) / 120 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	Passed
111	01010110 (bin) / 86 (dec)	10011100 (bin) / 156 (dec)	00000101 (bin) / 5 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	00010100 (bin) / 20 (dec)	20 (dec)	Passed
112	00101001 (bin) / 41 (dec)	10110001 (bin) / 177 (dec)	01101001 (bin) / 105 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	Passed
113	10001001 (bin) / 137 (dec)	00001000 (bin) / 8 (dec)	01011111 (bin) / 95 (dec)	11011110 (bin) / 222 (dec)	222 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
114	10001111 (bin) / 143 (dec)	10101110 (bin) / 174 (dec)	00010101 (bin) / 21 (dec)	00110100 (bin) / 52 (dec)	52 (dec)	10001111 (bin) / 143 (dec)	143 (dec)	Passed
115	01100110 (bin) / 102 (dec)	10010000 (bin) / 144 (dec)	00110111 (bin) / 55 (dec)	11000001 (bin) / 193 (dec)	193 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	Passed
116	10000110 (bin) / 134 (dec)	01110010 (bin) / 114 (dec)	10000011 (bin) / 131 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	10000010 (bin) / 130 (dec)	130 (dec)	Passed
117	10010100 (bin) / 148 (dec)	01111010 (bin) / 122 (dec)	01110111 (bin) / 119 (dec)	10011001 (bin) / 153 (dec)	153 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	Passed
118	00100001 (bin) / 33 (dec)	10001110 (bin) / 142 (dec)	00000101 (bin) / 5 (dec)	10101010 (bin) / 170 (dec)	170 (dec)	00000101 (bin) / 5 (dec)	5 (dec)	Passed
119	10100100 (bin) / 164 (dec)	11100111 (bin) / 231 (dec)	10110111 (bin) / 183 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	10100111 (bin) / 167 (dec)	167 (dec)	Passed
120	11111101 (bin) / 253 (dec)	10010100 (bin) / 148 (dec)	11101011 (bin) / 235 (dec)	10000010 (bin) / 130 (dec)	130 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	Passed
121	01100011 (bin) / 99 (dec)	00000000 (bin) / 0 (dec)	11111110 (bin) / 254 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	Passed
122	00111101 (bin) / 61 (dec)	00000010 (bin) / 2 (dec)	00000010 (bin) / 2 (dec)	00111101 (bin) / 61 (dec)	61 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	Passed
123	10100010 (bin) / 162 (dec)	10101100 (bin) / 172 (dec)	10111010 (bin) / 186 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	10101010 (bin) / 170 (dec)	170 (dec)	Passed
124	11100010 (bin) / 226 (dec)	01101101 (bin) / 109 (dec)	01110010 (bin) / 114 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	Passed
125	10000101 (bin) / 133 (dec)	10001001 (bin) / 137 (dec)	10010010 (bin) / 146 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	Passed
126	00100111 (bin) / 39 (dec)	00010111 (bin) / 23 (dec)	11001101 (bin) / 205 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	00000111 (bin) / 7 (dec)	7 (dec)	Passed
127	10010110 (bin) / 150 (dec)	00111110 (bin) / 62 (dec)	11001100 (bin) / 204 (dec)	01100100 (bin) / 100 (dec)	100 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	Passed
128	10000101 (bin) / 133 (dec)	10000110 (bin) / 134 (dec)	00001100 (bin) / 12 (dec)	00001111 (bin) / 15 (dec)	15 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	Passed
129	00010110 (bin) / 22 (dec)	10001011 (bin) / 139 (dec)	00111101 (bin) / 61 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	00011111 (bin) / 31 (dec)	31 (dec)	Passed
130	01100000 (bin) / 96 (dec)	01111011 (bin) / 123 (dec)	10000110 (bin) / 134 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	Passed
131	00100010 (bin) / 34 (dec)	00110100 (bin) / 52 (dec)	00101110 (bin) / 46 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	00100110 (bin) / 38 (dec)	38 (dec)	Passed
132	11001000 (bin) / 200 (dec)	00000000 (bin) / 0 (dec)	11100110 (bin) / 230 (dec)	00101110 (bin) / 46 (dec)	46 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	Passed
133	10100100 (bin) / 164 (dec)	10010000 (bin) / 144 (dec)	10101010 (bin) / 170 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	Passed
134	11000011 (bin) / 195 (dec)	01101010 (bin) / 106 (dec)	01011110 (bin) / 94 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	Passed
135	01010101 (bin) / 85 (dec)	11010111 (bin) / 215 (dec)	11011100 (bin) / 220 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	11010101 (bin) / 213 (dec)	213 (dec)	Passed
136	00010001 (bin) / 17 (dec)	01110110 (bin) / 118 (dec)	11011011 (bin) / 219 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	01010011 (bin) / 83 (dec)	83 (dec)	Passed
137	01101001 (bin) / 105 (dec)	00110011 (bin) / 51 (dec)	00011110 (bin) / 30 (dec)	01000100 (bin) / 68 (dec)	68 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	Passed
138	00000010 (bin) / 2 (dec)	00111101 (bin) / 61 (dec)	01101111 (bin) / 111 (dec)	01010000 (bin) / 80 (dec)	80 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	Passed
139	01000101 (bin) / 69 (dec)	10110110 (bin) / 182 (dec)	11101000 (bin) / 232 (dec)	00011011 (bin) / 27 (dec)	27 (dec)	11100100 (bin) / 228 (dec)	228 (dec)	Passed
140	10010010 (bin) / 146 (dec)	11100001 (bin) / 225 (dec)	11010011 (bin) / 211 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	Passed
141	00100101 (bin) / 37 (dec)	11001101 (bin) / 205 (dec)	11001010 (bin) / 202 (dec)	00100010 (bin) / 34 (dec)	34 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	Passed
142	01001001 (bin) / 73 (dec)	01011010 (bin) / 90 (dec)	11100010 (bin) / 226 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	Passed
143	11100010 (bin) / 226 (dec)	10101101 (bin) / 173 (dec)	01001001 (bin) / 73 (dec)	00000110 (bin) / 6 (dec)	6 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	Passed
144	10101010 (bin) / 170 (dec)	01001011 (bin) / 75 (dec)	11000100 (bin) / 196 (dec)	00100101 (bin) / 37 (dec)	37 (dec)	11001010 (bin) / 202 (dec)	202 (dec)	Passed
145	10101110 (bin) / 174 (dec)	11111100 (bin) / 252 (dec)	11000100 (bin) / 196 (dec)	10010110 (bin) / 150 (dec)	150 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	Passed
146	11011110 (bin) / 222 (dec)	10111101 (bin) / 189 (dec)	01000011 (bin) / 67 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	Passed
147	11001101 (bin) / 205 (dec)	00001001 (bin) / 9 (dec)	11001000 (bin) / 200 (dec)	00001100 (bin) / 12 (dec)	12 (dec)	11001001 (bin) / 201 (dec)	201 (dec)	Passed
148	11101101 (bin) / 237 (dec)	11111110 (bin) / 254 (dec)	10010101 (bin) / 149 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	Passed
149	00101001 (bin) / 41 (dec)	01111011 (bin) / 123 (dec)	01011100 (bin) / 92 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	Passed
150	10110000 (bin) / 176 (dec)	00000111 (bin) / 7 (dec)	01001001 (bin) / 73 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	00000001 (bin) / 1 (dec)	1 (dec)	Passed
151	00001101 (bin) / 13 (dec)	11111011 (bin) / 251 (dec)	10101101 (bin) / 173 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	Passed
152	10111010 (bin) / 186 (dec)	10111011 (bin) / 187 (dec)	11010100 (bin) / 212 (dec)	11010101 (bin) / 213 (dec)	213 (dec)	10111010 (bin) / 186 (dec)	186 (dec)	Passed
153	00110101 (bin) / 53 (dec)	01111111 (bin) / 127 (dec)	01110000 (bin) / 112 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	01110101 (bin) / 117 (dec)	117 (dec)	Passed
154	00010110 (bin) / 22 (dec)	00111011 (bin) / 59 (dec)	00111111 (bin) / 63 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	Passed
155	00101001 (bin) / 41 (dec)	00101011 (bin) / 43 (dec)	10010110 (bin) / 150 (dec)	10010100 (bin) / 148 (dec)	148 (dec)	00101011 (bin) / 43 (dec)	43 (dec)	Passed
156	00010101 (bin) / 21 (dec)	11001001 (bin) / 201 (dec)	01101011 (bin) / 107 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	01001001 (bin) / 73 (dec)	73 (dec)	Passed
157	10111010 (bin) / 186 (dec)	11000011 (bin) / 195 (dec)	10000000 (bin) / 128 (dec)	11111001 (bin) / 249 (dec)	249 (dec)	10000010 (bin) / 130 (dec)	130 (dec)	Passed
158	01110000 (bin) / 112 (dec)	10110000 (bin) / 176 (dec)	01011100 (bin) / 92 (dec)	10011100 (bin) / 156 (dec)	156 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	Passed
159	11011000 (bin) / 216 (dec)	11010000 (bin) / 208 (dec)	10001001 (bin) / 137 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	11011000 (bin) / 216 (dec)	216 (dec)	Passed
160	01000110 (bin) / 70 (dec)	11100111 (bin) / 231 (dec)	01010111 (bin) / 87 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	Passed
161	10111100 (bin) / 188 (dec)	01001010 (bin) / 74 (dec)	10000100 (bin) / 132 (dec)	01110010 (bin) / 114 (dec)	114 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	Passed
162	01101010 (bin) / 106 (dec)	01000111 (bin) / 71 (dec)	00000011 (bin) / 3 (dec)	00101110 (bin) / 46 (dec)	46 (dec)	01000011 (bin) / 67 (dec)	67 (dec)	Passed
163	01110111 (bin) / 119 (dec)	10011101 (bin) / 157 (dec)	11010010 (bin) / 210 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	11010111 (bin) / 215 (dec)	215 (dec)	Passed
164	01000000 (bin) / 64 (dec)	01000011 (bin) / 67 (dec)	00010110 (bin) / 22 (dec)	00010101 (bin) / 21 (dec)	21 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	Passed
165	01011100 (bin) / 92 (dec)	10111110 (bin) / 190 (dec)	01100000 (bin) / 96 (dec)	10000010 (bin) / 130 (dec)	130 (dec)	01111100 (bin) / 124 (dec)	124 (dec)	Passed
166	01001010 (bin) / 74 (dec)	01100111 (bin) / 103 (dec)	01100001 (bin) / 97 (dec)	01001100 (bin) / 76 (dec)	76 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	Passed
167	10000100 (bin) / 132 (dec)	10101101 (bin) / 173 (dec)	01011010 (bin) / 90 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	Passed
168	10111100 (bin) / 188 (dec)	11011010 (bin) / 218 (dec)	10011011 (bin) / 155 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	10011010 (bin) / 154 (dec)	154 (dec)	Passed
169	10100000 (bin) / 160 (dec)	01010111 (bin) / 87 (dec)	00001111 (bin) / 15 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	00000111 (bin) / 7 (dec)	7 (dec)	Passed
170	00000001 (bin) / 1 (dec)	01100000 (bin) / 96 (dec)	00101010 (bin) / 42 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	Passed

Test Case	Input a	Input b	Input c	Output sum (Actual)	Expected sum	Output carry (Actual)	Expected carry	Status
171	11010110 (bin) / 214 (dec)	01000101 (bin) / 69 (dec)	01111000 (bin) / 120 (dec)	11101011 (bin) / 235 (dec)	235 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	Passed
172	11010010 (bin) / 210 (dec)	11101100 (bin) / 236 (dec)	10100001 (bin) / 161 (dec)	10011111 (bin) / 159 (dec)	159 (dec)	11100000 (bin) / 224 (dec)	224 (dec)	Passed
173	01111001 (bin) / 121 (dec)	01110010 (bin) / 114 (dec)	10101001 (bin) / 169 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	Passed
174	01010110 (bin) / 86 (dec)	10011101 (bin) / 157 (dec)	01110010 (bin) / 114 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	Passed
175	01101000 (bin) / 104 (dec)	10101101 (bin) / 173 (dec)	10110111 (bin) / 183 (dec)	01110010 (bin) / 114 (dec)	114 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	Passed
176	10000101 (bin) / 133 (dec)	00001010 (bin) / 10 (dec)	10100101 (bin) / 165 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	Passed
177	10110011 (bin) / 179 (dec)	01110111 (bin) / 119 (dec)	10100111 (bin) / 167 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	Passed
178	10110011 (bin) / 179 (dec)	01010101 (bin) / 85 (dec)	11111100 (bin) / 252 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	Passed
179	01010111 (bin) / 87 (dec)	11001011 (bin) / 203 (dec)	10011110 (bin) / 158 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	11011111 (bin) / 223 (dec)	223 (dec)	Passed
180	11111000 (bin) / 248 (dec)	01100110 (bin) / 102 (dec)	01010110 (bin) / 86 (dec)	11001000 (bin) / 200 (dec)	200 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	Passed
181	01011010 (bin) / 90 (dec)	01100110 (bin) / 102 (dec)	11110110 (bin) / 246 (dec)	11001010 (bin) / 202 (dec)	202 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	Passed
182	01100110 (bin) / 102 (dec)	00000000 (bin) / 0 (dec)	00101011 (bin) / 43 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	00100010 (bin) / 34 (dec)	34 (dec)	Passed
183	01101010 (bin) / 106 (dec)	01001010 (bin) / 74 (dec)	11010010 (bin) / 210 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	Passed
184	00111100 (bin) / 60 (dec)	11010001 (bin) / 209 (dec)	10111001 (bin) / 185 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	Passed
185	00111101 (bin) / 61 (dec)	10010011 (bin) / 147 (dec)	11111011 (bin) / 251 (dec)	01010101 (bin) / 85 (dec)	85 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	Passed
186	11001110 (bin) / 206 (dec)	10010101 (bin) / 149 (dec)	01010101 (bin) / 85 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	11010101 (bin) / 213 (dec)	213 (dec)	Passed
187	01000110 (bin) / 70 (dec)	11110100 (bin) / 244 (dec)	01101000 (bin) / 104 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	01100100 (bin) / 100 (dec)	100 (dec)	Passed
188	11000111 (bin) / 199 (dec)	11111011 (bin) / 251 (dec)	00001100 (bin) / 12 (dec)	00110000 (bin) / 48 (dec)	48 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	Passed
189	10111001 (bin) / 185 (dec)	11101000 (bin) / 232 (dec)	00000101 (bin) / 5 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	10101001 (bin) / 169 (dec)	169 (dec)	Passed
190	11101001 (bin) / 233 (dec)	10010100 (bin) / 148 (dec)	01011001 (bin) / 89 (dec)	00100100 (bin) / 36 (dec)	36 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	Passed
191	01110111 (bin) / 119 (dec)	11001101 (bin) / 205 (dec)	00000110 (bin) / 6 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	Passed
192	01101100 (bin) / 108 (dec)	11101011 (bin) / 235 (dec)	00110011 (bin) / 51 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	Passed
193	11000111 (bin) / 199 (dec)	00101111 (bin) / 47 (dec)	11000001 (bin) / 193 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	11000111 (bin) / 199 (dec)	199 (dec)	Passed
194	11010011 (bin) / 211 (dec)	01101010 (bin) / 106 (dec)	01110101 (bin) / 117 (dec)	11001100 (bin) / 204 (dec)	204 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	Passed
195	11011101 (bin) / 221 (dec)	10001010 (bin) / 138 (dec)	00000011 (bin) / 3 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	Passed
196	00001001 (bin) / 9 (dec)	01010110 (bin) / 86 (dec)	11100000 (bin) / 224 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	Passed
197	00111011 (bin) / 59 (dec)	11011111 (bin) / 223 (dec)	00011011 (bin) / 27 (dec)	11111111 (bin) / 255 (dec)	255 (dec)	00011011 (bin) / 27 (dec)	27 (dec)	Passed
198	01111011 (bin) / 123 (dec)	10011111 (bin) / 159 (dec)	01100011 (bin) / 99 (dec)	10000111 (bin) / 135 (dec)	135 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	Passed
199	00001111 (bin) / 15 (dec)	01100110 (bin) / 102 (dec)	00000011 (bin) / 3 (dec)	01101010 (bin) / 106 (dec)	106 (dec)	00000111 (bin) / 7 (dec)	7 (dec)	Passed
200	11111011 (bin) / 251 (dec)	00101110 (bin) / 46 (dec)	01010001 (bin) / 81 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	Passed
201	01111010 (bin) / 122 (dec)	11100100 (bin) / 228 (dec)	11010100 (bin) / 212 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	Passed
202	10110111 (bin) / 183 (dec)	01001001 (bin) / 73 (dec)	11110110 (bin) / 246 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	Passed
203	10101111 (bin) / 175 (dec)	00111110 (bin) / 62 (dec)	01010111 (bin) / 87 (dec)	11000110 (bin) / 198 (dec)	198 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	Passed
204	10101000 (bin) / 168 (dec)	00101100 (bin) / 44 (dec)	00011111 (bin) / 31 (dec)	10011011 (bin) / 155 (dec)	155 (dec)	00101100 (bin) / 44 (dec)	44 (dec)	Passed
205	00011010 (bin) / 26 (dec)	00101011 (bin) / 43 (dec)	11110001 (bin) / 241 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	Passed
206	01011011 (bin) / 91 (dec)	00111111 (bin) / 63 (dec)	00001011 (bin) / 11 (dec)	01101111 (bin) / 111 (dec)	111 (dec)	00011011 (bin) / 27 (dec)	27 (dec)	Passed
207	10100001 (bin) / 161 (dec)	01101011 (bin) / 107 (dec)	11010111 (bin) / 215 (dec)	00011101 (bin) / 29 (dec)	29 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	Passed
208	11100111 (bin) / 231 (dec)	10111000 (bin) / 184 (dec)	10011101 (bin) / 157 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	Passed
209	11110101 (bin) / 245 (dec)	01111100 (bin) / 124 (dec)	11011101 (bin) / 221 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	Passed
210	11101011 (bin) / 235 (dec)	01011110 (bin) / 94 (dec)	00111010 (bin) / 58 (dec)	10001111 (bin) / 143 (dec)	143 (dec)	01111010 (bin) / 122 (dec)	122 (dec)	Passed
211	11100001 (bin) / 225 (dec)	11000010 (bin) / 194 (dec)	00110011 (bin) / 51 (dec)	00010000 (bin) / 16 (dec)	16 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	Passed
212	00001111 (bin) / 15 (dec)	01001110 (bin) / 78 (dec)	00100100 (bin) / 36 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	Passed
213	10001111 (bin) / 143 (dec)	11101100 (bin) / 236 (dec)	00000101 (bin) / 5 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	Passed
214	01101001 (bin) / 105 (dec)	10001101 (bin) / 141 (dec)	11111010 (bin) / 250 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	Passed
215	01100100 (bin) / 100 (dec)	01010010 (bin) / 82 (dec)	00000000 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	Passed
216	10100101 (bin) / 165 (dec)	11100001 (bin) / 225 (dec)	10101010 (bin) / 170 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	10100001 (bin) / 161 (dec)	161 (dec)	Passed
217	10111001 (bin) / 185 (dec)	11111111 (bin) / 255 (dec)	01010100 (bin) / 84 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	Passed

Rule: CarrySaveAdderRule

Input Variables: a, b, c

Output Variables: result

Bit Width: 8

Pattern: StringMatchPattern

```
def matches(self, filename):
    #print(self.pattern, filename)
    return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << (self.bit_width + 1)) - 1
    sum1 = (test_case["a"] ^ test_case["b"] ^ test_case["c"]) & max_val
    carry1 = ((test_case["a"] & test_case["b"]) | (test_case["b"] & test_case["c"]) | (test_case["c"] & test_case["a"])) << 1
    result = (sum1 + carry1) & max_val
    return {
        "result": result
    }
```


Testbench for full_adder with parameter(s)

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for half_adder with parameter(s)

Total tests: 4

Passed tests: 4

Failed tests: 0

Test Case	Input a	Input b	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```