

Testbenching Report for mcc_adder

Table of Contents

Testbench Summary 3

Testbench for mcc_adder with parameter(s) N1 4

Testbench for mcc_adder with parameter(s) N2 5

Testbench for mcc_adder with parameter(s) N3 6

Testbench for mcc_adder with parameter(s) N4 11

Testbench for mcc_adder with parameter(s) N5 17

Testbench for mcc_adder with parameter(s) N6 23

Testbench for mcc_adder with parameter(s) N7 29

Testbench for mcc_adder with parameter(s) N8 35

Testbench for full_adder with parameter(s) 24

Testbench for half_adder with parameter(s) 25

Testbench Summary

Component	Total Tests	Passed	Failed
mcc_adder_N1	8	8	0
mcc_adder_N2	32	32	0
mcc_adder_N3	128	128	0
mcc_adder_N4	218	218	0
mcc_adder_N5	218	218	0
mcc_adder_N6	218	218	0
mcc_adder_N7	218	218	0
mcc_adder_N8	218	218	0
full_adder_	8	8	0
half_adder_	4	4	0

Testbench for mcc_adder with parameter(s) N1

Total tests: 8
Passed tests: 8
Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin
Output Variables: sum, cout
Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "cin" in test_case:  
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    else:  
        sum_val = test_case["a"] + test_case["b"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    return outs
```

Testbench for mcc_adder with parameter(s) N2

Total tests: 32
Passed tests: 32
Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin
Output Variables: sum, cout
Bit Width: 8
Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "cin" in test_case:  
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    else:  
        sum_val = test_case["a"] + test_case["b"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    return outs
```

Testbench for mcc_adder with parameter(s) N3

Total tests: 128

Passed tests: 128

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
115	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
117	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for mcc_adder with parameter(s) N4

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	0010 (bin) / 2 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	0000 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	1010 (bin) / 10 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	0100 (bin) / 4 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	0111 (bin) / 7 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	1000 (bin) / 8 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	1000 (bin) / 8 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	1000 (bin) / 8 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
47	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	1000 (bin) / 8 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	0111 (bin) / 7 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	1110 (bin) / 14 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	0010 (bin) / 2 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	0011 (bin) / 3 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
66	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	1010 (bin) / 10 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
77	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	0010 (bin) / 2 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	0010 (bin) / 2 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	1111 (bin) / 15 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	0110 (bin) / 6 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
95	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	1010 (bin) / 10 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	1100 (bin) / 12 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	1111 (bin) / 15 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	1101 (bin) / 13 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
127	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	0001 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
129	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
134	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	1001 (bin) / 9 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
139	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	0001 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
149	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
154	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	0000 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
161	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	0010 (bin) / 2 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	0010 (bin) / 2 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
169	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	0000 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
175	0101 (bin) / 5 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	0110 (bin) / 6 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	1011 (bin) / 11 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	1111 (bin) / 15 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
195	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	0010 (bin) / 2 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	1101 (bin) / 13 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	1101 (bin) / 13 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
207	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	0011 (bin) / 3 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	1011 (bin) / 11 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	1101 (bin) / 13 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
214	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```


Testbench for mcc_adder with parameter(s) N5

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	10110 (bin) / 22 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	10000 (bin) / 16 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	01111 (bin) / 15 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	01100 (bin) / 12 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	10101 (bin) / 21 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	01100 (bin) / 12 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	10100 (bin) / 20 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	10011 (bin) / 19 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	11101 (bin) / 29 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	01100 (bin) / 12 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	00100 (bin) / 4 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	00110 (bin) / 6 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	10100 (bin) / 20 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	11111 (bin) / 31 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	11110 (bin) / 30 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	01111 (bin) / 15 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	01110 (bin) / 14 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	10011 (bin) / 19 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	10100 (bin) / 20 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	01010 (bin) / 10 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	11010 (bin) / 26 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	01001 (bin) / 9 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	11011 (bin) / 27 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	00100 (bin) / 4 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	10010 (bin) / 18 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	01100 (bin) / 12 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	01001 (bin) / 9 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	10110 (bin) / 22 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	01101 (bin) / 13 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	00001 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	01000 (bin) / 8 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	10010 (bin) / 18 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	11001 (bin) / 25 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	11010 (bin) / 26 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	11010 (bin) / 26 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	11001 (bin) / 25 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	10111 (bin) / 23 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	10010 (bin) / 18 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	01111 (bin) / 15 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	10000 (bin) / 16 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	10000 (bin) / 16 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	01101 (bin) / 13 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	01110 (bin) / 14 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	11100 (bin) / 28 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	00101 (bin) / 5 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	00101 (bin) / 5 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	11011 (bin) / 27 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	01011 (bin) / 11 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	01011 (bin) / 11 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	10001 (bin) / 17 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	11000 (bin) / 24 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	01000 (bin) / 8 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	00101 (bin) / 5 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	11110 (bin) / 30 (dec)	11111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	10000 (bin) / 16 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	01101 (bin) / 13 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	00111 (bin) / 7 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	10110 (bin) / 22 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	10001 (bin) / 17 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	10010 (bin) / 18 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	11101 (bin) / 29 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	11100 (bin) / 28 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	01001 (bin) / 9 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	00001 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	10101 (bin) / 21 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	01111 (bin) / 15 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	00001 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	10111 (bin) / 23 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	10001 (bin) / 17 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	00101 (bin) / 5 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	01001 (bin) / 9 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	11011 (bin) / 27 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	11100 (bin) / 28 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	10011 (bin) / 19 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	00101 (bin) / 5 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	00100 (bin) / 4 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	10100 (bin) / 20 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	10100 (bin) / 20 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	00111 (bin) / 7 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	01111 (bin) / 15 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	11101 (bin) / 29 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	10011 (bin) / 19 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	01101 (bin) / 13 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	11110 (bin) / 30 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	01110 (bin) / 14 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	00000 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	00100 (bin) / 4 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	11010 (bin) / 26 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	11001 (bin) / 25 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	01001 (bin) / 9 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	01010 (bin) / 10 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	11111 (bin) / 31 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	10011 (bin) / 19 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
95	11110 (bin) / 30 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	00100 (bin) / 4 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	00000 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	00000 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	00011 (bin) / 3 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	00001 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	10011 (bin) / 19 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	10010 (bin) / 18 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	11001 (bin) / 25 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	11101 (bin) / 29 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	00000 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	01110 (bin) / 14 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	00101 (bin) / 5 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	11100 (bin) / 28 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	00100 (bin) / 4 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	10111 (bin) / 23 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	10110 (bin) / 22 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	11100 (bin) / 28 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	00101 (bin) / 5 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	10110 (bin) / 22 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	11100 (bin) / 28 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	10101 (bin) / 21 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
117	00000 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	01100 (bin) / 12 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	10000 (bin) / 16 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	01110 (bin) / 14 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
121	01110 (bin) / 14 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	11010 (bin) / 26 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	10000 (bin) / 16 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	00111 (bin) / 7 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	01001 (bin) / 9 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	11101 (bin) / 29 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	10100 (bin) / 20 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	11100 (bin) / 28 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	01000 (bin) / 8 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	01001 (bin) / 9 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	00010 (bin) / 2 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	01101 (bin) / 13 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	01110 (bin) / 14 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	01000 (bin) / 8 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	00001 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	01000 (bin) / 8 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	01100 (bin) / 12 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	11010 (bin) / 26 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	01111 (bin) / 15 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	11110 (bin) / 30 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	00111 (bin) / 7 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	01000 (bin) / 8 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	11010 (bin) / 26 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	00010 (bin) / 2 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	10001 (bin) / 17 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	01010 (bin) / 10 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
148	01000 (bin) / 8 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
149	00110 (bin) / 6 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	11100 (bin) / 28 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	00011 (bin) / 3 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	10000 (bin) / 16 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	11100 (bin) / 28 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	11000 (bin) / 24 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	10100 (bin) / 20 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	01101 (bin) / 13 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	10110 (bin) / 22 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	10001 (bin) / 17 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	11101 (bin) / 29 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	01101 (bin) / 13 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	10011 (bin) / 19 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	01010 (bin) / 10 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	11111 (bin) / 31 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	00001 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	11001 (bin) / 25 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	00100 (bin) / 4 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	11101 (bin) / 29 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	11111 (bin) / 31 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	11111 (bin) / 31 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	01111 (bin) / 15 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	00101 (bin) / 5 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	01111 (bin) / 15 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	11111 (bin) / 31 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	01011 (bin) / 11 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
175	00110 (bin) / 6 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	00101 (bin) / 5 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	01011 (bin) / 11 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	01110 (bin) / 14 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	00000 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	01011 (bin) / 11 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	00110 (bin) / 6 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	11111 (bin) / 31 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	11111 (bin) / 31 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	00000 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	00110 (bin) / 6 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	11010 (bin) / 26 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	11011 (bin) / 27 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	11001 (bin) / 25 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	11001 (bin) / 25 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	10000 (bin) / 16 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	01001 (bin) / 9 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	10111 (bin) / 23 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	00000 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	01100 (bin) / 12 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
195	00000 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	10001 (bin) / 17 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	00110 (bin) / 6 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	01110 (bin) / 14 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	01110 (bin) / 14 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	00001 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	00011 (bin) / 3 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	00010 (bin) / 2 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	11001 (bin) / 25 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	10110 (bin) / 22 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	11110 (bin) / 30 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	00000 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	01110 (bin) / 14 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	10000 (bin) / 16 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	00110 (bin) / 6 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	10011 (bin) / 19 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	00010 (bin) / 2 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	00110 (bin) / 6 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	00101 (bin) / 5 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	11000 (bin) / 24 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	11000 (bin) / 24 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	11001 (bin) / 25 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	01111 (bin) / 15 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for mcc_adder with parameter(s) N6

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	110010 (bin) / 50 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	000111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	010101 (bin) / 21 (dec)	000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	101001 (bin) / 41 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	011110 (bin) / 30 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	111110 (bin) / 62 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	000011 (bin) / 3 (dec)	101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	101010 (bin) / 42 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	010000 (bin) / 16 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	100011 (bin) / 35 (dec)	001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	010010 (bin) / 18 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	000111 (bin) / 7 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	111000 (bin) / 56 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	000011 (bin) / 3 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	110011 (bin) / 51 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	101110 (bin) / 46 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	011111 (bin) / 31 (dec)	111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	110111 (bin) / 55 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	111101 (bin) / 61 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	111101 (bin) / 61 (dec)	100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	001100 (bin) / 12 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	010101 (bin) / 21 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	111101 (bin) / 61 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	010110 (bin) / 22 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	011110 (bin) / 30 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	101000 (bin) / 40 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	111000 (bin) / 56 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	110111 (bin) / 55 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	101001 (bin) / 41 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	011010 (bin) / 26 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	101010 (bin) / 42 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	011100 (bin) / 28 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	100010 (bin) / 34 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	110100 (bin) / 52 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	010011 (bin) / 19 (dec)	111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	100110 (bin) / 38 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	001000 (bin) / 8 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	111100 (bin) / 60 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	011000 (bin) / 24 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	110011 (bin) / 51 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	000100 (bin) / 4 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	000100 (bin) / 4 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	111000 (bin) / 56 (dec)	011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	100101 (bin) / 37 (dec)	011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	011000 (bin) / 24 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	010101 (bin) / 21 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	001001 (bin) / 9 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
46	010010 (bin) / 18 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	110000 (bin) / 48 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	011010 (bin) / 26 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	001101 (bin) / 13 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	001010 (bin) / 10 (dec)	110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	011111 (bin) / 31 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	000001 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	000001 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	000100 (bin) / 4 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	101010 (bin) / 42 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	101000 (bin) / 40 (dec)	110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	110000 (bin) / 48 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	000110 (bin) / 6 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	011110 (bin) / 30 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	111100 (bin) / 60 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	001101 (bin) / 13 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	001010 (bin) / 10 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	110100 (bin) / 52 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	000100 (bin) / 4 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	011001 (bin) / 25 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	100010 (bin) / 34 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	111101 (bin) / 61 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	110011 (bin) / 51 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	101101 (bin) / 45 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	110101 (bin) / 53 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	111011 (bin) / 59 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	011100 (bin) / 28 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	000110 (bin) / 6 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	111111 (bin) / 63 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	001110 (bin) / 14 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
76	111111 (bin) / 63 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	111100 (bin) / 60 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	110000 (bin) / 48 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	010100 (bin) / 20 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	001100 (bin) / 12 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	001111 (bin) / 15 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	111101 (bin) / 61 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	011110 (bin) / 30 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	101111 (bin) / 47 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	100110 (bin) / 38 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	010010 (bin) / 18 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	000100 (bin) / 4 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	001001 (bin) / 9 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
89	101001 (bin) / 41 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	111011 (bin) / 59 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	111111 (bin) / 63 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
92	001010 (bin) / 10 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	011100 (bin) / 28 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	001010 (bin) / 10 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
95	010010 (bin) / 18 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	100000 (bin) / 32 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	100010 (bin) / 34 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	010011 (bin) / 19 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	001011 (bin) / 11 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	011001 (bin) / 25 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	111000 (bin) / 56 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	011000 (bin) / 24 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	101000 (bin) / 40 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	011110 (bin) / 30 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
105	011010 (bin) / 26 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	001010 (bin) / 10 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	110011 (bin) / 51 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	100101 (bin) / 37 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	100001 (bin) / 33 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	000111 (bin) / 7 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	000110 (bin) / 6 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
112	111110 (bin) / 62 (dec)	111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	011100 (bin) / 28 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	100110 (bin) / 38 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	100010 (bin) / 34 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	100100 (bin) / 36 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
117	100010 (bin) / 34 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	101000 (bin) / 40 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	000001 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	101011 (bin) / 43 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	011100 (bin) / 28 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	100011 (bin) / 35 (dec)	010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	101101 (bin) / 45 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	011001 (bin) / 25 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	111001 (bin) / 57 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	011110 (bin) / 30 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	100110 (bin) / 38 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	100001 (bin) / 33 (dec)	101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	000100 (bin) / 4 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	000101 (bin) / 5 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	110101 (bin) / 53 (dec)	010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	111101 (bin) / 61 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	111011 (bin) / 59 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	000111 (bin) / 7 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	101001 (bin) / 41 (dec)	101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	110000 (bin) / 48 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	111010 (bin) / 58 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	111001 (bin) / 57 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	001100 (bin) / 12 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	010011 (bin) / 19 (dec)	110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	101111 (bin) / 47 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	100000 (bin) / 32 (dec)	101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	101111 (bin) / 47 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	000011 (bin) / 3 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	101111 (bin) / 47 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
146	000001 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	000101 (bin) / 5 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
148	010110 (bin) / 22 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	110000 (bin) / 48 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	101101 (bin) / 45 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	101010 (bin) / 42 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	111111 (bin) / 63 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	000001 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
154	011001 (bin) / 25 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	101000 (bin) / 40 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	000111 (bin) / 7 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	001111 (bin) / 15 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	110100 (bin) / 52 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	111001 (bin) / 57 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	101001 (bin) / 41 (dec)	100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	101110 (bin) / 46 (dec)	001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	111010 (bin) / 58 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	001111 (bin) / 15 (dec)	011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	011111 (bin) / 31 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	010101 (bin) / 21 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	001111 (bin) / 15 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	110011 (bin) / 51 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	011001 (bin) / 25 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	101100 (bin) / 44 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	011110 (bin) / 30 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	111100 (bin) / 60 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	101011 (bin) / 43 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	011100 (bin) / 28 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	010000 (bin) / 16 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
175	010010 (bin) / 18 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	101110 (bin) / 46 (dec)	001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	010000 (bin) / 16 (dec)	000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	010000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
178	001011 (bin) / 11 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	000101 (bin) / 5 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	101011 (bin) / 43 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	001010 (bin) / 10 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	101111 (bin) / 47 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	111111 (bin) / 63 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	001011 (bin) / 11 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	100111 (bin) / 39 (dec)	000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	110000 (bin) / 48 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	111011 (bin) / 59 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	110111 (bin) / 55 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	001100 (bin) / 12 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	000101 (bin) / 5 (dec)	000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	110001 (bin) / 49 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	111101 (bin) / 61 (dec)	101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	011011 (bin) / 27 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	010110 (bin) / 22 (dec)	111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	010011 (bin) / 19 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	001000 (bin) / 8 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	110100 (bin) / 52 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	001010 (bin) / 10 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	111111 (bin) / 63 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	000010 (bin) / 2 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	010000 (bin) / 16 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	010011 (bin) / 19 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	000100 (bin) / 4 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	000011 (bin) / 3 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	111000 (bin) / 56 (dec)	110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	010011 (bin) / 19 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	000110 (bin) / 6 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	000110 (bin) / 6 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	111101 (bin) / 61 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	010010 (bin) / 18 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	110110 (bin) / 54 (dec)	011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	101100 (bin) / 44 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	110011 (bin) / 51 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
214	111111 (bin) / 63 (dec)	100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	101101 (bin) / 45 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	010101 (bin) / 21 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	011110 (bin) / 30 (dec)	101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for mcc_adder with parameter(s) N7

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1101011 (bin) / 107 (dec)	0001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0101010 (bin) / 42 (dec)	1000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1001101 (bin) / 77 (dec)	0011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	1001101 (bin) / 77 (dec)	1100010 (bin) / 98 (dec)	1 (bin) / 1 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0001011 (bin) / 11 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	0100101 (bin) / 37 (dec)	0111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	0111101 (bin) / 61 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0110011 (bin) / 51 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	0001101 (bin) / 13 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	1000011 (bin) / 67 (dec)	0101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	1101011 (bin) / 107 (dec)	107 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	0001101 (bin) / 13 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	1110011 (bin) / 115 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	0110000 (bin) / 48 (dec)	1011001 (bin) / 89 (dec)	1 (bin) / 1 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	0110011 (bin) / 51 (dec)	1111101 (bin) / 125 (dec)	1 (bin) / 1 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	0000001 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	0100010 (bin) / 34 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	0100111 (bin) / 39 (dec)	1101111 (bin) / 111 (dec)	0 (bin) / 0 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	0101000 (bin) / 40 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	0011001 (bin) / 25 (dec)	1111111 (bin) / 127 (dec)	1 (bin) / 1 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	1101110 (bin) / 110 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	1111100 (bin) / 124 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	1011111 (bin) / 95 (dec)	1000110 (bin) / 70 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	1001001 (bin) / 73 (dec)	0010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	0110100 (bin) / 52 (dec)	1010001 (bin) / 81 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	0111101 (bin) / 61 (dec)	1100101 (bin) / 101 (dec)	1 (bin) / 1 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	1010001 (bin) / 81 (dec)	0001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	0111000 (bin) / 56 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	1101110 (bin) / 110 (dec)	0000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	1111100 (bin) / 124 (dec)	0000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	0011001 (bin) / 25 (dec)	1111001 (bin) / 121 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	0001111 (bin) / 15 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	0011010 (bin) / 26 (dec)	1010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	0101000 (bin) / 40 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	1101010 (bin) / 106 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	0101100 (bin) / 44 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	1000010 (bin) / 66 (dec)	1110001 (bin) / 113 (dec)	0 (bin) / 0 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	0101010 (bin) / 42 (dec)	1001010 (bin) / 74 (dec)	1 (bin) / 1 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	0001100 (bin) / 12 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	0111010 (bin) / 58 (dec)	0001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	1100001 (bin) / 97 (dec)	1000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	0011011 (bin) / 27 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	0101100 (bin) / 44 (dec)	1011100 (bin) / 92 (dec)	0 (bin) / 0 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	0010110 (bin) / 22 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	0001011 (bin) / 11 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	1100011 (bin) / 99 (dec)	1101110 (bin) / 110 (dec)	0 (bin) / 0 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	1101111 (bin) / 111 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	0100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
46	1000100 (bin) / 68 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	1101110 (bin) / 110 (dec)	1011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	1001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	1010010 (bin) / 82 (dec)	1110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	1101000 (bin) / 104 (dec)	1011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	1101001 (bin) / 105 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	1010000 (bin) / 80 (dec)	1100000 (bin) / 96 (dec)	1 (bin) / 1 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	1110110 (bin) / 118 (dec)	1000010 (bin) / 66 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	1101101 (bin) / 109 (dec)	0100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	0010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	0000010 (bin) / 2 (dec)	1010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	1011001 (bin) / 89 (dec)	89 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	1101000 (bin) / 104 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
56	1100001 (bin) / 97 (dec)	0101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	1110101 (bin) / 117 (dec)	1011010 (bin) / 90 (dec)	1 (bin) / 1 (dec)	1010000 (bin) / 80 (dec)	80 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	0011101 (bin) / 29 (dec)	0100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	1001101 (bin) / 77 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	1000111 (bin) / 71 (dec)	1000100 (bin) / 68 (dec)	1 (bin) / 1 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	0101011 (bin) / 43 (dec)	0110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	0010100 (bin) / 20 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1111101 (bin) / 125 (dec)	125 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	1010000 (bin) / 80 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
64	1010110 (bin) / 86 (dec)	0000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	0010100 (bin) / 20 (dec)	1101101 (bin) / 109 (dec)	1 (bin) / 1 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	0001101 (bin) / 13 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	1111100 (bin) / 124 (dec)	0010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	1101000 (bin) / 104 (dec)	1110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
69	0111100 (bin) / 60 (dec)	0100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	0100010 (bin) / 34 (dec)	0010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	0110111 (bin) / 55 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	0111101 (bin) / 61 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	1100111 (bin) / 103 (dec)	1101011 (bin) / 107 (dec)	0 (bin) / 0 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	1100100 (bin) / 100 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	1101111 (bin) / 111 (dec)	0001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	1010110 (bin) / 86 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	0111100 (bin) / 60 (dec)	0001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	1011010 (bin) / 90 (dec)	0100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	1111100 (bin) / 124 (dec)	124 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	0001110 (bin) / 14 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	1110010 (bin) / 114 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
81	1110110 (bin) / 118 (dec)	0101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	0111111 (bin) / 63 (dec)	0111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	0100001 (bin) / 33 (dec)	0001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	1110100 (bin) / 116 (dec)	1101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	1000000 (bin) / 64 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	1100100 (bin) / 100 (dec)	0001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	1011011 (bin) / 91 (dec)	0000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	0001000 (bin) / 8 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	0111000 (bin) / 56 (dec)	0011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	1011110 (bin) / 94 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	0110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	1101001 (bin) / 105 (dec)	0010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	1010001 (bin) / 81 (dec)	0111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	0000101 (bin) / 5 (dec)	1011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	1011101 (bin) / 93 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	0110000 (bin) / 48 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	1000011 (bin) / 67 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	1011111 (bin) / 95 (dec)	1100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	0010101 (bin) / 21 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	0000100 (bin) / 4 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	1100111 (bin) / 103 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	1011001 (bin) / 89 (dec)	1111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	0010000 (bin) / 16 (dec)	1000101 (bin) / 69 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	0110001 (bin) / 49 (dec)	1001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	1101011 (bin) / 107 (dec)	1101011 (bin) / 107 (dec)	0 (bin) / 0 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	0100010 (bin) / 34 (dec)	0100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	0010101 (bin) / 21 (dec)	1001100 (bin) / 76 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	1101001 (bin) / 105 (dec)	1110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	1110001 (bin) / 113 (dec)	1100011 (bin) / 99 (dec)	1 (bin) / 1 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	1010001 (bin) / 81 (dec)	0101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	1110010 (bin) / 114 (dec)	0011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	1001011 (bin) / 75 (dec)	1010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	0101011 (bin) / 43 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	1000100 (bin) / 68 (dec)	0001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	0010000 (bin) / 16 (dec)	1001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
115	1101100 (bin) / 108 (dec)	1000111 (bin) / 71 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	0011110 (bin) / 30 (dec)	1101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	0011011 (bin) / 27 (dec)	1000111 (bin) / 71 (dec)	0 (bin) / 0 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	1000110 (bin) / 70 (dec)	0000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	0111011 (bin) / 59 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	1011100 (bin) / 92 (dec)	0101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	0001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	1101011 (bin) / 107 (dec)	0111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	1100011 (bin) / 99 (dec)	1100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	0110011 (bin) / 51 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	1000100 (bin) / 68 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	0001011 (bin) / 11 (dec)	1101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	1110110 (bin) / 118 (dec)	118 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	0101001 (bin) / 41 (dec)	1110001 (bin) / 113 (dec)	0 (bin) / 0 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
127	1100100 (bin) / 100 (dec)	0111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	1110101 (bin) / 117 (dec)	1001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	0111010 (bin) / 58 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	1001111 (bin) / 79 (dec)	1110011 (bin) / 115 (dec)	1 (bin) / 1 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	1001001 (bin) / 73 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	1011111 (bin) / 95 (dec)	1011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	1010011 (bin) / 83 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	0001010 (bin) / 10 (dec)	0000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	1000011 (bin) / 67 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	0101000 (bin) / 40 (dec)	1111000 (bin) / 120 (dec)	1 (bin) / 1 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	0110111 (bin) / 55 (dec)	0110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	0011101 (bin) / 29 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
139	1110011 (bin) / 115 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	1001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	0101010 (bin) / 42 (dec)	0000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	0011001 (bin) / 25 (dec)	0001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
142	0111100 (bin) / 60 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	1110010 (bin) / 114 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	1000110 (bin) / 70 (dec)	0001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	0010101 (bin) / 21 (dec)	0010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	0101110 (bin) / 46 (dec)	1110110 (bin) / 118 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	1011001 (bin) / 89 (dec)	1100111 (bin) / 103 (dec)	1 (bin) / 1 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	1111011 (bin) / 123 (dec)	0110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	0011111 (bin) / 31 (dec)	0100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	0111110 (bin) / 62 (dec)	1101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	0110111 (bin) / 55 (dec)	0101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	1101100 (bin) / 108 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	1100000 (bin) / 96 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	0110100 (bin) / 52 (dec)	1110111 (bin) / 119 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	1111100 (bin) / 124 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	1100101 (bin) / 101 (dec)	1010010 (bin) / 82 (dec)	1 (bin) / 1 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	1101111 (bin) / 111 (dec)	0011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	0011100 (bin) / 28 (dec)	1001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
159	1001010 (bin) / 74 (dec)	1100100 (bin) / 100 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	0001000 (bin) / 8 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	0111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
161	1000110 (bin) / 70 (dec)	1001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	1111100 (bin) / 124 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	0100001 (bin) / 33 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	0001110 (bin) / 14 (dec)	1111000 (bin) / 120 (dec)	0 (bin) / 0 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	0000100 (bin) / 4 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	0110110 (bin) / 54 (dec)	1101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	1001000 (bin) / 72 (dec)	0111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	0111001 (bin) / 57 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	0000011 (bin) / 3 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	1101101 (bin) / 109 (dec)	0110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	0110010 (bin) / 50 (dec)	1100010 (bin) / 98 (dec)	1 (bin) / 1 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	0010100 (bin) / 20 (dec)	0001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	1000110 (bin) / 70 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	1110010 (bin) / 114 (dec)	1001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	0011101 (bin) / 29 (dec)	1101010 (bin) / 106 (dec)	1 (bin) / 1 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	0101100 (bin) / 44 (dec)	1101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	0111000 (bin) / 56 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	1110111 (bin) / 119 (dec)	0101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	0010101 (bin) / 21 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	0011101 (bin) / 29 (dec)	0100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	1010111 (bin) / 87 (dec)	0110111 (bin) / 55 (dec)	0 (bin) / 0 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	0000100 (bin) / 4 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	0101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
183	0111111 (bin) / 63 (dec)	1010000 (bin) / 80 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	1100001 (bin) / 97 (dec)	1111010 (bin) / 122 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	0111101 (bin) / 61 (dec)	1101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	0010110 (bin) / 22 (dec)	1011010 (bin) / 90 (dec)	1 (bin) / 1 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	1101110 (bin) / 110 (dec)	0011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	1111100 (bin) / 124 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	0001011 (bin) / 11 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	1000100 (bin) / 68 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	0100011 (bin) / 35 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	0001100 (bin) / 12 (dec)	0010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	0000101 (bin) / 5 (dec)	1101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	1110010 (bin) / 114 (dec)	114 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	0101010 (bin) / 42 (dec)	1011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	0011011 (bin) / 27 (dec)	0011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	1010010 (bin) / 82 (dec)	0001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	0010101 (bin) / 21 (dec)	0000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	0000000 (bin) / 0 (dec)	1011000 (bin) / 88 (dec)	0 (bin) / 0 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	0100000 (bin) / 32 (dec)	1000000 (bin) / 64 (dec)	1 (bin) / 1 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	1000100 (bin) / 68 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	0101111 (bin) / 47 (dec)	0101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	1011110 (bin) / 94 (dec)	94 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	0101011 (bin) / 43 (dec)	1000010 (bin) / 66 (dec)	0 (bin) / 0 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	1110101 (bin) / 117 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	1110100 (bin) / 116 (dec)	0011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	1100101 (bin) / 101 (dec)	0111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	1000011 (bin) / 67 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	1100110 (bin) / 102 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	0110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	0000111 (bin) / 7 (dec)	1001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	1010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	1100001 (bin) / 97 (dec)	1011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	1000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	0010011 (bin) / 19 (dec)	0010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	1011010 (bin) / 90 (dec)	1110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	1110101 (bin) / 117 (dec)	1100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	0100110 (bin) / 38 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	1111100 (bin) / 124 (dec)	1000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	0101110 (bin) / 46 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	0011010 (bin) / 26 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	0010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	0011010 (bin) / 26 (dec)	0101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for mcc_adder with parameter(s) N8

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	10000011 (bin) / 131 (dec)	01001001 (bin) / 73 (dec)	0 (bin) / 0 (dec)	11001100 (bin) / 204 (dec)	204 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	01100110 (bin) / 102 (dec)	10011110 (bin) / 158 (dec)	0 (bin) / 0 (dec)	00000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	01100001 (bin) / 97 (dec)	00000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	01101010 (bin) / 106 (dec)	11010010 (bin) / 210 (dec)	0 (bin) / 0 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	10011010 (bin) / 154 (dec)	10010111 (bin) / 151 (dec)	1 (bin) / 1 (dec)	00110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	11110010 (bin) / 242 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	10010000 (bin) / 144 (dec)	11001011 (bin) / 203 (dec)	0 (bin) / 0 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	10000010 (bin) / 130 (dec)	01010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	11101100 (bin) / 236 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	10101110 (bin) / 174 (dec)	174 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	11101011 (bin) / 235 (dec)	01010110 (bin) / 86 (dec)	0 (bin) / 0 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	10110011 (bin) / 179 (dec)	10100010 (bin) / 162 (dec)	1 (bin) / 1 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	01001101 (bin) / 77 (dec)	00011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	01100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	10001011 (bin) / 139 (dec)	10101011 (bin) / 171 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	11111111 (bin) / 255 (dec)	11110010 (bin) / 242 (dec)	1 (bin) / 1 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	00001111 (bin) / 15 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	10010011 (bin) / 147 (dec)	147 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	00100111 (bin) / 39 (dec)	00111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	01010011 (bin) / 83 (dec)	01100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	10110110 (bin) / 182 (dec)	182 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	11111011 (bin) / 251 (dec)	01000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	10011010 (bin) / 154 (dec)	10010100 (bin) / 148 (dec)	1 (bin) / 1 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	01100001 (bin) / 97 (dec)	01101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	11001110 (bin) / 206 (dec)	206 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	10011110 (bin) / 158 (dec)	00110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	11010100 (bin) / 212 (dec)	212 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	10010010 (bin) / 146 (dec)	01111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	00001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	01101010 (bin) / 106 (dec)	10011001 (bin) / 153 (dec)	0 (bin) / 0 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	01011100 (bin) / 92 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	11100110 (bin) / 230 (dec)	230 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	11010001 (bin) / 209 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	00111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	01101101 (bin) / 109 (dec)	11110101 (bin) / 245 (dec)	0 (bin) / 0 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	00100000 (bin) / 32 (dec)	01010111 (bin) / 87 (dec)	1 (bin) / 1 (dec)	01111000 (bin) / 120 (dec)	120 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	01011111 (bin) / 95 (dec)	01110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	11010001 (bin) / 209 (dec)	209 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	00011100 (bin) / 28 (dec)	11011001 (bin) / 217 (dec)	0 (bin) / 0 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	10100100 (bin) / 164 (dec)	10000010 (bin) / 130 (dec)	1 (bin) / 1 (dec)	00100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	01111101 (bin) / 125 (dec)	11011111 (bin) / 223 (dec)	1 (bin) / 1 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	01011010 (bin) / 90 (dec)	11111001 (bin) / 249 (dec)	1 (bin) / 1 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	11111010 (bin) / 250 (dec)	11101100 (bin) / 236 (dec)	1 (bin) / 1 (dec)	11100111 (bin) / 231 (dec)	231 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	00010000 (bin) / 16 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	11101111 (bin) / 239 (dec)	01010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	01000110 (bin) / 70 (dec)	70 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	10000100 (bin) / 132 (dec)	11010110 (bin) / 214 (dec)	1 (bin) / 1 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	11110001 (bin) / 241 (dec)	00110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	10101011 (bin) / 171 (dec)	10100011 (bin) / 163 (dec)	0 (bin) / 0 (dec)	01001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	00111110 (bin) / 62 (dec)	01011111 (bin) / 95 (dec)	1 (bin) / 1 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	11000110 (bin) / 198 (dec)	00011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11011110 (bin) / 222 (dec)	222 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	00101110 (bin) / 46 (dec)	11001000 (bin) / 200 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	11001000 (bin) / 200 (dec)	00110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	10101101 (bin) / 173 (dec)	10100101 (bin) / 165 (dec)	1 (bin) / 1 (dec)	01010011 (bin) / 83 (dec)	83 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	00100011 (bin) / 35 (dec)	00001010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	11111011 (bin) / 251 (dec)	00110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	00110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	01110011 (bin) / 115 (dec)	01101001 (bin) / 105 (dec)	0 (bin) / 0 (dec)	11011100 (bin) / 220 (dec)	220 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	01100111 (bin) / 103 (dec)	10011100 (bin) / 156 (dec)	0 (bin) / 0 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	00010111 (bin) / 23 (dec)	01111001 (bin) / 121 (dec)	1 (bin) / 1 (dec)	10010001 (bin) / 145 (dec)	145 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	10100111 (bin) / 167 (dec)	01000010 (bin) / 66 (dec)	0 (bin) / 0 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	11100000 (bin) / 224 (dec)	01101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	10010001 (bin) / 145 (dec)	00101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	10011011 (bin) / 155 (dec)	11001010 (bin) / 202 (dec)	0 (bin) / 0 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	10001100 (bin) / 140 (dec)	10110010 (bin) / 178 (dec)	1 (bin) / 1 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	11001111 (bin) / 207 (dec)	11010000 (bin) / 208 (dec)	1 (bin) / 1 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	10011001 (bin) / 153 (dec)	10111110 (bin) / 190 (dec)	0 (bin) / 0 (dec)	01010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	01100001 (bin) / 97 (dec)	10100001 (bin) / 161 (dec)	0 (bin) / 0 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	10101000 (bin) / 168 (dec)	00011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11000101 (bin) / 197 (dec)	197 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	10000110 (bin) / 134 (dec)	11111011 (bin) / 251 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	01110110 (bin) / 118 (dec)	11000111 (bin) / 199 (dec)	0 (bin) / 0 (dec)	00111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	01001010 (bin) / 74 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	10110111 (bin) / 183 (dec)	183 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	11000110 (bin) / 198 (dec)	01111110 (bin) / 126 (dec)	1 (bin) / 1 (dec)	01000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	00110100 (bin) / 52 (dec)	10101100 (bin) / 172 (dec)	1 (bin) / 1 (dec)	11100001 (bin) / 225 (dec)	225 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	00001111 (bin) / 15 (dec)	10110110 (bin) / 182 (dec)	1 (bin) / 1 (dec)	11000110 (bin) / 198 (dec)	198 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	01100100 (bin) / 100 (dec)	11011101 (bin) / 221 (dec)	1 (bin) / 1 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
64	01100110 (bin) / 102 (dec)	10010001 (bin) / 145 (dec)	0 (bin) / 0 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	10010111 (bin) / 151 (dec)	10111001 (bin) / 185 (dec)	0 (bin) / 0 (dec)	01010000 (bin) / 80 (dec)	80 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	01110110 (bin) / 118 (dec)	10010011 (bin) / 147 (dec)	1 (bin) / 1 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	10000101 (bin) / 133 (dec)	11100110 (bin) / 230 (dec)	1 (bin) / 1 (dec)	01101100 (bin) / 108 (dec)	108 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	11111111 (bin) / 255 (dec)	10110101 (bin) / 181 (dec)	1 (bin) / 1 (dec)	10110101 (bin) / 181 (dec)	181 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
69	10001110 (bin) / 142 (dec)	01001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	01010111 (bin) / 87 (dec)	00001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	11101101 (bin) / 237 (dec)	10000010 (bin) / 130 (dec)	1 (bin) / 1 (dec)	01110000 (bin) / 112 (dec)	112 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	10001011 (bin) / 139 (dec)	00010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10100010 (bin) / 162 (dec)	162 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	11010100 (bin) / 212 (dec)	10010011 (bin) / 147 (dec)	1 (bin) / 1 (dec)	01101000 (bin) / 104 (dec)	104 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	11010101 (bin) / 213 (dec)	00011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	00000011 (bin) / 3 (dec)	01010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	01011000 (bin) / 88 (dec)	88 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	00101111 (bin) / 47 (dec)	10101001 (bin) / 169 (dec)	1 (bin) / 1 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
77	11101011 (bin) / 235 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	01100100 (bin) / 100 (dec)	11010101 (bin) / 213 (dec)	0 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	10110000 (bin) / 176 (dec)	11000000 (bin) / 192 (dec)	1 (bin) / 1 (dec)	01110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	01111100 (bin) / 124 (dec)	00001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	10001010 (bin) / 138 (dec)	138 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	01011001 (bin) / 89 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	01100000 (bin) / 96 (dec)	11010101 (bin) / 213 (dec)	1 (bin) / 1 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	00001100 (bin) / 12 (dec)	11011111 (bin) / 223 (dec)	1 (bin) / 1 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	10101010 (bin) / 170 (dec)	11111101 (bin) / 253 (dec)	0 (bin) / 0 (dec)	10100111 (bin) / 167 (dec)	167 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	10100001 (bin) / 161 (dec)	11100111 (bin) / 231 (dec)	0 (bin) / 0 (dec)	10001000 (bin) / 136 (dec)	136 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	11110111 (bin) / 247 (dec)	01111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	01110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	00011010 (bin) / 26 (dec)	10011000 (bin) / 152 (dec)	1 (bin) / 1 (dec)	10110011 (bin) / 179 (dec)	179 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	11001000 (bin) / 200 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
89	10000011 (bin) / 131 (dec)	00100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	00101010 (bin) / 42 (dec)	00111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
91	00010011 (bin) / 19 (dec)	01101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	01000011 (bin) / 67 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	10101001 (bin) / 169 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	01100101 (bin) / 101 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	01001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	10111100 (bin) / 188 (dec)	00011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11010110 (bin) / 214 (dec)	214 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	10101100 (bin) / 172 (dec)	01011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	01110111 (bin) / 119 (dec)	01100011 (bin) / 99 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	00100100 (bin) / 36 (dec)	11011100 (bin) / 220 (dec)	1 (bin) / 1 (dec)	00000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	10010001 (bin) / 145 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	00011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	11111000 (bin) / 248 (dec)	10011100 (bin) / 156 (dec)	0 (bin) / 0 (dec)	10010100 (bin) / 148 (dec)	148 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	01101101 (bin) / 109 (dec)	01000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	01101101 (bin) / 109 (dec)	00001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	00101000 (bin) / 40 (dec)	00111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	10010101 (bin) / 149 (dec)	11000100 (bin) / 196 (dec)	0 (bin) / 0 (dec)	01011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	00110101 (bin) / 53 (dec)	11111110 (bin) / 254 (dec)	0 (bin) / 0 (dec)	00110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	01011010 (bin) / 90 (dec)	00110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	10001011 (bin) / 139 (dec)	139 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	10001100 (bin) / 140 (dec)	11000000 (bin) / 192 (dec)	0 (bin) / 0 (dec)	01001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	00110111 (bin) / 55 (dec)	01101100 (bin) / 108 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	10101011 (bin) / 171 (dec)	11011010 (bin) / 218 (dec)	0 (bin) / 0 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	01000000 (bin) / 64 (dec)	01101111 (bin) / 111 (dec)	0 (bin) / 0 (dec)	10101111 (bin) / 175 (dec)	175 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	10010111 (bin) / 151 (dec)	11010111 (bin) / 215 (dec)	0 (bin) / 0 (dec)	01101110 (bin) / 110 (dec)	110 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	01011101 (bin) / 93 (dec)	11110101 (bin) / 245 (dec)	0 (bin) / 0 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	00000000 (bin) / 0 (dec)	00011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	10111111 (bin) / 191 (dec)	00100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
115	00100100 (bin) / 36 (dec)	00100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	01001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	10010010 (bin) / 146 (dec)	10111001 (bin) / 185 (dec)	0 (bin) / 0 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	01110111 (bin) / 119 (dec)	10011111 (bin) / 159 (dec)	0 (bin) / 0 (dec)	00010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	11111101 (bin) / 253 (dec)	11010110 (bin) / 214 (dec)	0 (bin) / 0 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	10010101 (bin) / 149 (dec)	10100110 (bin) / 166 (dec)	1 (bin) / 1 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	11010111 (bin) / 215 (dec)	01111011 (bin) / 123 (dec)	0 (bin) / 0 (dec)	01010010 (bin) / 82 (dec)	82 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	01000010 (bin) / 66 (dec)	11011001 (bin) / 217 (dec)	1 (bin) / 1 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	10100000 (bin) / 160 (dec)	11011111 (bin) / 223 (dec)	1 (bin) / 1 (dec)	10000000 (bin) / 128 (dec)	128 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	11000110 (bin) / 198 (dec)	00110100 (bin) / 52 (dec)	0 (bin) / 0 (dec)	11111010 (bin) / 250 (dec)	250 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	00000110 (bin) / 6 (dec)	01011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	00100001 (bin) / 33 (dec)	11100111 (bin) / 231 (dec)	1 (bin) / 1 (dec)	00001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	11101100 (bin) / 236 (dec)	10001110 (bin) / 142 (dec)	0 (bin) / 0 (dec)	01111010 (bin) / 122 (dec)	122 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
127	10111100 (bin) / 188 (dec)	11110100 (bin) / 244 (dec)	1 (bin) / 1 (dec)	10110001 (bin) / 177 (dec)	177 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	11001001 (bin) / 201 (dec)	11000010 (bin) / 194 (dec)	1 (bin) / 1 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	10001000 (bin) / 136 (dec)	01000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	01110011 (bin) / 115 (dec)	11011000 (bin) / 216 (dec)	1 (bin) / 1 (dec)	01001100 (bin) / 76 (dec)	76 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	11001101 (bin) / 205 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	01010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	00000001 (bin) / 1 (dec)	10001110 (bin) / 142 (dec)	1 (bin) / 1 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	11100011 (bin) / 227 (dec)	00111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	01010000 (bin) / 80 (dec)	01000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	01000111 (bin) / 71 (dec)	10001000 (bin) / 136 (dec)	0 (bin) / 0 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	10100110 (bin) / 166 (dec)	00100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	11001010 (bin) / 202 (dec)	202 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	11100101 (bin) / 229 (dec)	01001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	00110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
138	11101111 (bin) / 239 (dec)	00100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	00001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	00100011 (bin) / 35 (dec)	11111001 (bin) / 249 (dec)	1 (bin) / 1 (dec)	00011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	00111111 (bin) / 63 (dec)	10110001 (bin) / 177 (dec)	0 (bin) / 0 (dec)	11110000 (bin) / 240 (dec)	240 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	01011100 (bin) / 92 (dec)	11101101 (bin) / 237 (dec)	0 (bin) / 0 (dec)	01001001 (bin) / 73 (dec)	73 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	00101000 (bin) / 40 (dec)	10111100 (bin) / 188 (dec)	1 (bin) / 1 (dec)	11100101 (bin) / 229 (dec)	229 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	10111010 (bin) / 186 (dec)	11011010 (bin) / 218 (dec)	0 (bin) / 0 (dec)	10010100 (bin) / 148 (dec)	148 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	10101001 (bin) / 169 (dec)	10011001 (bin) / 153 (dec)	1 (bin) / 1 (dec)	01000011 (bin) / 67 (dec)	67 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	00000001 (bin) / 1 (dec)	10000011 (bin) / 131 (dec)	1 (bin) / 1 (dec)	10000101 (bin) / 133 (dec)	133 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	10010100 (bin) / 148 (dec)	10001101 (bin) / 141 (dec)	1 (bin) / 1 (dec)	00100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	11101101 (bin) / 237 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	10101001 (bin) / 169 (dec)	01101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	10110000 (bin) / 176 (dec)	11010001 (bin) / 209 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	00111110 (bin) / 62 (dec)	00101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	01101001 (bin) / 105 (dec)	105 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	11110011 (bin) / 243 (dec)	00101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	10000101 (bin) / 133 (dec)	00010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10011100 (bin) / 156 (dec)	156 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
153	01101110 (bin) / 110 (dec)	01001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
154	10100010 (bin) / 162 (dec)	11110111 (bin) / 247 (dec)	0 (bin) / 0 (dec)	10011001 (bin) / 153 (dec)	153 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	00010010 (bin) / 18 (dec)	11000100 (bin) / 196 (dec)	0 (bin) / 0 (dec)	11010110 (bin) / 214 (dec)	214 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	00111110 (bin) / 62 (dec)	10011010 (bin) / 154 (dec)	1 (bin) / 1 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	10010111 (bin) / 151 (dec)	11100001 (bin) / 225 (dec)	1 (bin) / 1 (dec)	01111001 (bin) / 121 (dec)	121 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	10001101 (bin) / 141 (dec)	01001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
159	11101000 (bin) / 232 (dec)	11000111 (bin) / 199 (dec)	1 (bin) / 1 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	11001110 (bin) / 206 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	11010001 (bin) / 209 (dec)	11001110 (bin) / 206 (dec)	1 (bin) / 1 (dec)	10100000 (bin) / 160 (dec)	160 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	11010110 (bin) / 214 (dec)	10110011 (bin) / 179 (dec)	1 (bin) / 1 (dec)	10001010 (bin) / 138 (dec)	138 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	10100000 (bin) / 160 (dec)	10101011 (bin) / 171 (dec)	0 (bin) / 0 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	11000000 (bin) / 192 (dec)	11110011 (bin) / 243 (dec)	0 (bin) / 0 (dec)	10110011 (bin) / 179 (dec)	179 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	00000100 (bin) / 4 (dec)	10100111 (bin) / 167 (dec)	0 (bin) / 0 (dec)	10101011 (bin) / 171 (dec)	171 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	11000110 (bin) / 198 (dec)	00011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11100011 (bin) / 227 (dec)	227 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	10010111 (bin) / 151 (dec)	10111010 (bin) / 186 (dec)	0 (bin) / 0 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	00010011 (bin) / 19 (dec)	11100100 (bin) / 228 (dec)	0 (bin) / 0 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
169	01110100 (bin) / 116 (dec)	10100011 (bin) / 163 (dec)	0 (bin) / 0 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	01001000 (bin) / 72 (dec)	11011011 (bin) / 219 (dec)	1 (bin) / 1 (dec)	00100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	10100000 (bin) / 160 (dec)	10001001 (bin) / 137 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	11011111 (bin) / 223 (dec)	01001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	01100001 (bin) / 97 (dec)	00000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	01100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	11000111 (bin) / 199 (dec)	10111110 (bin) / 190 (dec)	1 (bin) / 1 (dec)	10000110 (bin) / 134 (dec)	134 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	00110000 (bin) / 48 (dec)	10110101 (bin) / 181 (dec)	1 (bin) / 1 (dec)	11100110 (bin) / 230 (dec)	230 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	10101001 (bin) / 169 (dec)	01001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	11110100 (bin) / 244 (dec)	244 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	11000010 (bin) / 194 (dec)	01001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	00010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	00010010 (bin) / 18 (dec)	10101001 (bin) / 169 (dec)	1 (bin) / 1 (dec)	10111100 (bin) / 188 (dec)	188 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	10101111 (bin) / 175 (dec)	10000110 (bin) / 134 (dec)	0 (bin) / 0 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	10100101 (bin) / 165 (dec)	10111100 (bin) / 188 (dec)	1 (bin) / 1 (dec)	01100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	10100100 (bin) / 164 (dec)	00011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	00011000 (bin) / 24 (dec)	01110111 (bin) / 119 (dec)	1 (bin) / 1 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
183	01000101 (bin) / 69 (dec)	00111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
184	11101001 (bin) / 233 (dec)	01110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	01011111 (bin) / 95 (dec)	95 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	01001010 (bin) / 74 (dec)	11001110 (bin) / 206 (dec)	1 (bin) / 1 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	10101010 (bin) / 170 (dec)	00010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	11100000 (bin) / 224 (dec)	10100100 (bin) / 164 (dec)	0 (bin) / 0 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	01111111 (bin) / 127 (dec)	00101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	11101011 (bin) / 235 (dec)	01001111 (bin) / 79 (dec)	1 (bin) / 1 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	11011100 (bin) / 220 (dec)	01011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	01000100 (bin) / 68 (dec)	00011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
192	10001111 (bin) / 143 (dec)	00101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	00001001 (bin) / 9 (dec)	01000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	10001111 (bin) / 143 (dec)	10011000 (bin) / 152 (dec)	1 (bin) / 1 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	10001110 (bin) / 142 (dec)	11100101 (bin) / 229 (dec)	1 (bin) / 1 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
196	00011101 (bin) / 29 (dec)	00000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	11101011 (bin) / 235 (dec)	10111000 (bin) / 184 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	01001100 (bin) / 76 (dec)	10100101 (bin) / 165 (dec)	1 (bin) / 1 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	01100000 (bin) / 96 (dec)	01001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	00000101 (bin) / 5 (dec)	10001000 (bin) / 136 (dec)	1 (bin) / 1 (dec)	10001110 (bin) / 142 (dec)	142 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	00101111 (bin) / 47 (dec)	11011000 (bin) / 216 (dec)	1 (bin) / 1 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
202	10110000 (bin) / 176 (dec)	10010111 (bin) / 151 (dec)	0 (bin) / 0 (dec)	01000111 (bin) / 71 (dec)	71 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	11111110 (bin) / 254 (dec)	10111101 (bin) / 189 (dec)	0 (bin) / 0 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	01101001 (bin) / 105 (dec)	00100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	01100010 (bin) / 98 (dec)	01111010 (bin) / 122 (dec)	1 (bin) / 1 (dec)	11011101 (bin) / 221 (dec)	221 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
206	00000011 (bin) / 3 (dec)	01010110 (bin) / 86 (dec)	1 (bin) / 1 (dec)	01011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	10000111 (bin) / 135 (dec)	01010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	11011110 (bin) / 222 (dec)	222 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	01001010 (bin) / 74 (dec)	11000101 (bin) / 197 (dec)	0 (bin) / 0 (dec)	00001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	00010110 (bin) / 22 (dec)	10111110 (bin) / 190 (dec)	0 (bin) / 0 (dec)	11010100 (bin) / 212 (dec)	212 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	10101010 (bin) / 170 (dec)	00011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	11001000 (bin) / 200 (dec)	200 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	00000001 (bin) / 1 (dec)	00011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	00011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	10101100 (bin) / 172 (dec)	01001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	11111000 (bin) / 248 (dec)	248 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	10011100 (bin) / 156 (dec)	01011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	11110101 (bin) / 245 (dec)	245 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	00101010 (bin) / 42 (dec)	10111111 (bin) / 191 (dec)	0 (bin) / 0 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	10100000 (bin) / 160 (dec)	01111001 (bin) / 121 (dec)	1 (bin) / 1 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	01011000 (bin) / 88 (dec)	01110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	11001111 (bin) / 207 (dec)	207 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	01011100 (bin) / 92 (dec)	01000000 (bin) / 64 (dec)	1 (bin) / 1 (dec)	10011101 (bin) / 157 (dec)	157 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```


Testbench for full_adder with parameter(s)

Total tests: 8
Passed tests: 8
Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin
Output Variables: sum, cout
Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "cin" in test_case:  
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    else:  
        sum_val = test_case["a"] + test_case["b"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    return outs
```

Testbench for half_adder with parameter(s)

Total tests: 4

Passed tests: 4

Failed tests: 0

Test Case	Input a	Input b	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```