

Testbenching Report for carry_select_adder

Table of Contents

Testbench Summary 3

Testbench for carry_select_adder with parameter(s) N1 4

Testbench for carry_select_adder with parameter(s) N2 5

Testbench for carry_select_adder with parameter(s) N3 6

Testbench for carry_select_adder with parameter(s) N4 11

Testbench for carry_select_adder with parameter(s) N5 17

Testbench for carry_select_adder with parameter(s) N6 23

Testbench for carry_select_adder with parameter(s) N7 29

Testbench for carry_select_adder with parameter(s) N8 35

Testbench for full_adder with parameter(s) 24

Testbench for half_adder with parameter(s) 25

Testbench Summary

Component	Total Tests	Passed	Failed
carry_select_adder_N1	8	8	0
carry_select_adder_N2	32	32	0
carry_select_adder_N3	128	128	0
carry_select_adder_N4	218	218	0
carry_select_adder_N5	218	218	0
carry_select_adder_N6	218	218	0
carry_select_adder_N7	218	218	0
carry_select_adder_N8	218	218	0
full_adder_	8	8	0
half_adder_	4	4	0

Testbench for carry_select_adder with parameter(s) N1

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for carry_select_adder with parameter(s) N2

Total tests: 32
Passed tests: 32
Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	11 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin
Output Variables: sum, cout
Bit Width: 8
Pattern: SubstringPattern

```
def matches(self, filename):  
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):  
    max_val = (1 << self.bit_width) - 1  
    if "cin" in test_case:  
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    else:  
        sum_val = test_case["a"] + test_case["b"]  
        outs = {  
            "sum": sum_val & max_val,  
            "cout": sum_val >> self.bit_width  
        }  
    return outs
```

Testbench for carry_select_adder with parameter(s) N3

Total tests: 128

Passed tests: 128

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
118	011 (bin) / 3 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for carry_select_adder with parameter(s) N4

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	0010 (bin) / 2 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0110 (bin) / 6 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0101 (bin) / 5 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	1011 (bin) / 11 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	0000 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	1110 (bin) / 14 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	0010 (bin) / 2 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	1011 (bin) / 11 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	0101 (bin) / 5 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	1001 (bin) / 9 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	1110 (bin) / 14 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	1110 (bin) / 14 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	1111 (bin) / 15 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	0111 (bin) / 7 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	1101 (bin) / 13 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	0011 (bin) / 3 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	0111 (bin) / 7 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
47	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	0101 (bin) / 5 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	1011 (bin) / 11 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	1111 (bin) / 15 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	1111 (bin) / 15 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	1110 (bin) / 14 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	0110 (bin) / 6 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
66	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	0010 (bin) / 2 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	0001 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	0000 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	1001 (bin) / 9 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
77	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	1101 (bin) / 13 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	0011 (bin) / 3 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	0010 (bin) / 2 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	0111 (bin) / 7 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
89	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
93	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	1000 (bin) / 8 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	1101 (bin) / 13 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	1101 (bin) / 13 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	0010 (bin) / 2 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	0000 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	0111 (bin) / 7 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	0101 (bin) / 5 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	1001 (bin) / 9 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
115	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
117	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
121	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	0111 (bin) / 7 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	0111 (bin) / 7 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	1111 (bin) / 15 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	1011 (bin) / 11 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	0101 (bin) / 5 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	1100 (bin) / 12 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	0011 (bin) / 3 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	0011 (bin) / 3 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	0001 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	1101 (bin) / 13 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	0010 (bin) / 2 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	1111 (bin) / 15 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
146	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
148	1000 (bin) / 8 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	1000 (bin) / 8 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
154	0100 (bin) / 4 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	0111 (bin) / 7 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	1010 (bin) / 10 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
160	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	1111 (bin) / 15 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	1000 (bin) / 8 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	0100 (bin) / 4 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	1101 (bin) / 13 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	1110 (bin) / 14 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	1001 (bin) / 9 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	1001 (bin) / 9 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	0011 (bin) / 3 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	1001 (bin) / 9 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	0110 (bin) / 6 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	0100 (bin) / 4 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
178	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	0100 (bin) / 4 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	0111 (bin) / 7 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	0000 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
183	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
188	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	1000 (bin) / 8 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	0001 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	1101 (bin) / 13 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	0010 (bin) / 2 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	0001 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	1010 (bin) / 10 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
202	0001 (bin) / 1 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	9 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	1010 (bin) / 10 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
206	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	1000 (bin) / 8 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	0101 (bin) / 5 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	1010 (bin) / 10 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	0011 (bin) / 3 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	0001 (bin) / 1 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	0010 (bin) / 2 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
216	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```


Testbench for carry_select_adder with parameter(s) N5

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	00010 (bin) / 2 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	11001 (bin) / 25 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	11110 (bin) / 30 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	10101 (bin) / 21 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	11000 (bin) / 24 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	11001 (bin) / 25 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	00000 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	00010 (bin) / 2 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	11010 (bin) / 26 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	10100 (bin) / 20 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	00001 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	00110 (bin) / 6 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	01010 (bin) / 10 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	10101 (bin) / 21 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	11001 (bin) / 25 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	10101 (bin) / 21 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	11000 (bin) / 24 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	10011 (bin) / 19 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	10010 (bin) / 18 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	10110 (bin) / 22 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	10110 (bin) / 22 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	01010 (bin) / 10 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	11100 (bin) / 28 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	01100 (bin) / 12 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	10100 (bin) / 20 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	10011 (bin) / 19 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	10000 (bin) / 16 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	00110 (bin) / 6 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	00011 (bin) / 3 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	00001 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	00101 (bin) / 5 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	11100 (bin) / 28 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	10101 (bin) / 21 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	01010 (bin) / 10 (dec)	00110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	10001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	11001 (bin) / 25 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	10110 (bin) / 22 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	00010 (bin) / 2 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	01011 (bin) / 11 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	11101 (bin) / 29 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	00111 (bin) / 7 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	01011 (bin) / 11 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	01111 (bin) / 15 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	00011 (bin) / 3 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	11011 (bin) / 27 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	01111 (bin) / 15 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	10100 (bin) / 20 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	10101 (bin) / 21 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	00100 (bin) / 4 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	10111 (bin) / 23 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	10110 (bin) / 22 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	00110 (bin) / 6 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	00010 (bin) / 2 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	00111 (bin) / 7 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	11000 (bin) / 24 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	01101 (bin) / 13 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	10110 (bin) / 22 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	11110 (bin) / 30 (dec)	30 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
56	11000 (bin) / 24 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	00111 (bin) / 7 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	01011 (bin) / 11 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	00101 (bin) / 5 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	10110 (bin) / 22 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	00110 (bin) / 6 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	00101 (bin) / 5 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	01011 (bin) / 11 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	01000 (bin) / 8 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	11101 (bin) / 29 (dec)	11101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	10011 (bin) / 19 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	11010 (bin) / 26 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	10101 (bin) / 21 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
69	01001 (bin) / 9 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	01101 (bin) / 13 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	01100 (bin) / 12 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	10100 (bin) / 20 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	11011 (bin) / 27 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	11101 (bin) / 29 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	01100 (bin) / 12 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	10001 (bin) / 17 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	00110 (bin) / 6 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	10001 (bin) / 17 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	10111 (bin) / 23 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	01010 (bin) / 10 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	11010 (bin) / 26 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	11111 (bin) / 31 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	00100 (bin) / 4 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	01010 (bin) / 10 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	10111 (bin) / 23 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	00000 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	10011 (bin) / 19 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	01010 (bin) / 10 (dec)	10010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	01010 (bin) / 10 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	10000 (bin) / 16 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
91	01110 (bin) / 14 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	11100 (bin) / 28 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	10101 (bin) / 21 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	10011 (bin) / 19 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
95	01101 (bin) / 13 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	01110 (bin) / 14 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	11101 (bin) / 29 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	01101 (bin) / 13 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	01010 (bin) / 10 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	00101 (bin) / 5 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	01101 (bin) / 13 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	10101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	11011 (bin) / 27 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	11100 (bin) / 28 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	11101 (bin) / 29 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	00001 (bin) / 1 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	01011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	00011 (bin) / 3 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	10001 (bin) / 17 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	11010 (bin) / 26 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	11000 (bin) / 24 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	01010 (bin) / 10 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	11111 (bin) / 31 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	10110 (bin) / 22 (dec)	11000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	01111 (bin) / 15 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	10101 (bin) / 21 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	01100 (bin) / 12 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	01110 (bin) / 14 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	11001 (bin) / 25 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	00101 (bin) / 5 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	01001 (bin) / 9 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	11001 (bin) / 25 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	00001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	00011 (bin) / 3 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00111 (bin) / 7 (dec)	7 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	00001 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	10011 (bin) / 19 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	01101 (bin) / 13 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	10100 (bin) / 20 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	01110 (bin) / 14 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
127	00001 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	01111 (bin) / 15 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
129	00001 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	01100 (bin) / 12 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	00101 (bin) / 5 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	10011 (bin) / 19 (dec)	11110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	11100 (bin) / 28 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	11110 (bin) / 30 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	01111 (bin) / 15 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	10101 (bin) / 21 (dec)	01001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	11111 (bin) / 31 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
138	10010 (bin) / 18 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	00010 (bin) / 2 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	10010 (bin) / 18 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	00000 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
142	11010 (bin) / 26 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	11111 (bin) / 31 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	00011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	01010 (bin) / 10 (dec)	00101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	11100 (bin) / 28 (dec)	01000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
146	01111 (bin) / 15 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	10000 (bin) / 16 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	11010 (bin) / 26 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
149	10110 (bin) / 22 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	10001 (bin) / 17 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	01011 (bin) / 11 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	00001 (bin) / 1 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
153	01110 (bin) / 14 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
154	10110 (bin) / 22 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	00011 (bin) / 3 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	00100 (bin) / 4 (dec)	4 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	10001 (bin) / 17 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	00000 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	01111 (bin) / 15 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	00111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	11111 (bin) / 31 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	11110 (bin) / 30 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	11010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	11001 (bin) / 25 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	11100 (bin) / 28 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
163	10011 (bin) / 19 (dec)	10100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	01000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
164	01110 (bin) / 14 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
165	01100 (bin) / 12 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	00111 (bin) / 7 (dec)	11010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	00010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	01100 (bin) / 12 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	10100 (bin) / 20 (dec)	01011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	01101 (bin) / 13 (dec)	01110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	00100 (bin) / 4 (dec)	01111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	10000 (bin) / 16 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	10010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	11111 (bin) / 31 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	01101 (bin) / 13 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	00001 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	00110 (bin) / 6 (dec)	6 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
175	01101 (bin) / 13 (dec)	00000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	00000 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	11010 (bin) / 26 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	01110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	00101 (bin) / 5 (dec)	10111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	00000 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	11010 (bin) / 26 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	11110 (bin) / 30 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	10001 (bin) / 17 (dec)	01111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	01010 (bin) / 10 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	01001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	00011 (bin) / 3 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	01110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	11011 (bin) / 27 (dec)	10000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	01011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	00100 (bin) / 4 (dec)	00000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	00101 (bin) / 5 (dec)	5 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	10111 (bin) / 23 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	00010 (bin) / 2 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	11011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	00000 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	11000 (bin) / 24 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	11000 (bin) / 24 (dec)	00001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	11001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
192	11010 (bin) / 26 (dec)	10110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	10000 (bin) / 16 (dec)	01100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	11101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
194	10010 (bin) / 18 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	10010 (bin) / 18 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	11000 (bin) / 24 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	10011 (bin) / 19 (dec)	10010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	00110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	10110 (bin) / 22 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	10001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	00010 (bin) / 2 (dec)	11101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	00000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	00111 (bin) / 7 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	01011 (bin) / 11 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	10110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	11111 (bin) / 31 (dec)	11001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	11000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	00100 (bin) / 4 (dec)	11011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	11111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	11111 (bin) / 31 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	11001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	11110 (bin) / 30 (dec)	10100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	10010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	10011 (bin) / 19 (dec)	11011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	01111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
207	11000 (bin) / 24 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	11010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	10000 (bin) / 16 (dec)	11010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	01010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	10010 (bin) / 18 (dec)	00010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	10100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	01011 (bin) / 11 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	11000 (bin) / 24 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	01101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	11000 (bin) / 24 (dec)	11000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	01011 (bin) / 11 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	11100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	00100 (bin) / 4 (dec)	01100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	10000 (bin) / 16 (dec)	16 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	11010 (bin) / 26 (dec)	11001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	10100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	01001 (bin) / 9 (dec)	01101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	10111 (bin) / 23 (dec)	23 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	00100 (bin) / 4 (dec)	10011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	11000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for carry_select_adder with parameter(s) N6

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	011011 (bin) / 27 (dec)	010100 (bin) / 20 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	111101 (bin) / 61 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	000110 (bin) / 6 (dec)	111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	000111 (bin) / 7 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	110111 (bin) / 55 (dec)	110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	110001 (bin) / 49 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	000010 (bin) / 2 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	011011 (bin) / 27 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	011111 (bin) / 31 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	011101 (bin) / 29 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	101100 (bin) / 44 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	101010 (bin) / 42 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	111110 (bin) / 62 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	100010 (bin) / 34 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	011001 (bin) / 25 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	011100 (bin) / 28 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	101101 (bin) / 45 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	101001 (bin) / 41 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	111010 (bin) / 58 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	000101 (bin) / 5 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	010101 (bin) / 21 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	110011 (bin) / 51 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	010000 (bin) / 16 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	010110 (bin) / 22 (dec)	001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	001000 (bin) / 8 (dec)	010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	011000 (bin) / 24 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	000111 (bin) / 7 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	110001 (bin) / 49 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	000011 (bin) / 3 (dec)	011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	010110 (bin) / 22 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	010100 (bin) / 20 (dec)	000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	101110 (bin) / 46 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	001000 (bin) / 8 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	001111 (bin) / 15 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	000101 (bin) / 5 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	101110 (bin) / 46 (dec)	110101 (bin) / 53 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	111010 (bin) / 58 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	011101 (bin) / 29 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	000000 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	0 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	110101 (bin) / 53 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	000001 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	010000 (bin) / 16 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	110100 (bin) / 52 (dec)	000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
43	100101 (bin) / 37 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	010100 (bin) / 20 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	000110 (bin) / 6 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	110011 (bin) / 51 (dec)	51 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	010001 (bin) / 17 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
47	110111 (bin) / 55 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	110010 (bin) / 50 (dec)	111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	101111 (bin) / 47 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	001011 (bin) / 11 (dec)	110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	100000 (bin) / 32 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	001111 (bin) / 15 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	101101 (bin) / 45 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	000010 (bin) / 2 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	001101 (bin) / 13 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
56	111010 (bin) / 58 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	000100 (bin) / 4 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	111110 (bin) / 62 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	011000 (bin) / 24 (dec)	111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	110101 (bin) / 53 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	101111 (bin) / 47 (dec)	100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	111110 (bin) / 62 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	000000 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	010011 (bin) / 19 (dec)	100111 (bin) / 39 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
65	111001 (bin) / 57 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	011010 (bin) / 26 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	110010 (bin) / 50 (dec)	50 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	110010 (bin) / 50 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	010100 (bin) / 20 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	000111 (bin) / 7 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	101110 (bin) / 46 (dec)	111111 (bin) / 63 (dec)	0 (bin) / 0 (dec)	101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	001111 (bin) / 15 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	101110 (bin) / 46 (dec)	011100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	010100 (bin) / 20 (dec)	001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	011111 (bin) / 31 (dec)	31 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	110010 (bin) / 50 (dec)	101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	011000 (bin) / 24 (dec)	001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	101101 (bin) / 45 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	111101 (bin) / 61 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	000101 (bin) / 5 (dec)	110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	110111 (bin) / 55 (dec)	55 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	011100 (bin) / 28 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	001011 (bin) / 11 (dec)	010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	011101 (bin) / 29 (dec)	29 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	011000 (bin) / 24 (dec)	000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	110000 (bin) / 48 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
83	000110 (bin) / 6 (dec)	001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	001111 (bin) / 15 (dec)	15 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	010011 (bin) / 19 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	110010 (bin) / 50 (dec)	001100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	011001 (bin) / 25 (dec)	001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	001001 (bin) / 9 (dec)	000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	010001 (bin) / 17 (dec)	17 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	001111 (bin) / 15 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	010010 (bin) / 18 (dec)	18 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	101101 (bin) / 45 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	111000 (bin) / 56 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	110100 (bin) / 52 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
92	000100 (bin) / 4 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	001000 (bin) / 8 (dec)	8 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
93	101010 (bin) / 42 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	111111 (bin) / 63 (dec)	100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	110011 (bin) / 51 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	101110 (bin) / 46 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	010111 (bin) / 23 (dec)	111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	010001 (bin) / 17 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	000100 (bin) / 4 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	001011 (bin) / 11 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	000001 (bin) / 1 (dec)	101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	100101 (bin) / 37 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	011110 (bin) / 30 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	001000 (bin) / 8 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
105	110110 (bin) / 54 (dec)	010101 (bin) / 21 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	001111 (bin) / 15 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	110100 (bin) / 52 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	000111 (bin) / 7 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	100011 (bin) / 35 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	010000 (bin) / 16 (dec)	111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	110110 (bin) / 54 (dec)	110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	010000 (bin) / 16 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	100001 (bin) / 33 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	010101 (bin) / 21 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
115	100111 (bin) / 39 (dec)	000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	111110 (bin) / 62 (dec)	011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	011110 (bin) / 30 (dec)	101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	101100 (bin) / 44 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	001100 (bin) / 12 (dec)	000000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	001101 (bin) / 13 (dec)	13 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
120	110100 (bin) / 52 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
121	110001 (bin) / 49 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	001011 (bin) / 11 (dec)	100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	110111 (bin) / 55 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	100001 (bin) / 33 (dec)	111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	001011 (bin) / 11 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	001110 (bin) / 14 (dec)	14 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
126	001011 (bin) / 11 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	101010 (bin) / 42 (dec)	42 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	011100 (bin) / 28 (dec)	001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
128	000111 (bin) / 7 (dec)	101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
129	111101 (bin) / 61 (dec)	101111 (bin) / 47 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	011101 (bin) / 29 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	101001 (bin) / 41 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	101001 (bin) / 41 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	111001 (bin) / 57 (dec)	010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	111011 (bin) / 59 (dec)	001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	001001 (bin) / 9 (dec)	9 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	010000 (bin) / 16 (dec)	000011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	101110 (bin) / 46 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	110110 (bin) / 54 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
138	111000 (bin) / 56 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	010100 (bin) / 20 (dec)	110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	110100 (bin) / 52 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	000011 (bin) / 3 (dec)	010001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	010101 (bin) / 21 (dec)	21 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
142	010100 (bin) / 20 (dec)	000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	111100 (bin) / 60 (dec)	101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	110000 (bin) / 48 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	101110 (bin) / 46 (dec)	100001 (bin) / 33 (dec)	0 (bin) / 0 (dec)	001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
146	010101 (bin) / 21 (dec)	110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	011100 (bin) / 28 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	100101 (bin) / 37 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	111001 (bin) / 57 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	100100 (bin) / 36 (dec)	111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	001010 (bin) / 10 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	010001 (bin) / 17 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	111111 (bin) / 63 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	100110 (bin) / 38 (dec)	001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	001111 (bin) / 15 (dec)	001010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	111110 (bin) / 62 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	100111 (bin) / 39 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	111000 (bin) / 56 (dec)	001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	111000 (bin) / 56 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	111111 (bin) / 63 (dec)	111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	111100 (bin) / 60 (dec)	101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
162	001101 (bin) / 13 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
163	011100 (bin) / 28 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	110100 (bin) / 52 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	100001 (bin) / 33 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	011110 (bin) / 30 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	111100 (bin) / 60 (dec)	011011 (bin) / 27 (dec)	0 (bin) / 0 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	111110 (bin) / 62 (dec)	101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	111101 (bin) / 61 (dec)	011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	000101 (bin) / 5 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	110111 (bin) / 55 (dec)	001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	100010 (bin) / 34 (dec)	011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	010010 (bin) / 18 (dec)	000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	010110 (bin) / 22 (dec)	22 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	101111 (bin) / 47 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	001111 (bin) / 15 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	100110 (bin) / 38 (dec)	38 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	000110 (bin) / 6 (dec)	011011 (bin) / 27 (dec)	1 (bin) / 1 (dec)	100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	100011 (bin) / 35 (dec)	011110 (bin) / 30 (dec)	1 (bin) / 1 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	110000 (bin) / 48 (dec)	101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	011011 (bin) / 27 (dec)	111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	111000 (bin) / 56 (dec)	010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	011101 (bin) / 29 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	011111 (bin) / 31 (dec)	110011 (bin) / 51 (dec)	1 (bin) / 1 (dec)	010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	000101 (bin) / 5 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
184	111111 (bin) / 63 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	001001 (bin) / 9 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	010000 (bin) / 16 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	110101 (bin) / 53 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	011010 (bin) / 26 (dec)	100010 (bin) / 34 (dec)	0 (bin) / 0 (dec)	111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	011110 (bin) / 30 (dec)	101100 (bin) / 44 (dec)	1 (bin) / 1 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	100001 (bin) / 33 (dec)	000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	000110 (bin) / 6 (dec)	010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
192	010110 (bin) / 22 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	101101 (bin) / 45 (dec)	100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	101100 (bin) / 44 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	100000 (bin) / 32 (dec)	011000 (bin) / 24 (dec)	0 (bin) / 0 (dec)	111000 (bin) / 56 (dec)	56 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	000110 (bin) / 6 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	011000 (bin) / 24 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
198	100000 (bin) / 32 (dec)	101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	111100 (bin) / 60 (dec)	011010 (bin) / 26 (dec)	1 (bin) / 1 (dec)	010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	100110 (bin) / 38 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	000101 (bin) / 5 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	000101 (bin) / 5 (dec)	011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	100011 (bin) / 35 (dec)	35 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	001100 (bin) / 12 (dec)	011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	100110 (bin) / 38 (dec)	000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	110010 (bin) / 50 (dec)	111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	000000 (bin) / 0 (dec)	101010 (bin) / 42 (dec)	1 (bin) / 1 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	111100 (bin) / 60 (dec)	110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	101100 (bin) / 44 (dec)	001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	100111 (bin) / 39 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	101100 (bin) / 44 (dec)	000010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	110111 (bin) / 55 (dec)	001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	011000 (bin) / 24 (dec)	010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	101011 (bin) / 43 (dec)	43 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	100101 (bin) / 37 (dec)	001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	001001 (bin) / 9 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	100001 (bin) / 33 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	000111 (bin) / 7 (dec)	7 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	001101 (bin) / 13 (dec)	100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	010100 (bin) / 20 (dec)	111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for carry_select_adder with parameter(s) N7

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1010011 (bin) / 83 (dec)	1011001 (bin) / 89 (dec)	1 (bin) / 1 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0001010 (bin) / 10 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1110000 (bin) / 112 (dec)	1001100 (bin) / 76 (dec)	0 (bin) / 0 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1101001 (bin) / 105 (dec)	1010001 (bin) / 81 (dec)	1 (bin) / 1 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	1011010 (bin) / 90 (dec)	0000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	0100000 (bin) / 32 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	1011101 (bin) / 93 (dec)	1010001 (bin) / 81 (dec)	0 (bin) / 0 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	1100000 (bin) / 96 (dec)	0100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	0000100 (bin) / 4 (dec)	0000111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	1000100 (bin) / 68 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	0110000 (bin) / 48 (dec)	1001010 (bin) / 74 (dec)	0 (bin) / 0 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	1000001 (bin) / 65 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1111001 (bin) / 121 (dec)	121 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	1000101 (bin) / 69 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	1110100 (bin) / 116 (dec)	1001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	1010101 (bin) / 85 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	0000010 (bin) / 2 (dec)	0000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	0000010 (bin) / 2 (dec)	0011111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	0000101 (bin) / 5 (dec)	1110110 (bin) / 118 (dec)	1 (bin) / 1 (dec)	1111100 (bin) / 124 (dec)	124 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	1000101 (bin) / 69 (dec)	0101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	1110000 (bin) / 112 (dec)	112 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	1111011 (bin) / 123 (dec)	0011000 (bin) / 24 (dec)	1 (bin) / 1 (dec)	0010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	0111100 (bin) / 60 (dec)	1110110 (bin) / 118 (dec)	0 (bin) / 0 (dec)	0110010 (bin) / 50 (dec)	50 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	1110100 (bin) / 116 (dec)	1110011 (bin) / 115 (dec)	1 (bin) / 1 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	1101101 (bin) / 109 (dec)	1010111 (bin) / 87 (dec)	1 (bin) / 1 (dec)	1000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	1100100 (bin) / 100 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	0100001 (bin) / 33 (dec)	1000010 (bin) / 66 (dec)	1 (bin) / 1 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	0111011 (bin) / 59 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	0000111 (bin) / 7 (dec)	0101101 (bin) / 45 (dec)	0 (bin) / 0 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	0111101 (bin) / 61 (dec)	1100111 (bin) / 103 (dec)	0 (bin) / 0 (dec)	0100100 (bin) / 36 (dec)	36 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	1010111 (bin) / 87 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	1011111 (bin) / 95 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	0110000 (bin) / 48 (dec)	0000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0110000 (bin) / 48 (dec)	48 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	0011010 (bin) / 26 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	1111110 (bin) / 126 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	1101000 (bin) / 104 (dec)	104 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	0111001 (bin) / 57 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1000111 (bin) / 71 (dec)	71 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	1000000 (bin) / 64 (dec)	0001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	0110011 (bin) / 51 (dec)	0100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	1011011 (bin) / 91 (dec)	91 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	1000101 (bin) / 69 (dec)	0100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	1101001 (bin) / 105 (dec)	105 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	0110010 (bin) / 50 (dec)	0010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	0000000 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	0101100 (bin) / 44 (dec)	44 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
39	1000011 (bin) / 67 (dec)	1100101 (bin) / 101 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	1001100 (bin) / 76 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	1001000 (bin) / 72 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	0010010 (bin) / 18 (dec)	1110010 (bin) / 114 (dec)	1 (bin) / 1 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	1100111 (bin) / 103 (dec)	1100110 (bin) / 102 (dec)	0 (bin) / 0 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	1011100 (bin) / 92 (dec)	1100000 (bin) / 96 (dec)	1 (bin) / 1 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	1111111 (bin) / 127 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
46	1101100 (bin) / 108 (dec)	0011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	0001000 (bin) / 8 (dec)	1110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	1000010 (bin) / 66 (dec)	1111110 (bin) / 126 (dec)	0 (bin) / 0 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	0110101 (bin) / 53 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	1100100 (bin) / 100 (dec)	100 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	1100000 (bin) / 96 (dec)	0010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	1110101 (bin) / 117 (dec)	117 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
51	1101111 (bin) / 111 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	0010111 (bin) / 23 (dec)	0100100 (bin) / 36 (dec)	0 (bin) / 0 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
53	1011111 (bin) / 95 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	0001011 (bin) / 11 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	0101011 (bin) / 43 (dec)	1011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	1010100 (bin) / 84 (dec)	1001101 (bin) / 77 (dec)	1 (bin) / 1 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	0110001 (bin) / 49 (dec)	0001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	0010011 (bin) / 19 (dec)	0111001 (bin) / 57 (dec)	1 (bin) / 1 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	0011010 (bin) / 26 (dec)	0001000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
60	0011111 (bin) / 31 (dec)	0010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	1001101 (bin) / 77 (dec)	0011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	0011011 (bin) / 27 (dec)	0001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0100101 (bin) / 37 (dec)	37 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	0000111 (bin) / 7 (dec)	1000001 (bin) / 65 (dec)	1 (bin) / 1 (dec)	1001001 (bin) / 73 (dec)	73 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	0101011 (bin) / 43 (dec)	1110011 (bin) / 115 (dec)	1 (bin) / 1 (dec)	0011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	1101101 (bin) / 109 (dec)	1110100 (bin) / 116 (dec)	0 (bin) / 0 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	1010010 (bin) / 82 (dec)	1101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	0110011 (bin) / 51 (dec)	0010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	1001010 (bin) / 74 (dec)	74 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
68	1111100 (bin) / 124 (dec)	1110101 (bin) / 117 (dec)	0 (bin) / 0 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
69	0011100 (bin) / 28 (dec)	0010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	0110100 (bin) / 52 (dec)	52 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	1111110 (bin) / 126 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	0111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	0010010 (bin) / 18 (dec)	0110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	1100011 (bin) / 99 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	1100000 (bin) / 96 (dec)	96 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	1110011 (bin) / 115 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	0100010 (bin) / 34 (dec)	0011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	1101010 (bin) / 106 (dec)	0100101 (bin) / 37 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
76	1110010 (bin) / 114 (dec)	0000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1110010 (bin) / 114 (dec)	114 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
77	1111001 (bin) / 121 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	0001010 (bin) / 10 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	0110011 (bin) / 51 (dec)	1110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	1011100 (bin) / 92 (dec)	1100001 (bin) / 97 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
81	0111111 (bin) / 63 (dec)	0000100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1000011 (bin) / 67 (dec)	67 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	0010110 (bin) / 22 (dec)	1000110 (bin) / 70 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	1111111 (bin) / 127 (dec)	0001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	0101100 (bin) / 44 (dec)	1010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	0000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	1000100 (bin) / 68 (dec)	1111010 (bin) / 122 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	0111100 (bin) / 60 (dec)	1000100 (bin) / 68 (dec)	1 (bin) / 1 (dec)	0000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	0110101 (bin) / 53 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
88	0100000 (bin) / 32 (dec)	1101111 (bin) / 111 (dec)	1 (bin) / 1 (dec)	0010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
89	1100100 (bin) / 100 (dec)	1000101 (bin) / 69 (dec)	0 (bin) / 0 (dec)	0101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
90	1010101 (bin) / 85 (dec)	0101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	1010101 (bin) / 85 (dec)	1010010 (bin) / 82 (dec)	1 (bin) / 1 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
92	0101110 (bin) / 46 (dec)	1010000 (bin) / 80 (dec)	1 (bin) / 1 (dec)	1111111 (bin) / 127 (dec)	127 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
93	1110011 (bin) / 115 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	1111011 (bin) / 123 (dec)	0110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	1111001 (bin) / 121 (dec)	1101101 (bin) / 109 (dec)	1 (bin) / 1 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	1101110 (bin) / 110 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	0010110 (bin) / 22 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	1101011 (bin) / 107 (dec)	1000100 (bin) / 68 (dec)	0 (bin) / 0 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	0101001 (bin) / 41 (dec)	1100110 (bin) / 102 (dec)	0 (bin) / 0 (dec)	0001111 (bin) / 15 (dec)	15 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	0010111 (bin) / 23 (dec)	0110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	1100000 (bin) / 96 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	0000000 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	1011010 (bin) / 90 (dec)	90 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	1110001 (bin) / 113 (dec)	1110001 (bin) / 113 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	1100100 (bin) / 100 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	1110101 (bin) / 117 (dec)	1000001 (bin) / 65 (dec)	0 (bin) / 0 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	1001010 (bin) / 74 (dec)	0111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	0111111 (bin) / 63 (dec)	1011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	0011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	1000100 (bin) / 68 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
109	1001010 (bin) / 74 (dec)	1000011 (bin) / 67 (dec)	0 (bin) / 0 (dec)	0001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	0011110 (bin) / 30 (dec)	0001111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0101110 (bin) / 46 (dec)	46 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	1000111 (bin) / 71 (dec)	1000010 (bin) / 66 (dec)	1 (bin) / 1 (dec)	0001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	1010010 (bin) / 82 (dec)	1010001 (bin) / 81 (dec)	0 (bin) / 0 (dec)	0100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	1000111 (bin) / 71 (dec)	1010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	1100011 (bin) / 99 (dec)	0110010 (bin) / 50 (dec)	0 (bin) / 0 (dec)	0010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	0011011 (bin) / 27 (dec)	0000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0100000 (bin) / 32 (dec)	32 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	0111111 (bin) / 63 (dec)	1011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	1111010 (bin) / 122 (dec)	1000101 (bin) / 69 (dec)	1 (bin) / 1 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	0101111 (bin) / 47 (dec)	0011110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	1001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	1010110 (bin) / 86 (dec)	0111010 (bin) / 58 (dec)	1 (bin) / 1 (dec)	0010001 (bin) / 17 (dec)	17 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	1111100 (bin) / 124 (dec)	1111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	0111011 (bin) / 59 (dec)	1101011 (bin) / 107 (dec)	1 (bin) / 1 (dec)	0100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	1000100 (bin) / 68 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	0001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	1110000 (bin) / 112 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	0011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	0101101 (bin) / 45 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	1101101 (bin) / 109 (dec)	109 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	0100100 (bin) / 36 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	0100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	0100101 (bin) / 37 (dec)	0010011 (bin) / 19 (dec)	1 (bin) / 1 (dec)	0111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	1001110 (bin) / 78 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	0110101 (bin) / 53 (dec)	1000011 (bin) / 67 (dec)	0 (bin) / 0 (dec)	1111000 (bin) / 120 (dec)	120 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
129	1100010 (bin) / 98 (dec)	1011000 (bin) / 88 (dec)	1 (bin) / 1 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	0011011 (bin) / 27 (dec)	1010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	1110010 (bin) / 114 (dec)	114 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
131	1101000 (bin) / 104 (dec)	1000000 (bin) / 64 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	1000101 (bin) / 69 (dec)	0110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	1111010 (bin) / 122 (dec)	122 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
133	1110101 (bin) / 117 (dec)	1110100 (bin) / 116 (dec)	1 (bin) / 1 (dec)	1101010 (bin) / 106 (dec)	106 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	1101101 (bin) / 109 (dec)	0000110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1110011 (bin) / 115 (dec)	115 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	0101010 (bin) / 42 (dec)	0111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	1100111 (bin) / 103 (dec)	103 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	1000111 (bin) / 71 (dec)	1001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	0010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	0110110 (bin) / 54 (dec)	0101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	1000011 (bin) / 67 (dec)	0101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
139	0001001 (bin) / 9 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	0110101 (bin) / 53 (dec)	53 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	0111010 (bin) / 58 (dec)	1100011 (bin) / 99 (dec)	1 (bin) / 1 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	1101001 (bin) / 105 (dec)	0011001 (bin) / 25 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	0001001 (bin) / 9 (dec)	1010010 (bin) / 82 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	0010100 (bin) / 20 (dec)	0000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	1010011 (bin) / 83 (dec)	0010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
145	0101001 (bin) / 41 (dec)	0101001 (bin) / 41 (dec)	0 (bin) / 0 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	0111010 (bin) / 58 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	0111101 (bin) / 61 (dec)	1001110 (bin) / 78 (dec)	0 (bin) / 0 (dec)	0001011 (bin) / 11 (dec)	11 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	0110010 (bin) / 50 (dec)	1110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	0110111 (bin) / 55 (dec)	0001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	0101000 (bin) / 40 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	1100110 (bin) / 102 (dec)	102 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	0001000 (bin) / 8 (dec)	0010001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	1010011 (bin) / 83 (dec)	1011011 (bin) / 91 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	1010111 (bin) / 87 (dec)	1111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	1010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	1100000 (bin) / 96 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	0111101 (bin) / 61 (dec)	61 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	1101100 (bin) / 108 (dec)	0011001 (bin) / 25 (dec)	1 (bin) / 1 (dec)	0000110 (bin) / 6 (dec)	6 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	0111001 (bin) / 57 (dec)	0111000 (bin) / 56 (dec)	1 (bin) / 1 (dec)	1110010 (bin) / 114 (dec)	114 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	0110110 (bin) / 54 (dec)	0111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	1111001 (bin) / 121 (dec)	1101000 (bin) / 104 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	1111000 (bin) / 120 (dec)	0110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	0101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	0100100 (bin) / 36 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
161	0001110 (bin) / 14 (dec)	0101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	1001011 (bin) / 75 (dec)	1100011 (bin) / 99 (dec)	1 (bin) / 1 (dec)	0101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	0110111 (bin) / 55 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	1100000 (bin) / 96 (dec)	0111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	0011011 (bin) / 27 (dec)	27 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	1010001 (bin) / 81 (dec)	1111100 (bin) / 124 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	1111110 (bin) / 126 (dec)	1100100 (bin) / 100 (dec)	1 (bin) / 1 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	0101100 (bin) / 44 (dec)	0000001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
168	1101110 (bin) / 110 (dec)	1101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	1011000 (bin) / 88 (dec)	88 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	1010111 (bin) / 87 (dec)	0011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	1110111 (bin) / 119 (dec)	119 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
170	1110010 (bin) / 114 (dec)	0101100 (bin) / 44 (dec)	0 (bin) / 0 (dec)	0011110 (bin) / 30 (dec)	30 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	0010011 (bin) / 19 (dec)	0001110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0100010 (bin) / 34 (dec)	34 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	0010011 (bin) / 19 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	1101100 (bin) / 108 (dec)	108 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	0011111 (bin) / 31 (dec)	0110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
174	0110010 (bin) / 50 (dec)	1100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	0010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	1010100 (bin) / 84 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	0110001 (bin) / 49 (dec)	49 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	1101011 (bin) / 107 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	1000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	0111011 (bin) / 59 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	0001000 (bin) / 8 (dec)	1000101 (bin) / 69 (dec)	1 (bin) / 1 (dec)	1001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	0001101 (bin) / 13 (dec)	0101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	0111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	0100111 (bin) / 39 (dec)	0111101 (bin) / 61 (dec)	1 (bin) / 1 (dec)	1100101 (bin) / 101 (dec)	101 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	0010100 (bin) / 20 (dec)	0101101 (bin) / 45 (dec)	1 (bin) / 1 (dec)	1000010 (bin) / 66 (dec)	66 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	1110000 (bin) / 112 (dec)	0010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	0000100 (bin) / 4 (dec)	4 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	1100110 (bin) / 102 (dec)	0100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	0001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	0111000 (bin) / 56 (dec)	1100001 (bin) / 97 (dec)	1 (bin) / 1 (dec)	0011010 (bin) / 26 (dec)	26 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
185	1000110 (bin) / 70 (dec)	0001101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	1010011 (bin) / 83 (dec)	83 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	0101110 (bin) / 46 (dec)	0100101 (bin) / 37 (dec)	1 (bin) / 1 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	0110100 (bin) / 52 (dec)	1001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	1111110 (bin) / 126 (dec)	126 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
188	0100011 (bin) / 35 (dec)	0110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	1010101 (bin) / 85 (dec)	85 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
189	1000000 (bin) / 64 (dec)	0010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	1010100 (bin) / 84 (dec)	84 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	0000101 (bin) / 5 (dec)	0111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	1001101 (bin) / 77 (dec)	0111000 (bin) / 56 (dec)	0 (bin) / 0 (dec)	0000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	0110010 (bin) / 50 (dec)	0111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	1101110 (bin) / 110 (dec)	110 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
193	1101000 (bin) / 104 (dec)	0110001 (bin) / 49 (dec)	0 (bin) / 0 (dec)	0011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	0010111 (bin) / 23 (dec)	0000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0011100 (bin) / 28 (dec)	28 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
195	1000100 (bin) / 68 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
196	1110101 (bin) / 117 (dec)	1111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	1110001 (bin) / 113 (dec)	113 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
197	0011100 (bin) / 28 (dec)	0101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	1001000 (bin) / 72 (dec)	72 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	1011111 (bin) / 95 (dec)	1100110 (bin) / 102 (dec)	1 (bin) / 1 (dec)	1000110 (bin) / 70 (dec)	70 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	0011011 (bin) / 27 (dec)	1000010 (bin) / 66 (dec)	0 (bin) / 0 (dec)	1011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	0000011 (bin) / 3 (dec)	1100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	1100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	1111000 (bin) / 120 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
202	0111010 (bin) / 58 (dec)	0010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	1010010 (bin) / 82 (dec)	82 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	1110100 (bin) / 116 (dec)	1101000 (bin) / 104 (dec)	0 (bin) / 0 (dec)	1011100 (bin) / 92 (dec)	92 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	0100011 (bin) / 35 (dec)	0000101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0101000 (bin) / 40 (dec)	40 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	1000100 (bin) / 68 (dec)	1110110 (bin) / 118 (dec)	0 (bin) / 0 (dec)	0111010 (bin) / 58 (dec)	58 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	1010001 (bin) / 81 (dec)	0010000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	1100010 (bin) / 98 (dec)	98 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	1100011 (bin) / 99 (dec)	1110100 (bin) / 116 (dec)	0 (bin) / 0 (dec)	1010111 (bin) / 87 (dec)	87 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	1111011 (bin) / 123 (dec)	0000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	1010101 (bin) / 85 (dec)	1100111 (bin) / 103 (dec)	0 (bin) / 0 (dec)	0111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	1110111 (bin) / 119 (dec)	1101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	1100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	1100100 (bin) / 100 (dec)	1001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	0101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	0110000 (bin) / 48 (dec)	1010010 (bin) / 82 (dec)	0 (bin) / 0 (dec)	0000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	0111011 (bin) / 59 (dec)	0100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	1011111 (bin) / 95 (dec)	95 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	1100010 (bin) / 98 (dec)	0110000 (bin) / 48 (dec)	0 (bin) / 0 (dec)	0010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	1111001 (bin) / 121 (dec)	0111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	0110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	0111011 (bin) / 59 (dec)	0000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0111111 (bin) / 63 (dec)	63 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	1101101 (bin) / 109 (dec)	0001110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for carry_select_adder with parameter(s) N8

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	01100100 (bin) / 100 (dec)	11000111 (bin) / 199 (dec)	0 (bin) / 0 (dec)	00101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	11101100 (bin) / 236 (dec)	01010101 (bin) / 85 (dec)	1 (bin) / 1 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	01110100 (bin) / 116 (dec)	01001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	01010111 (bin) / 87 (dec)	00010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	01101010 (bin) / 106 (dec)	106 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	10001010 (bin) / 138 (dec)	10011011 (bin) / 155 (dec)	1 (bin) / 1 (dec)	00100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	01100011 (bin) / 99 (dec)	11110110 (bin) / 246 (dec)	0 (bin) / 0 (dec)	01011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	10100010 (bin) / 162 (dec)	00000011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	10100110 (bin) / 166 (dec)	166 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	10110111 (bin) / 183 (dec)	10111111 (bin) / 191 (dec)	0 (bin) / 0 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	11011011 (bin) / 219 (dec)	00010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	00010001 (bin) / 17 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	01111110 (bin) / 126 (dec)	126 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	11111110 (bin) / 254 (dec)	11110100 (bin) / 244 (dec)	1 (bin) / 1 (dec)	11110011 (bin) / 243 (dec)	243 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	11010000 (bin) / 208 (dec)	10000111 (bin) / 135 (dec)	1 (bin) / 1 (dec)	01011000 (bin) / 88 (dec)	88 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	10100110 (bin) / 166 (dec)	11101110 (bin) / 238 (dec)	0 (bin) / 0 (dec)	10010100 (bin) / 148 (dec)	148 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	00101110 (bin) / 46 (dec)	00001011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	00111010 (bin) / 58 (dec)	58 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	10010111 (bin) / 151 (dec)	10101100 (bin) / 172 (dec)	1 (bin) / 1 (dec)	01000100 (bin) / 68 (dec)	68 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	00010111 (bin) / 23 (dec)	11101010 (bin) / 234 (dec)	0 (bin) / 0 (dec)	00000001 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	11010111 (bin) / 215 (dec)	00110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	00001100 (bin) / 12 (dec)	12 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	01000010 (bin) / 66 (dec)	10000100 (bin) / 132 (dec)	0 (bin) / 0 (dec)	11000110 (bin) / 198 (dec)	198 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	01001101 (bin) / 77 (dec)	00001001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	01010110 (bin) / 86 (dec)	86 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	00110100 (bin) / 52 (dec)	01011100 (bin) / 92 (dec)	0 (bin) / 0 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	10101000 (bin) / 168 (dec)	01101101 (bin) / 109 (dec)	0 (bin) / 0 (dec)	00010101 (bin) / 21 (dec)	21 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	00011111 (bin) / 31 (dec)	01001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	01101001 (bin) / 105 (dec)	105 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	10000111 (bin) / 135 (dec)	11010001 (bin) / 209 (dec)	1 (bin) / 1 (dec)	01011001 (bin) / 89 (dec)	89 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	11100110 (bin) / 230 (dec)	00101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	00010110 (bin) / 22 (dec)	22 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	01000000 (bin) / 64 (dec)	00011111 (bin) / 31 (dec)	1 (bin) / 1 (dec)	01100000 (bin) / 96 (dec)	96 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	10001100 (bin) / 140 (dec)	01010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	11100001 (bin) / 225 (dec)	225 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
26	10100101 (bin) / 165 (dec)	10000000 (bin) / 128 (dec)	1 (bin) / 1 (dec)	00100110 (bin) / 38 (dec)	38 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	11000011 (bin) / 195 (dec)	01110010 (bin) / 114 (dec)	1 (bin) / 1 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	11010110 (bin) / 214 (dec)	01010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	00101101 (bin) / 45 (dec)	45 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	10010000 (bin) / 144 (dec)	11101101 (bin) / 237 (dec)	0 (bin) / 0 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	10001110 (bin) / 142 (dec)	01110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	01101001 (bin) / 105 (dec)	01010011 (bin) / 83 (dec)	1 (bin) / 1 (dec)	10111101 (bin) / 189 (dec)	189 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	00111110 (bin) / 62 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	00100111 (bin) / 39 (dec)	39 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
33	01010010 (bin) / 82 (dec)	00111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	10010001 (bin) / 145 (dec)	145 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	01001010 (bin) / 74 (dec)	00000000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	11100000 (bin) / 224 (dec)	11000011 (bin) / 195 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	10111010 (bin) / 186 (dec)	10010110 (bin) / 150 (dec)	1 (bin) / 1 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	00101110 (bin) / 46 (dec)	10110001 (bin) / 177 (dec)	1 (bin) / 1 (dec)	11100000 (bin) / 224 (dec)	224 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
38	01111000 (bin) / 120 (dec)	11000101 (bin) / 197 (dec)	1 (bin) / 1 (dec)	00111110 (bin) / 62 (dec)	62 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	01110111 (bin) / 119 (dec)	01000011 (bin) / 67 (dec)	1 (bin) / 1 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
40	10100001 (bin) / 161 (dec)	00011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	10111011 (bin) / 187 (dec)	187 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	10110011 (bin) / 179 (dec)	01001001 (bin) / 73 (dec)	1 (bin) / 1 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	11100110 (bin) / 230 (dec)	00110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	10111011 (bin) / 187 (dec)	01100101 (bin) / 101 (dec)	0 (bin) / 0 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	00101101 (bin) / 45 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	00000101 (bin) / 5 (dec)	5 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	00000100 (bin) / 4 (dec)	10111011 (bin) / 187 (dec)	0 (bin) / 0 (dec)	10111111 (bin) / 191 (dec)	191 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	01111000 (bin) / 120 (dec)	11010010 (bin) / 210 (dec)	1 (bin) / 1 (dec)	01001011 (bin) / 75 (dec)	75 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	10001001 (bin) / 137 (dec)	01101101 (bin) / 109 (dec)	1 (bin) / 1 (dec)	11110111 (bin) / 247 (dec)	247 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	10001110 (bin) / 142 (dec)	00101011 (bin) / 43 (dec)	0 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	10111101 (bin) / 189 (dec)	10100001 (bin) / 161 (dec)	0 (bin) / 0 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	11110011 (bin) / 243 (dec)	00101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	00011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	11000010 (bin) / 194 (dec)	10001101 (bin) / 141 (dec)	0 (bin) / 0 (dec)	01001111 (bin) / 79 (dec)	79 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	11111110 (bin) / 254 (dec)	10100101 (bin) / 165 (dec)	1 (bin) / 1 (dec)	10100100 (bin) / 164 (dec)	164 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	00101010 (bin) / 42 (dec)	00100110 (bin) / 38 (dec)	1 (bin) / 1 (dec)	01010001 (bin) / 81 (dec)	81 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	00100110 (bin) / 38 (dec)	00010000 (bin) / 16 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	11110111 (bin) / 247 (dec)	11110001 (bin) / 241 (dec)	1 (bin) / 1 (dec)	11101001 (bin) / 233 (dec)	233 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	01001010 (bin) / 74 (dec)	00101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
57	00111010 (bin) / 58 (dec)	00100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	01011101 (bin) / 93 (dec)	93 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
58	11111000 (bin) / 248 (dec)	11100000 (bin) / 224 (dec)	1 (bin) / 1 (dec)	11011001 (bin) / 217 (dec)	217 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	10010110 (bin) / 150 (dec)	10010011 (bin) / 147 (dec)	1 (bin) / 1 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	00110011 (bin) / 51 (dec)	01000111 (bin) / 71 (dec)	1 (bin) / 1 (dec)	01111011 (bin) / 123 (dec)	123 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	11111110 (bin) / 254 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	00000011 (bin) / 3 (dec)	3 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	11011100 (bin) / 220 (dec)	10001111 (bin) / 143 (dec)	0 (bin) / 0 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	01000001 (bin) / 65 (dec)	10111001 (bin) / 185 (dec)	1 (bin) / 1 (dec)	11111011 (bin) / 251 (dec)	251 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	01010111 (bin) / 87 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	11010011 (bin) / 211 (dec)	10001011 (bin) / 139 (dec)	0 (bin) / 0 (dec)	01011110 (bin) / 94 (dec)	94 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	10100010 (bin) / 162 (dec)	10011110 (bin) / 158 (dec)	1 (bin) / 1 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
67	11011111 (bin) / 223 (dec)	10001101 (bin) / 141 (dec)	1 (bin) / 1 (dec)	01101101 (bin) / 109 (dec)	109 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	01001001 (bin) / 73 (dec)	01111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	11000101 (bin) / 197 (dec)	197 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	01101000 (bin) / 104 (dec)	01111101 (bin) / 125 (dec)	0 (bin) / 0 (dec)	11100101 (bin) / 229 (dec)	229 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
70	01100011 (bin) / 99 (dec)	01101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	10000100 (bin) / 132 (dec)	10111011 (bin) / 187 (dec)	1 (bin) / 1 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	01111101 (bin) / 125 (dec)	10101101 (bin) / 173 (dec)	0 (bin) / 0 (dec)	00101010 (bin) / 42 (dec)	42 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
73	01100110 (bin) / 102 (dec)	11111111 (bin) / 255 (dec)	1 (bin) / 1 (dec)	01100110 (bin) / 102 (dec)	102 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
74	10111101 (bin) / 189 (dec)	10011101 (bin) / 157 (dec)	1 (bin) / 1 (dec)	01011011 (bin) / 91 (dec)	91 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
75	00110101 (bin) / 53 (dec)	10111011 (bin) / 187 (dec)	1 (bin) / 1 (dec)	11110001 (bin) / 241 (dec)	241 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	10100011 (bin) / 163 (dec)	10000001 (bin) / 129 (dec)	1 (bin) / 1 (dec)	00100101 (bin) / 37 (dec)	37 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	10110010 (bin) / 178 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	11100100 (bin) / 228 (dec)	228 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	10001001 (bin) / 137 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	01100010 (bin) / 98 (dec)	10010000 (bin) / 144 (dec)	0 (bin) / 0 (dec)	11110010 (bin) / 242 (dec)	242 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
80	10101100 (bin) / 172 (dec)	00101000 (bin) / 40 (dec)	1 (bin) / 1 (dec)	11010101 (bin) / 213 (dec)	213 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	01101011 (bin) / 107 (dec)	10101001 (bin) / 169 (dec)	0 (bin) / 0 (dec)	00010100 (bin) / 20 (dec)	20 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	01100110 (bin) / 102 (dec)	01101100 (bin) / 108 (dec)	0 (bin) / 0 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	00101101 (bin) / 45 (dec)	11001111 (bin) / 207 (dec)	1 (bin) / 1 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	00001010 (bin) / 10 (dec)	01111010 (bin) / 122 (dec)	0 (bin) / 0 (dec)	10000100 (bin) / 132 (dec)	132 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	00010100 (bin) / 20 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	11101100 (bin) / 236 (dec)	236 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
86	11110111 (bin) / 247 (dec)	00111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	00110011 (bin) / 51 (dec)	51 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	11001000 (bin) / 200 (dec)	10101111 (bin) / 175 (dec)	0 (bin) / 0 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	01001010 (bin) / 74 (dec)	10011011 (bin) / 155 (dec)	1 (bin) / 1 (dec)	11100110 (bin) / 230 (dec)	230 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	11001110 (bin) / 206 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	01011100 (bin) / 92 (dec)	11100101 (bin) / 229 (dec)	0 (bin) / 0 (dec)	01000001 (bin) / 65 (dec)	65 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	01011100 (bin) / 92 (dec)	11011100 (bin) / 220 (dec)	1 (bin) / 1 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
92	01101100 (bin) / 108 (dec)	11001000 (bin) / 200 (dec)	0 (bin) / 0 (dec)	00110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	10010000 (bin) / 144 (dec)	01011111 (bin) / 95 (dec)	0 (bin) / 0 (dec)	11101111 (bin) / 239 (dec)	239 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
94	00011101 (bin) / 29 (dec)	11100011 (bin) / 227 (dec)	0 (bin) / 0 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	10010011 (bin) / 147 (dec)	01101001 (bin) / 105 (dec)	1 (bin) / 1 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	00100001 (bin) / 33 (dec)	11101100 (bin) / 236 (dec)	0 (bin) / 0 (dec)	00001101 (bin) / 13 (dec)	13 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
97	01111100 (bin) / 124 (dec)	01011110 (bin) / 94 (dec)	0 (bin) / 0 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	10011010 (bin) / 154 (dec)	10111001 (bin) / 185 (dec)	1 (bin) / 1 (dec)	01010100 (bin) / 84 (dec)	84 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	11000111 (bin) / 199 (dec)	00101110 (bin) / 46 (dec)	1 (bin) / 1 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	11011100 (bin) / 220 (dec)	00100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	11111110 (bin) / 254 (dec)	254 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	00011011 (bin) / 27 (dec)	01110001 (bin) / 113 (dec)	0 (bin) / 0 (dec)	10001100 (bin) / 140 (dec)	140 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	00110000 (bin) / 48 (dec)	00001011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
103	11001001 (bin) / 201 (dec)	01100010 (bin) / 98 (dec)	0 (bin) / 0 (dec)	00101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	11110011 (bin) / 243 (dec)	00101111 (bin) / 47 (dec)	1 (bin) / 1 (dec)	00100011 (bin) / 35 (dec)	35 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
105	10000011 (bin) / 131 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	10110101 (bin) / 181 (dec)	181 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	10001001 (bin) / 137 (dec)	10001000 (bin) / 136 (dec)	1 (bin) / 1 (dec)	00010010 (bin) / 18 (dec)	18 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	00010110 (bin) / 22 (dec)	00000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	00011000 (bin) / 24 (dec)	24 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	11110100 (bin) / 244 (dec)	10001101 (bin) / 141 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	01101110 (bin) / 110 (dec)	01001011 (bin) / 75 (dec)	0 (bin) / 0 (dec)	10111001 (bin) / 185 (dec)	185 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	01110100 (bin) / 116 (dec)	11000010 (bin) / 194 (dec)	0 (bin) / 0 (dec)	00110110 (bin) / 54 (dec)	54 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
111	11011101 (bin) / 221 (dec)	11100110 (bin) / 230 (dec)	1 (bin) / 1 (dec)	11000100 (bin) / 196 (dec)	196 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	00010010 (bin) / 18 (dec)	10000001 (bin) / 129 (dec)	0 (bin) / 0 (dec)	10010011 (bin) / 147 (dec)	147 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	10101010 (bin) / 170 (dec)	10001101 (bin) / 141 (dec)	1 (bin) / 1 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
114	01010011 (bin) / 83 (dec)	11101100 (bin) / 236 (dec)	1 (bin) / 1 (dec)	01000000 (bin) / 64 (dec)	64 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	01001110 (bin) / 78 (dec)	01011101 (bin) / 93 (dec)	1 (bin) / 1 (dec)	10101100 (bin) / 172 (dec)	172 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	11011100 (bin) / 220 (dec)	01011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	01101100 (bin) / 108 (dec)	10011101 (bin) / 157 (dec)	1 (bin) / 1 (dec)	00001010 (bin) / 10 (dec)	10 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	00000000 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	0 (bin) / 0 (dec)	00111001 (bin) / 57 (dec)	57 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
119	01001000 (bin) / 72 (dec)	11010100 (bin) / 212 (dec)	0 (bin) / 0 (dec)	00011100 (bin) / 28 (dec)	28 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	10010100 (bin) / 148 (dec)	10010101 (bin) / 149 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	00011000 (bin) / 24 (dec)	10011010 (bin) / 154 (dec)	0 (bin) / 0 (dec)	10110010 (bin) / 178 (dec)	178 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	01010011 (bin) / 83 (dec)	11000100 (bin) / 196 (dec)	0 (bin) / 0 (dec)	00010111 (bin) / 23 (dec)	23 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	10100000 (bin) / 160 (dec)	10010111 (bin) / 151 (dec)	1 (bin) / 1 (dec)	00111000 (bin) / 56 (dec)	56 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
124	00111001 (bin) / 57 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	01101011 (bin) / 107 (dec)	107 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	10111101 (bin) / 189 (dec)	10100101 (bin) / 165 (dec)	1 (bin) / 1 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	01001111 (bin) / 79 (dec)	00010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	01100011 (bin) / 99 (dec)	99 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	11101111 (bin) / 239 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	00100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	01010001 (bin) / 81 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	00010011 (bin) / 19 (dec)	19 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	11111000 (bin) / 248 (dec)	00000100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	11111101 (bin) / 253 (dec)	253 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
130	11110110 (bin) / 246 (dec)	10101101 (bin) / 173 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	10000110 (bin) / 134 (dec)	01111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
132	10111000 (bin) / 184 (dec)	11100110 (bin) / 230 (dec)	1 (bin) / 1 (dec)	10011111 (bin) / 159 (dec)	159 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	00010001 (bin) / 17 (dec)	01111011 (bin) / 123 (dec)	1 (bin) / 1 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
134	00011010 (bin) / 26 (dec)	10101000 (bin) / 168 (dec)	1 (bin) / 1 (dec)	11000011 (bin) / 195 (dec)	195 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
135	11001100 (bin) / 204 (dec)	01101110 (bin) / 110 (dec)	1 (bin) / 1 (dec)	00111011 (bin) / 59 (dec)	59 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	00001101 (bin) / 13 (dec)	00000101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	00010011 (bin) / 19 (dec)	19 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	00011010 (bin) / 26 (dec)	10111000 (bin) / 184 (dec)	1 (bin) / 1 (dec)	11010011 (bin) / 211 (dec)	211 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	11000011 (bin) / 195 (dec)	11101111 (bin) / 239 (dec)	0 (bin) / 0 (dec)	10110010 (bin) / 178 (dec)	178 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	01101011 (bin) / 107 (dec)	11001000 (bin) / 200 (dec)	1 (bin) / 1 (dec)	00110100 (bin) / 52 (dec)	52 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
140	00111001 (bin) / 57 (dec)	10011000 (bin) / 152 (dec)	0 (bin) / 0 (dec)	11010001 (bin) / 209 (dec)	209 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
141	11000100 (bin) / 196 (dec)	00100011 (bin) / 35 (dec)	1 (bin) / 1 (dec)	11101000 (bin) / 232 (dec)	232 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
142	00010000 (bin) / 16 (dec)	00111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	01001101 (bin) / 77 (dec)	77 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	00010001 (bin) / 17 (dec)	00001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	00011010 (bin) / 26 (dec)	26 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	11000001 (bin) / 193 (dec)	11101001 (bin) / 233 (dec)	0 (bin) / 0 (dec)	10101010 (bin) / 170 (dec)	170 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	01001101 (bin) / 77 (dec)	00001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	01011100 (bin) / 92 (dec)	92 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	01101100 (bin) / 108 (dec)	11011001 (bin) / 217 (dec)	0 (bin) / 0 (dec)	01000101 (bin) / 69 (dec)	69 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
147	00000101 (bin) / 5 (dec)	01001000 (bin) / 72 (dec)	1 (bin) / 1 (dec)	01001110 (bin) / 78 (dec)	78 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
148	01110001 (bin) / 113 (dec)	10101111 (bin) / 175 (dec)	0 (bin) / 0 (dec)	00100000 (bin) / 32 (dec)	32 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	11001101 (bin) / 205 (dec)	10010011 (bin) / 147 (dec)	1 (bin) / 1 (dec)	01100001 (bin) / 97 (dec)	97 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	11100001 (bin) / 225 (dec)	10111100 (bin) / 188 (dec)	1 (bin) / 1 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
151	10100010 (bin) / 162 (dec)	01101100 (bin) / 108 (dec)	0 (bin) / 0 (dec)	00001110 (bin) / 14 (dec)	14 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	01101100 (bin) / 108 (dec)	10110010 (bin) / 178 (dec)	1 (bin) / 1 (dec)	00011111 (bin) / 31 (dec)	31 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	10001100 (bin) / 140 (dec)	11100010 (bin) / 226 (dec)	0 (bin) / 0 (dec)	01101110 (bin) / 110 (dec)	110 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	11110010 (bin) / 242 (dec)	10101110 (bin) / 174 (dec)	1 (bin) / 1 (dec)	10100001 (bin) / 161 (dec)	161 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	01000101 (bin) / 69 (dec)	10110100 (bin) / 180 (dec)	1 (bin) / 1 (dec)	11111010 (bin) / 250 (dec)	250 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	10000111 (bin) / 135 (dec)	10001001 (bin) / 137 (dec)	0 (bin) / 0 (dec)	00010000 (bin) / 16 (dec)	16 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	10001001 (bin) / 137 (dec)	00110100 (bin) / 52 (dec)	1 (bin) / 1 (dec)	10111110 (bin) / 190 (dec)	190 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	01111011 (bin) / 123 (dec)	00101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	10100011 (bin) / 163 (dec)	163 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
159	00000000 (bin) / 0 (dec)	11010001 (bin) / 209 (dec)	0 (bin) / 0 (dec)	11010001 (bin) / 209 (dec)	209 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
160	00001111 (bin) / 15 (dec)	10001100 (bin) / 140 (dec)	0 (bin) / 0 (dec)	10011011 (bin) / 155 (dec)	155 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
161	10100010 (bin) / 162 (dec)	00110110 (bin) / 54 (dec)	0 (bin) / 0 (dec)	11011000 (bin) / 216 (dec)	216 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	10100001 (bin) / 161 (dec)	10011011 (bin) / 155 (dec)	0 (bin) / 0 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	10000101 (bin) / 133 (dec)	00100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	10101101 (bin) / 173 (dec)	173 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	11100001 (bin) / 225 (dec)	01110011 (bin) / 115 (dec)	1 (bin) / 1 (dec)	01010101 (bin) / 85 (dec)	85 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	11010001 (bin) / 209 (dec)	01100100 (bin) / 100 (dec)	0 (bin) / 0 (dec)	00110101 (bin) / 53 (dec)	53 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	10011110 (bin) / 158 (dec)	01101010 (bin) / 106 (dec)	0 (bin) / 0 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	11001011 (bin) / 203 (dec)	11000001 (bin) / 193 (dec)	1 (bin) / 1 (dec)	10001101 (bin) / 141 (dec)	141 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	01001011 (bin) / 75 (dec)	11011101 (bin) / 221 (dec)	0 (bin) / 0 (dec)	00101000 (bin) / 40 (dec)	40 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	10001000 (bin) / 136 (dec)	11111001 (bin) / 249 (dec)	0 (bin) / 0 (dec)	10000001 (bin) / 129 (dec)	129 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	10101110 (bin) / 174 (dec)	00100000 (bin) / 32 (dec)	0 (bin) / 0 (dec)	11001110 (bin) / 206 (dec)	206 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
171	11101011 (bin) / 235 (dec)	11100001 (bin) / 225 (dec)	0 (bin) / 0 (dec)	11001100 (bin) / 204 (dec)	204 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	01011001 (bin) / 89 (dec)	11100010 (bin) / 226 (dec)	1 (bin) / 1 (dec)	00111100 (bin) / 60 (dec)	60 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	10000110 (bin) / 134 (dec)	10000010 (bin) / 130 (dec)	0 (bin) / 0 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	11010110 (bin) / 214 (dec)	11101110 (bin) / 238 (dec)	1 (bin) / 1 (dec)	11000101 (bin) / 197 (dec)	197 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	00111000 (bin) / 56 (dec)	00111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	00111010 (bin) / 58 (dec)	10000111 (bin) / 135 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
177	01000111 (bin) / 71 (dec)	11100010 (bin) / 226 (dec)	0 (bin) / 0 (dec)	00101001 (bin) / 41 (dec)	41 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	10010110 (bin) / 150 (dec)	11100000 (bin) / 224 (dec)	1 (bin) / 1 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	10010010 (bin) / 146 (dec)	10011100 (bin) / 156 (dec)	1 (bin) / 1 (dec)	00101111 (bin) / 47 (dec)	47 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
180	00101110 (bin) / 46 (dec)	10101111 (bin) / 175 (dec)	1 (bin) / 1 (dec)	11011110 (bin) / 222 (dec)	222 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
181	10010001 (bin) / 145 (dec)	11100100 (bin) / 228 (dec)	1 (bin) / 1 (dec)	01110110 (bin) / 118 (dec)	118 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	10000101 (bin) / 133 (dec)	10111010 (bin) / 186 (dec)	0 (bin) / 0 (dec)	00111111 (bin) / 63 (dec)	63 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	11111100 (bin) / 252 (dec)	10010011 (bin) / 147 (dec)	1 (bin) / 1 (dec)	10010000 (bin) / 144 (dec)	144 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	01111110 (bin) / 126 (dec)	00110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	10110100 (bin) / 180 (dec)	180 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	00111101 (bin) / 61 (dec)	01110101 (bin) / 117 (dec)	1 (bin) / 1 (dec)	10110011 (bin) / 179 (dec)	179 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	01110011 (bin) / 115 (dec)	00111101 (bin) / 61 (dec)	0 (bin) / 0 (dec)	10110000 (bin) / 176 (dec)	176 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
187	11001001 (bin) / 201 (dec)	01001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	00011000 (bin) / 24 (dec)	24 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	00010111 (bin) / 23 (dec)	11101010 (bin) / 234 (dec)	1 (bin) / 1 (dec)	00000010 (bin) / 2 (dec)	2 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	00101101 (bin) / 45 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	11100010 (bin) / 226 (dec)	226 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
190	11111011 (bin) / 251 (dec)	11000110 (bin) / 198 (dec)	1 (bin) / 1 (dec)	11000010 (bin) / 194 (dec)	194 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	01010100 (bin) / 84 (dec)	11010111 (bin) / 215 (dec)	0 (bin) / 0 (dec)	00101011 (bin) / 43 (dec)	43 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	10100010 (bin) / 162 (dec)	11011101 (bin) / 221 (dec)	1 (bin) / 1 (dec)	10000000 (bin) / 128 (dec)	128 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	10110010 (bin) / 178 (dec)	11000110 (bin) / 198 (dec)	0 (bin) / 0 (dec)	01111000 (bin) / 120 (dec)	120 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	10101100 (bin) / 172 (dec)	01110000 (bin) / 112 (dec)	1 (bin) / 1 (dec)	00011101 (bin) / 29 (dec)	29 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	11001110 (bin) / 206 (dec)	00101000 (bin) / 40 (dec)	0 (bin) / 0 (dec)	11110110 (bin) / 246 (dec)	246 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
196	00010100 (bin) / 20 (dec)	10001010 (bin) / 138 (dec)	0 (bin) / 0 (dec)	10011110 (bin) / 158 (dec)	158 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	00000001 (bin) / 1 (dec)	01001111 (bin) / 79 (dec)	0 (bin) / 0 (dec)	01010000 (bin) / 80 (dec)	80 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	11110101 (bin) / 245 (dec)	00010011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	00001000 (bin) / 8 (dec)	8 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	00111110 (bin) / 62 (dec)	10011011 (bin) / 155 (dec)	1 (bin) / 1 (dec)	11011010 (bin) / 218 (dec)	218 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
200	01000111 (bin) / 71 (dec)	00110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	01111101 (bin) / 125 (dec)	125 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
201	01111011 (bin) / 123 (dec)	00010110 (bin) / 22 (dec)	1 (bin) / 1 (dec)	10010010 (bin) / 146 (dec)	146 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
202	11100001 (bin) / 225 (dec)	10010010 (bin) / 146 (dec)	0 (bin) / 0 (dec)	01110011 (bin) / 115 (dec)	115 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	11010010 (bin) / 210 (dec)	01001110 (bin) / 78 (dec)	1 (bin) / 1 (dec)	00100001 (bin) / 33 (dec)	33 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	01001011 (bin) / 75 (dec)	10110100 (bin) / 180 (dec)	1 (bin) / 1 (dec)	00000000 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
205	01010101 (bin) / 85 (dec)	10011000 (bin) / 152 (dec)	1 (bin) / 1 (dec)	11101110 (bin) / 238 (dec)	238 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
206	01011101 (bin) / 93 (dec)	11100101 (bin) / 229 (dec)	0 (bin) / 0 (dec)	01000010 (bin) / 66 (dec)	66 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
207	00010101 (bin) / 21 (dec)	10100011 (bin) / 163 (dec)	0 (bin) / 0 (dec)	10111000 (bin) / 184 (dec)	184 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	10111010 (bin) / 186 (dec)	11001110 (bin) / 206 (dec)	1 (bin) / 1 (dec)	10001001 (bin) / 137 (dec)	137 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	00110001 (bin) / 49 (dec)	01000010 (bin) / 66 (dec)	1 (bin) / 1 (dec)	01110100 (bin) / 116 (dec)	116 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	11001110 (bin) / 206 (dec)	11011001 (bin) / 217 (dec)	0 (bin) / 0 (dec)	10100111 (bin) / 167 (dec)	167 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	10001110 (bin) / 142 (dec)	00100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	10110011 (bin) / 179 (dec)	179 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
212	00011100 (bin) / 28 (dec)	00101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	01001010 (bin) / 74 (dec)	74 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
213	10101000 (bin) / 168 (dec)	11001110 (bin) / 206 (dec)	1 (bin) / 1 (dec)	01110111 (bin) / 119 (dec)	119 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
214	00111101 (bin) / 61 (dec)	10001111 (bin) / 143 (dec)	1 (bin) / 1 (dec)	11001101 (bin) / 205 (dec)	205 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	11001000 (bin) / 200 (dec)	11111000 (bin) / 248 (dec)	0 (bin) / 0 (dec)	11000000 (bin) / 192 (dec)	192 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	11001011 (bin) / 203 (dec)	00000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	11010010 (bin) / 210 (dec)	210 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	10101001 (bin) / 169 (dec)	01110000 (bin) / 112 (dec)	0 (bin) / 0 (dec)	00011001 (bin) / 25 (dec)	25 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```


Testbench for full_adder with parameter(s)

Total tests: 8

Passed tests: 8

Failed tests: 0

Test Case	Input a	Input b	Input cin	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```

Testbench for half_adder with parameter(s)

Total tests: 4

Passed tests: 4

Failed tests: 0

Test Case	Input a	Input b	Output sum (Actual)	Expected sum	Output cout (Actual)	Expected cout	Status
0	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: AdderRule

Input Variables: a, b, cin

Output Variables: sum, cout

Bit Width: 8

Pattern: SubstringPattern

```
def matches(self, filename):
    return self.pattern in filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    max_val = (1 << self.bit_width) - 1
    if "cin" in test_case:
        sum_val = test_case["a"] + test_case["b"] + test_case["cin"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    else:
        sum_val = test_case["a"] + test_case["b"]
        outs = {
            "sum": sum_val & max_val,
            "cout": sum_val >> self.bit_width
        }
    return outs
```