Testbenching Report for skip_logic

Table of Contents

Testbench Summary

Component	Total Tests	Passed	Failed
skip_logic_N1	16	16	0
skip_logic_N2	64	64	0
skip_logic_N3	218	218	0
skip_logic_N4	218	218	0
skip_logic_N5	33	33	0
skip_logic_N6	33	33	0
skip_logic_N7	33	33	0
skip_logic_N8	33	33	0

Testbench for skip_logic with parameter(s) N1

Total tests: 16

Passed tests: 16

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
            def generate_expected(self, test_case):
                width = self.bit_width

                a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
                b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

                propagate = [a_bits[i] | b_bits[i] for i in range(width)]
                P = all(propagate)
                cin_next = (P & test_case["cin"]) | test_case["cout"]

                return {
                    "cin_next": cin_next
                }
```

Testbench for skip_logic with parameter(s) N2

Total tests: 64

Passed tests: 64

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
8	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	01 (bin) / 1 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
20	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	10 (bin) / 2 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
36	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	11 (bin) / 3 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
41	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
46	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	00 (bin) / 0 (dec)	11 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	10 (bin) / 2 (dec)	11 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
49	10 (bin) / 2 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
50	00 (bin) / 0 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	00 (bin) / 0 (dec)	10 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	01 (bin) / 1 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	11 (bin) / 3 (dec)	10 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
57	10 (bin) / 2 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	11 (bin) / 3 (dec)	01 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
59	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	11 (bin) / 3 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
61	00 (bin) / 0 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
62	01 (bin) / 1 (dec)	01 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
63	01 (bin) / 1 (dec)	00 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
            def generate_expected(self, test_case):
                width = self.bit_width

                a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
                b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

                propagate = [a_bits[i] | b_bits[i] for i in range(width)]
                P = all(propagate)
                cin_next = (P & test_case["cin"]) | test_case["cout"]

                return {
                    "cin_next": cin_next
                }
```

Testbench for skip_logic with parameter(s) N3

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	100 (bin) / 4 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	011 (bin) / 3 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	110 (bin) / 6 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	100 (bin) / 4 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
34	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
35	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
37	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
41	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
42	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
44	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
45	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
46	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
47	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
48	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
52	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
54	000 (bin) / 0 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
55	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
56	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
57	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
64	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
66	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
69	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
71	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
72	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	111 (bin) / 7 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
76	011 (bin) / 3 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
78	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
79	101 (bin) / 5 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
81	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
82	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
84	100 (bin) / 4 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
85	101 (bin) / 5 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
87	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
89	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	010 (bin) / 2 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
96	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
98	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
99	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
100	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
101	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
102	111 (bin) / 7 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
104	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
105	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
106	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
107	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
108	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
110	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
112	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
113	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
114	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
116	011 (bin) / 3 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	001 (bin) / 1 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
122	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
123	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	111 (bin) / 7 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
125	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
127	110 (bin) / 6 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	110 (bin) / 6 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	100 (bin) / 4 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
136	011 (bin) / 3 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
137	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
138	100 (bin) / 4 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	001 (bin) / 1 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	111 (bin) / 7 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	110 (bin) / 6 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	110 (bin) / 6 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
143	000 (bin) / 0 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
144	001 (bin) / 1 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	111 (bin) / 7 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
146	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	100 (bin) / 4 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
148	011 (bin) / 3 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
150	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
152	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	011 (bin) / 3 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
155	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
156	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
157	110 (bin) / 6 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
158	001 (bin) / 1 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	011 (bin) / 3 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
161	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
163	010 (bin) / 2 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	111 (bin) / 7 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
166	101 (bin) / 5 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
167	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	101 (bin) / 5 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
169	010 (bin) / 2 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	010 (bin) / 2 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
171	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
172	101 (bin) / 5 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
173	001 (bin) / 1 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	010 (bin) / 2 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	000 (bin) / 0 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
176	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	111 (bin) / 7 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
178	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
179	111 (bin) / 7 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	001 (bin) / 1 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
182	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
183	011 (bin) / 3 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
184	010 (bin) / 2 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	000 (bin) / 0 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
186	111 (bin) / 7 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	100 (bin) / 4 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	101 (bin) / 5 (dec)	111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	100 (bin) / 4 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
191	010 (bin) / 2 (dec)	100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	000 (bin) / 0 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	101 (bin) / 5 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	111 (bin) / 7 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
195	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
196	100 (bin) / 4 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	001 (bin) / 1 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	011 (bin) / 3 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
199	001 (bin) / 1 (dec)	101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	000 (bin) / 0 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	110 (bin) / 6 (dec)	111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
202	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
203	110 (bin) / 6 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
204	010 (bin) / 2 (dec)	000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	000 (bin) / 0 (dec)	011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	011 (bin) / 3 (dec)	101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
208	000 (bin) / 0 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
209	110 (bin) / 6 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
210	100 (bin) / 4 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
211	101 (bin) / 5 (dec)	110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	011 (bin) / 3 (dec)	010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	011 (bin) / 3 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
215	101 (bin) / 5 (dec)	100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	101 (bin) / 5 (dec)	001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
217	110 (bin) / 6 (dec)	110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
            def generate_expected(self, test_case):
                width = self.bit_width

                a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
                b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

                propagate = [a_bits[i] | b_bits[i] for i in range(width)]
                P = all(propagate)
                cin_next = (P & test_case["cin"]) | test_case["cout"]

                return {
                    "cin_next": cin_next
                }
```

Testbench for skip_logic with parameter(s) N4

Total tests: 218

Passed tests: 218

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	1001 (bin) / 9 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	1101 (bin) / 13 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
5	1010 (bin) / 10 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	0110 (bin) / 6 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	0110 (bin) / 6 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	1010 (bin) / 10 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	1011 (bin) / 11 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
12	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	0010 (bin) / 2 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	0110 (bin) / 6 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	0100 (bin) / 4 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	0100 (bin) / 4 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	0011 (bin) / 3 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	0000 (bin) / 0 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	1011 (bin) / 11 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	1000 (bin) / 8 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	1011 (bin) / 11 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	0010 (bin) / 2 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	0001 (bin) / 1 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
33	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
34	0100 (bin) / 4 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
35	0001 (bin) / 1 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
36	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
37	0111 (bin) / 7 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
38	0000 (bin) / 0 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
39	1111 (bin) / 15 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
40	1001 (bin) / 9 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
41	0110 (bin) / 6 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
42	1101 (bin) / 13 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
43	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
44	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
45	0011 (bin) / 3 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
46	1010 (bin) / 10 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
47	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
48	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
49	1101 (bin) / 13 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
50	1000 (bin) / 8 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
51	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
52	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
53	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
54	0001 (bin) / 1 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
55	1101 (bin) / 13 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
56	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
57	1001 (bin) / 9 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
58	1000 (bin) / 8 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
59	1100 (bin) / 12 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
60	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
61	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
62	0000 (bin) / 0 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
63	1011 (bin) / 11 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
64	1000 (bin) / 8 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
65	0101 (bin) / 5 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
66	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
67	0111 (bin) / 7 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
68	1111 (bin) / 15 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
69	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
70	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
71	1111 (bin) / 15 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
72	1010 (bin) / 10 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
73	1100 (bin) / 12 (dec)	1101 (bin) / 13 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
74	0110 (bin) / 6 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
75	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
76	1011 (bin) / 11 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
77	1111 (bin) / 15 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
78	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
79	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
80	1100 (bin) / 12 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
81	1111 (bin) / 15 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
82	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
83	0100 (bin) / 4 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
84	0001 (bin) / 1 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
85	1110 (bin) / 14 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
86	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
87	1001 (bin) / 9 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
88	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
89	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
90	0011 (bin) / 3 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
91	0100 (bin) / 4 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
92	0101 (bin) / 5 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
93	1101 (bin) / 13 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
94	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
95	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
96	1101 (bin) / 13 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
97	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
98	0011 (bin) / 3 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
99	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
100	0011 (bin) / 3 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
101	0100 (bin) / 4 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
102	0010 (bin) / 2 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
103	1100 (bin) / 12 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
104	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
105	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
106	0011 (bin) / 3 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
107	1000 (bin) / 8 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
108	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
109	1011 (bin) / 11 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
110	0100 (bin) / 4 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
111	0100 (bin) / 4 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
112	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
113	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
114	1001 (bin) / 9 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
115	0111 (bin) / 7 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
116	0111 (bin) / 7 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
117	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
118	1111 (bin) / 15 (dec)	1011 (bin) / 11 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
119	1110 (bin) / 14 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
120	0101 (bin) / 5 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
121	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
122	0110 (bin) / 6 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
123	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
124	1111 (bin) / 15 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
125	1100 (bin) / 12 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
126	0100 (bin) / 4 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
127	0111 (bin) / 7 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
128	1100 (bin) / 12 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
129	0011 (bin) / 3 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
130	0010 (bin) / 2 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
131	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
132	0000 (bin) / 0 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
133	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
134	1001 (bin) / 9 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
135	0111 (bin) / 7 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
136	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
137	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
138	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
139	1110 (bin) / 14 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
140	1010 (bin) / 10 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
141	1000 (bin) / 8 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
142	1011 (bin) / 11 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
143	1010 (bin) / 10 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
144	1110 (bin) / 14 (dec)	1100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
145	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
146	0001 (bin) / 1 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
147	1010 (bin) / 10 (dec)	0011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
148	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
149	1101 (bin) / 13 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
150	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
151	1100 (bin) / 12 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
152	1110 (bin) / 14 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
153	1100 (bin) / 12 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
154	1101 (bin) / 13 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
155	0001 (bin) / 1 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
156	0001 (bin) / 1 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
157	0000 (bin) / 0 (dec)	1011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
158	0000 (bin) / 0 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
159	0100 (bin) / 4 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
160	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
161	0101 (bin) / 5 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
162	1001 (bin) / 9 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
163	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
164	0110 (bin) / 6 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
165	1100 (bin) / 12 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
166	0101 (bin) / 5 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
167	0001 (bin) / 1 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
168	1100 (bin) / 12 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
169	0011 (bin) / 3 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
170	1110 (bin) / 14 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
171	0011 (bin) / 3 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
172	0110 (bin) / 6 (dec)	1010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
173	0111 (bin) / 7 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
174	1100 (bin) / 12 (dec)	1110 (bin) / 14 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
175	1110 (bin) / 14 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
176	1011 (bin) / 11 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
177	1001 (bin) / 9 (dec)	1010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
178	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
179	1000 (bin) / 8 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
180	0101 (bin) / 5 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
181	1010 (bin) / 10 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
182	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
183	1011 (bin) / 11 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
184	1000 (bin) / 8 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
185	1110 (bin) / 14 (dec)	1111 (bin) / 15 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
186	1101 (bin) / 13 (dec)	0110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
187	1111 (bin) / 15 (dec)	0100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
188	1001 (bin) / 9 (dec)	0110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
189	0000 (bin) / 0 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
190	1100 (bin) / 12 (dec)	1000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
191	1100 (bin) / 12 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
192	1010 (bin) / 10 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
193	1110 (bin) / 14 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
194	0111 (bin) / 7 (dec)	1001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
195	0100 (bin) / 4 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
196	0101 (bin) / 5 (dec)	1110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
197	0010 (bin) / 2 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
198	1001 (bin) / 9 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
199	0100 (bin) / 4 (dec)	0000 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
200	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
201	1010 (bin) / 10 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
202	1110 (bin) / 14 (dec)	0001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
203	0001 (bin) / 1 (dec)	1101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
204	0010 (bin) / 2 (dec)	0001 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
205	0110 (bin) / 6 (dec)	0101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
206	1010 (bin) / 10 (dec)	1100 (bin) / 12 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
207	0110 (bin) / 6 (dec)	0000 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
208	0110 (bin) / 6 (dec)	1111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
209	0001 (bin) / 1 (dec)	1001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
210	0101 (bin) / 5 (dec)	0100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
211	1111 (bin) / 15 (dec)	0010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
212	1011 (bin) / 11 (dec)	0111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
213	0000 (bin) / 0 (dec)	0011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
214	1110 (bin) / 14 (dec)	1000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
215	0110 (bin) / 6 (dec)	0010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
216	0010 (bin) / 2 (dec)	0101 (bin) / 5 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
217	0000 (bin) / 0 (dec)	0111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
            def generate_expected(self, test_case):
                width = self.bit_width

                a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
                b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

                propagate = [a_bits[i] | b_bits[i] for i in range(width)]
                P = all(propagate)
                cin_next = (P & test_case["cin"]) | test_case["cout"]

                return {
                    "cin_next": cin_next
                }
```

Testbench for skip_logic with parameter(s) N5

Total tests: 33

Passed tests: 33

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	11010 (bin) / 26 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	11001 (bin) / 25 (dec)	10111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	10110 (bin) / 22 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	10101 (bin) / 21 (dec)	01000 (bin) / 8 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	11011 (bin) / 27 (dec)	00100 (bin) / 4 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	11001 (bin) / 25 (dec)	11111 (bin) / 31 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	10111 (bin) / 23 (dec)	01110 (bin) / 14 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	01011 (bin) / 11 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	11110 (bin) / 30 (dec)	00101 (bin) / 5 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	01110 (bin) / 14 (dec)	10001 (bin) / 17 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	01101 (bin) / 13 (dec)	00111 (bin) / 7 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	01010 (bin) / 10 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	11100 (bin) / 28 (dec)	01010 (bin) / 10 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
13	00101 (bin) / 5 (dec)	01001 (bin) / 9 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	00001 (bin) / 1 (dec)	01010 (bin) / 10 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	00011 (bin) / 3 (dec)	01011 (bin) / 11 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	00000 (bin) / 0 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	01010 (bin) / 10 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	11101 (bin) / 29 (dec)	00011 (bin) / 3 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	01000 (bin) / 8 (dec)	00111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	11011 (bin) / 27 (dec)	10001 (bin) / 17 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	10011 (bin) / 19 (dec)	10011 (bin) / 19 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	11101 (bin) / 29 (dec)	00100 (bin) / 4 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	10110 (bin) / 22 (dec)	11110 (bin) / 30 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	10011 (bin) / 19 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
25	10101 (bin) / 21 (dec)	11100 (bin) / 28 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	01101 (bin) / 13 (dec)	00001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	01001 (bin) / 9 (dec)	00011 (bin) / 3 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	10000 (bin) / 16 (dec)	11100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	11111 (bin) / 31 (dec)	00010 (bin) / 2 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	10011 (bin) / 19 (dec)	10101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	10111 (bin) / 23 (dec)	00110 (bin) / 6 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	10100 (bin) / 20 (dec)	10000 (bin) / 16 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    width = self.bit_width

    a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
    b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

    propagate = [a_bits[i] | b_bits[i] for i in range(width)]
    P = all(propagate)
    cin_next = (P & test_case["cin"]) | test_case["cout"]

    return {
        "cin_next": cin_next
    }
```

Testbench for skip_logic with parameter(s) N6

Total tests: 33

Passed tests: 33

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	001100 (bin) / 12 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
1	001011 (bin) / 11 (dec)	010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
2	000000 (bin) / 0 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	010010 (bin) / 18 (dec)	000110 (bin) / 6 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
4	001110 (bin) / 14 (dec)	101110 (bin) / 46 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	110110 (bin) / 54 (dec)	110011 (bin) / 51 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	101101 (bin) / 45 (dec)	101001 (bin) / 41 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	000101 (bin) / 5 (dec)	111011 (bin) / 59 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	111100 (bin) / 60 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	011001 (bin) / 25 (dec)	011010 (bin) / 26 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	011000 (bin) / 24 (dec)	100110 (bin) / 38 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	101110 (bin) / 46 (dec)	111010 (bin) / 58 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	100100 (bin) / 36 (dec)	111100 (bin) / 60 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	010111 (bin) / 23 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
14	000010 (bin) / 2 (dec)	110010 (bin) / 50 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	011000 (bin) / 24 (dec)	100000 (bin) / 32 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	010010 (bin) / 18 (dec)	011100 (bin) / 28 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	000110 (bin) / 6 (dec)	110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	001001 (bin) / 9 (dec)	110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
19	000110 (bin) / 6 (dec)	100010 (bin) / 34 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	000000 (bin) / 0 (dec)	010100 (bin) / 20 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	100000 (bin) / 32 (dec)	100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
22	100111 (bin) / 39 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
23	100011 (bin) / 35 (dec)	001001 (bin) / 9 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
24	011110 (bin) / 30 (dec)	110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	011000 (bin) / 24 (dec)	001100 (bin) / 12 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	111101 (bin) / 61 (dec)	010010 (bin) / 18 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	010001 (bin) / 17 (dec)	100100 (bin) / 36 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
28	100001 (bin) / 33 (dec)	001101 (bin) / 13 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
29	100001 (bin) / 33 (dec)	101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	001001 (bin) / 9 (dec)	000111 (bin) / 7 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	001010 (bin) / 10 (dec)	010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
32	001110 (bin) / 14 (dec)	000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    width = self.bit_width

    a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
    b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

    propagate = [a_bits[i] | b_bits[i] for i in range(width)]
    P = all(propagate)
    cin_next = (P & test_case["cin"]) | test_case["cout"]

    return {
        "cin_next": cin_next
    }
```

Testbench for skip_logic with parameter(s) N7

Total tests: 33

Passed tests: 33

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	1001001 (bin) / 73 (dec)	1000010 (bin) / 66 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	0000010 (bin) / 2 (dec)	0111011 (bin) / 59 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	1100111 (bin) / 103 (dec)	1000110 (bin) / 70 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
3	1000111 (bin) / 71 (dec)	0001000 (bin) / 8 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	0000000 (bin) / 0 (dec)	1100000 (bin) / 96 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	1110001 (bin) / 113 (dec)	0110101 (bin) / 53 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
6	0001111 (bin) / 15 (dec)	0111111 (bin) / 63 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
7	1010010 (bin) / 82 (dec)	0110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	1101011 (bin) / 107 (dec)	1011010 (bin) / 90 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
9	1100111 (bin) / 103 (dec)	0111110 (bin) / 62 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
10	1111100 (bin) / 124 (dec)	0010111 (bin) / 23 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
11	1110111 (bin) / 119 (dec)	0100001 (bin) / 33 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	1010010 (bin) / 82 (dec)	0011101 (bin) / 29 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	1001011 (bin) / 75 (dec)	0000001 (bin) / 1 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	1100100 (bin) / 100 (dec)	1010101 (bin) / 85 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
15	0110101 (bin) / 53 (dec)	0110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
16	0010101 (bin) / 21 (dec)	1110011 (bin) / 115 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
17	1011100 (bin) / 92 (dec)	0001111 (bin) / 15 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
18	1100001 (bin) / 97 (dec)	1001011 (bin) / 75 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	0000000 (bin) / 0 (dec)	1110010 (bin) / 114 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	0010011 (bin) / 19 (dec)	1011101 (bin) / 93 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
21	1001100 (bin) / 76 (dec)	0010101 (bin) / 21 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	0101100 (bin) / 44 (dec)	0010010 (bin) / 18 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	0100110 (bin) / 38 (dec)	1101110 (bin) / 110 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	1100011 (bin) / 99 (dec)	1101110 (bin) / 110 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	1000101 (bin) / 69 (dec)	1011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	0000001 (bin) / 1 (dec)	1111100 (bin) / 124 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
27	0110011 (bin) / 51 (dec)	0101010 (bin) / 42 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	0001010 (bin) / 10 (dec)	0111100 (bin) / 60 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	1111101 (bin) / 125 (dec)	0110110 (bin) / 54 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
30	1110001 (bin) / 113 (dec)	1001000 (bin) / 72 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
31	1111011 (bin) / 123 (dec)	1011011 (bin) / 91 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	0110100 (bin) / 52 (dec)	1101100 (bin) / 108 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    width = self.bit_width

    a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
    b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

    propagate = [a_bits[i] | b_bits[i] for i in range(width)]
    P = all(propagate)
    cin_next = (P & test_case["cin"]) | test_case["cout"]

    return {
        "cin_next": cin_next
    }
```

Testbench for skip_logic with parameter(s) N8

Total tests: 33

Passed tests: 33

Failed tests: 0

Test Case	Input a	Input b	Input cin	Input cout	Output cin_next (Actual)	Expected cin_next	Status
0	00000010 (bin) / 2 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
1	01110000 (bin) / 112 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
2	11101101 (bin) / 237 (dec)	10010110 (bin) / 150 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
3	11011111 (bin) / 223 (dec)	11101011 (bin) / 235 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
4	00100000 (bin) / 32 (dec)	01011001 (bin) / 89 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
5	10001000 (bin) / 136 (dec)	11010100 (bin) / 212 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
6	11010111 (bin) / 215 (dec)	11101011 (bin) / 235 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
7	11100101 (bin) / 229 (dec)	11101110 (bin) / 238 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
8	01001100 (bin) / 76 (dec)	10110111 (bin) / 183 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
9	11100001 (bin) / 225 (dec)	01010111 (bin) / 87 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
10	10100111 (bin) / 167 (dec)	00100011 (bin) / 35 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
11	01100001 (bin) / 97 (dec)	00110111 (bin) / 55 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
12	01111010 (bin) / 122 (dec)	10100011 (bin) / 163 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
13	01011100 (bin) / 92 (dec)	10001001 (bin) / 137 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
14	11110000 (bin) / 240 (dec)	00100111 (bin) / 39 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
15	11111111 (bin) / 255 (dec)	00000010 (bin) / 2 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
16	00111001 (bin) / 57 (dec)	10110101 (bin) / 181 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
17	00111110 (bin) / 62 (dec)	11010010 (bin) / 210 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
18	00010100 (bin) / 20 (dec)	11010100 (bin) / 212 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
19	00100111 (bin) / 39 (dec)	11011000 (bin) / 216 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
20	00000011 (bin) / 3 (dec)	00110001 (bin) / 49 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
21	11110010 (bin) / 242 (dec)	11110101 (bin) / 245 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
22	10000000 (bin) / 128 (dec)	00010110 (bin) / 22 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
23	11111011 (bin) / 251 (dec)	01010100 (bin) / 84 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
24	11101010 (bin) / 234 (dec)	01000101 (bin) / 69 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
25	11011110 (bin) / 222 (dec)	11100000 (bin) / 224 (dec)	0 (bin) / 0 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
26	01111110 (bin) / 126 (dec)	00010111 (bin) / 23 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
27	10111111 (bin) / 191 (dec)	11011101 (bin) / 221 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
28	10100010 (bin) / 162 (dec)	00110000 (bin) / 48 (dec)	1 (bin) / 1 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
29	01100010 (bin) / 98 (dec)	01010001 (bin) / 81 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (bin) / 0 (dec)	0 (dec)	Passed
30	00110100 (bin) / 52 (dec)	10001100 (bin) / 140 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
31	11110001 (bin) / 241 (dec)	00101011 (bin) / 43 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed
32	01011010 (bin) / 90 (dec)	00111110 (bin) / 62 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (bin) / 1 (dec)	1 (dec)	Passed

Rule: SkipLogicRule

Input Variables: a, b, cin, cout

Output Variables: cin_next

Bit Width: 4

Pattern: StringMatchPattern

```
            def matches(self, filename):
                #print(self.pattern, filename)
                return self.pattern == filename
```

Generate expected values function:

```
def generate_expected(self, test_case):
    width = self.bit_width

    a_bits = [(test_case["a"] >> i) & 1 for i in range(width)]
    b_bits = [(test_case["b"] >> i) & 1 for i in range(width)]

    propagate = [a_bits[i] | b_bits[i] for i in range(width)]
    P = all(propagate)
    cin_next = (P & test_case["cin"]) | test_case["cout"]

    return {
        "cin_next": cin_next
    }
```