

Návrh počítačových systémů 2014: Projekt č. 1

Název: Řízení maticového displeje z FPGA

Odevzdání: dle termínu Projekt 1 v IS FIT

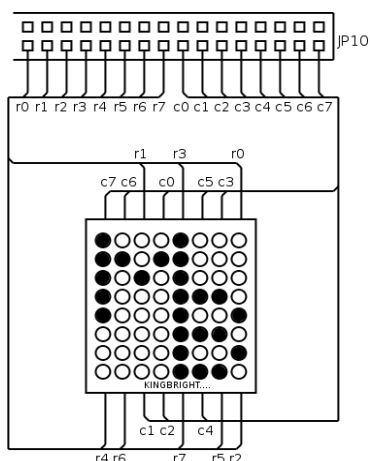
Hodnocení: max. 13 bodů

Dotazy: bidlom@fit.vutbr.cz, osobně - M. Bidlo (L330)

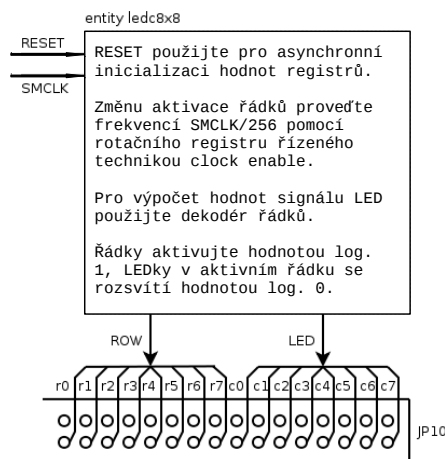
Zadání

Navrhněte obvod a vytvořte jeho syntetizovatelný popis ve VHDL, který realizuje statické zobrazení iniciálů Vašeho jména a příjmení na maticovém displeji LED 8x8 externě připojeným k FPGA na FITkitu. Zvolte si zobrazení každého iniciálu tak, aby byly znaky jasně čitelné. V případě pocitu nedostatku místa na displeji můžete sdílet vybrané linie obou znaků, jak je vidět na příkladu v obr. 1. Uvažujte specifikaci obvodu dle obrázku 2 (**povinně dodržte název entity a signálů rozhraní**).

Vlastní řešení si můžete ověřit v CVT v učebně M105. K dispozici je několik identických přípravků s kompletním zapojením maticového displeje, jak je uvedeno na obr. 1, včetně konektoru pro připojení k FITkitu. **Přípravek bude využit i při hodnocení projektu!** Doneste si FITkit, USB kabel a řešení projektu na NB, případně využijte PC v učebně.



Obr. 1



Obr. 2

Charakteristika systému

Maticový displej je standardní zobrazovací součástka, která bude externě připojena k FITkitu prostřednictvím vybraných pinů sběrnice X na rozhraní JP10. Na poskytnutém přípravku je použit displej KINGBRIGHT TC23-11SRWA (zájemci naleznou další podrobnosti o něm např. zde: <http://www.farnell.com/datasheets/1683574.pdf>). Jelikož anody diod v každém řádku displeje sdílejí jediný vodič, je nutné provádět řízení displeje dynamicky v tzv. časovém multiplexu, což znamená, že v každém okamžiku je aktivní právě jeden řádek a periodická aktivace všech řádků v čase s rozumnou frekvencí vytváří dojem celkového obrazu na displeji. Příliš vysoká frekvence snižuje intenzitu LED, příliš nízká však způsobuje viditelné blikání displeje. Na základě znalosti pozice každého řádku se rozhodne, co má řádek zobrazit (tj. které jeho LED rozsvítit). **Uvedený algoritmus řízení displeje má zajistit obvod, jehož návrh je předmětem tohoto projektu. Náповěda k řešení je uvedena uvnitř entity na obr. 2.**

Pro jednoznačnou orientaci displeje uvažujte, že pokud máte displej natočen bočním popiskem blíže k sobě, jsou řádky indexovány shora dolů (aktivovány signály r0, r1 atd.) a sloupce zleva doprava (signály c0, c1 atd.).

Pokyny k vypracování projektu

Doplňte kód dle výše uvedené specifikace obvodu do souboru ledc8x8.vhd.

Doplňte mapování výstupních signálů ROW a LED do souboru ledc8x8.ucf tak, aby tyto signály byly přivedeny na příslušné bity sběrnice X, jak je uvedeno na obr. 2. Fyzicky budou na všech verzích FITkitu namapovány na spodní řadu 16-ti pinů zcela vpravo na rozhraní JP10. Inspirujte se tím, co je již v tomto souboru uvedeno a ze schématu FITkitu určete mapování zbývajících signálů (viz <http://merlin.fit.vutbr.cz/FITkit/hardware.html>). Ve schématu FITKIT-INPUT/OUTPUT INTERFACE je uvedena struktura rozhraní JP10, kde naleznete, které piny sběrnice X je třeba použít a podle toho pak ze schématu FITKIT-FPGA INTERFACE určíte čísla pinů FPGA, na které je třeba v souboru ledc8x8.ucf namapovat signály ROW a LED z entity obvodu.

Pro ty, kteří si budou chtít obvod odsimulovat v prostředí Xilinx ISIM, byl vytvořen jednoduchý test-bench ledc8x8_tb.vhd, generující hodinový signál SMCLK a inicializační RESET, a skript isim.tcl pro spuštění simulace a sestavení časového diagramu. Oba tyto soubory se nachází v adresáři fpga/sim. Zadáním *make isim* z příkazového řádku v kořenovém adresáři projektu (nebo volbou *Spustit simulaci (ISIM)* z kontextového menu projektu v QdevKitu) se spustí simulátor ISIM a zobrazí se průběh sledovaných signálů po dobu 40 μ s. Je-li model správně vytvořen, měla by simulace zachytit jeden průběh postupné aktivace všech řádků displeje. Ačkoliv je možné pomocí simulátoru projekt vyřešit, důrazně doporučuji ověřit jeho funkci na reálném HW s přípravkem v CVT!

Upozornění

Jednou z podmínek pro získání plného počtu bodů je bezchybná kompilace VHDL kódu i syntéza konfiguračního řetězce pro FPGA (tj. žádný warning nebo error). Nepřeložitelné projekty budou hodnoceny 0 body!

Řešení tohoto projektu je samostatná práce. Plagiátorství se hodnotí 0 body s případným postihem dle platného Disciplinárního řádu FIT VUT v Brně.