

SoC Lab Lab4-1 Report

R10522526 羅崇榮

B09505021 張景華

R12922a10 陳靖雯

R12945050 祝華劭

1. fir.c

本組於本次實驗中所設計的 fir.c，其執行的步驟如下：

1. 初始化 input 與 output buffer。
2. 使用一陣列存取 data，每次當有新的 data 進入時，先將所有 data 右移，再將新的 data 寫入陣列[0]的位置，如圖 1。
3. 計算 output 時依序將 tap 與 data 中對應位置的數字相乘累加後輸出。

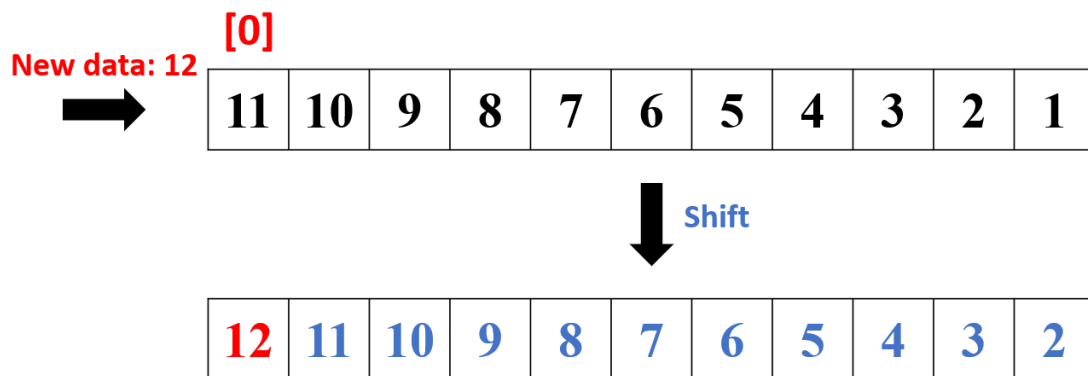


圖 1 data shift

2. User project

使用 FSM 控制訊號，如圖 2 所示，各狀態敘述如下：

- IDLE: 閒置狀態。
- COUNT: Delay 10 個 cycle 後準備輸出。
- OUT: 輸出 wbs_dat_o，將 wbs_ack_o 拉至 High。
- WAIT: 等待是否要繼續 Delay 10 個 cycle 或回到閒置狀態。

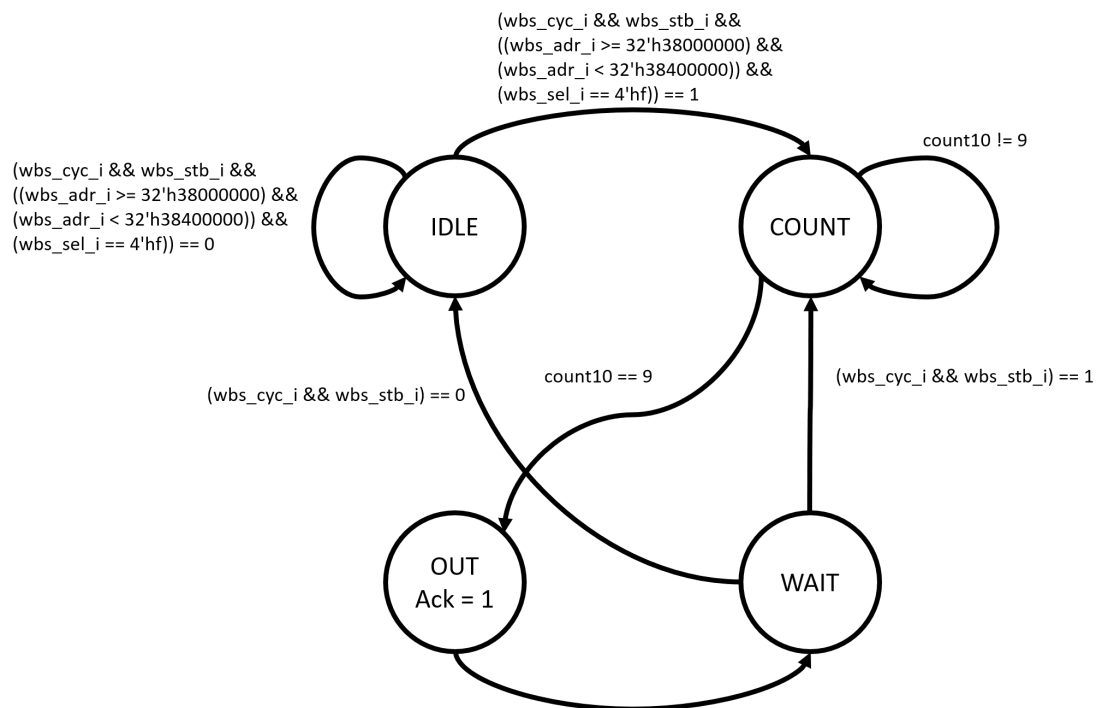


圖 2 FSM

3. Synthesis report/Timing Report

本次實驗的 synthesis 與 timing report 如圖 3-1 與圖 3-2。一共使用了 25 個

LUT，clock cycle 為 3ns。

| Site Type | Used | Fixed | Prohibited | Available | Util% |
|-----------------------|------|-------|------------|-----------|-------|
| Slice LUTs* | 25 | 0 | 0 | 53200 | 0.05 |
| LUT as Logic | 25 | 0 | 0 | 53200 | 0.05 |
| LUT as Memory | 0 | 0 | 0 | 17400 | 0.00 |
| Slice Registers | 6 | 0 | 0 | 106400 | <0.01 |
| Register as Flip Flop | 6 | 0 | 0 | 106400 | <0.01 |
| Register as Latch | 0 | 0 | 0 | 106400 | 0.00 |
| F7 Muxes | 0 | 0 | 0 | 26600 | 0.00 |
| F8 Muxes | 0 | 0 | 0 | 13300 | 0.00 |

圖 3-1 synthesis report

| | |
|--------------------------------|--|
| Max Delay Paths | |
| ----- | |
| Slack (MET) : | 0.000ns (required time - arrival time) |
| Source: | FSM_sequential_cs_reg[0]/C |
| | (rising edge-triggered cell FDCE clocked by wb_clk_i {rise@0.000ns fall@1.500ns period=3.000ns}) |
| Destination: | FSM_sequential_cs_reg[0]/D |
| | (rising edge-triggered cell FDCE clocked by wb_clk_i {rise@0.000ns fall@1.500ns period=3.000ns}) |
| Path Group: | wb_clk_i |
| Path Type: | Setup (Max at Slow Process Corner) |
| Requirement: | 3.000ns (wb_clk_i rise@3.000ns - wb_clk_i rise@0.000ns) |
| Data Path Delay: | 2.864ns (logic 0.897ns (31.320%) route 1.967ns (68.680%)) |
| Logic Levels: | 2 (LUT6=2) |
| Clock Path Skew: | -0.145ns (DCD - SCD + CPR) |
| Destination Clock Delay (DCD): | 2.128ns = (5.128 - 3.000) |
| Source Clock Delay (SCD): | 2.456ns |
| Clock Pessimism Removal (CPR): | 0.184ns |
| Clock Uncertainty: | 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE |
| Total System Jitter (TSJ): | 0.071ns |
| Total Input Jitter (TIJ): | 0.000ns |
| Discrete Jitter (DJ): | 0.000ns |
| Phase Error (PE): | 0.000ns |

圖 3-2 timing report