

czas dostępu do pamięci może być stały lub zmienny

pamięć operacyjna o dostępie swobodnym może być trwała lub nietrwała

pamięć operacyjna to RAM(random access memory) lub ROM(read only memory)

budowa komórki pamięci dynamicznej DRAM:

-transzystor i kondensator

-zalety:

- 1) niski pobór mocy
- 2) duży stopień scalenia
- 3) niski koszt wykonania

-wady:

- 1) czas dostępu $\sim 60\text{ns}$
- 2) konieczność odświeżania zawartości
- 3) dłuższy cykl odczytu
- 4) niska odporność na zakłócenia

budowa komórki pamięci statycznej SRAM:

przerzutnik dwustanowy

-zalety:

- 1) brak potrzeby odświeżania zawartości
- 2) krótki czas dostępu $\sim 10\text{ns}$ (5-10 cykli)
- 3) krótszy cykl odczytu
- 4) wysoka odporność na zakłócenia

-wady:

- 1) duży pobór mocy
- 2) mały stopień scalenia

fizyczna budowa układu:

szerokość adresu bus $\rightarrow 22$ bity 2^{11}

szerokość danych bus $\rightarrow 8$ bitów

każdy chip zapamiętuje 2^{22} bitów

8 chipów połączonych razem (każdy produkuje 1 bit wyjściowy) daje 4MB

Pamięć taka oznacza się jako 4M x 8

szerokosc AB w Pentium IV =36 bitow w i7 Core 64bity

kondensator -> bedacy nosnikiem informacji -> ulega samoistnemu rozladowaniu -> koniecznosc odswiezania jego zawartosci -> proces odswiezania nastepuje co 2-4ms, polega na odczytaniu zawartosci komorki i powtornym jej zapisaniu

podczas operacji odczytu nastepuje przeplyw ladunku z kondensatora C1 do linii bitu, co pociaga za soba wymazanie informacji

konieczne jest ladowanie pojemnosci (odswiezenie zawartosci) takze bezposrednio po odczycie (pogorszenie parametrow)

metody odswiezania:

- 1) asynchroniczne -> latwe w realizacji, malo wydajne (procesor jest blokowany na kilkadziesiat mikrosekund)
- 2) synchroniczne -> trudniejsze i kosztowniejsze w realizacji (odswiezanie wystepuje w czasie wyznaczonych odcinkow zegara co kilkanascie mikrosekund)

rodzaje pamieci RAM:

- 1) FPM DRAM -> w tego typu pamieciach przy dostepie do zawartosci wiersza stosuje sie sekwencje sygnalow strobujaacych [RAS,CAS,CAS,CAS,CAS]
- 2) EDO DRAM -> ulepszony FPM DRAM z bardziej precyzyjnie generowanymi haslami CAS
- 3) SDRAM -> sterowanie synchroniczne impulsami zegarowymi
- 4) DDR SDRAM -> ulepszona wersja SDRAM, w ktorej uzywane sa oba zbocza impulsu zegarowego jako sygnalu sterujacego

sposoby zwiekszania wydajnosci pamieci DRAM

- 1) zwiekszenie szerokosci odczytywanych danych
- 2) manipulacja sygnalami sterujacymi
- 3) wprowadzenie synchronicznego odczytu
- 4) odczyt na opadajacym i narastajacym zboczach zegara
- 5) bankowanie ukladow pamieci

zwiekszenie pamieci w systemie odbywa sie na dwa sposoby:

- 1) wydłużenie dlugosci slowa -> szersza magistrala
- 2) wydłużenie czasu odczytu -> polaczenie kostek pamieci

typy pamieci:

- 1) SIMM
- 2) 72 SIMM -> 32 bity danych

3) 168 SIMM -> 64 bity danych

parametry układów pamięci:

- 1) czas dostępu
- 2) czas cyklu
- 3) opóźnienie CL, CAS Latency
- 4) x-y-z dla pamięci asynch
- 5) u-x-y-z dla pamięci synch

w pamięciach stosuje się niekiedy dodatkowy bit (parity bit)

w tych kompach, które wykonują bardziej odpowiedzialne funkcje wykorzystuje się kilka bitów parzystości (detekcja i korekcja) układy i pamięć ECC->zalecana w systemach z >1GB RAM

w rozwiązaniach klastrowych -> Chipkill

DDR 3,4,5

pamięć GDDR (większa szerokość, sposób podłączenia)

redukcja zużytej energii-> tryb uspienia

lokalność czasowa -> wielokrotne odwołanie do tych samych komórek pamięci

lokalność pamięciowa -> odwołania do komórek pamięci znajdujących się w sąsiedztwie

rejstry procesora (L0) <- L1 i L2 <- L3 <- pamięć główna <- pamięć masowa <- dyski
w serwerach sieciowych