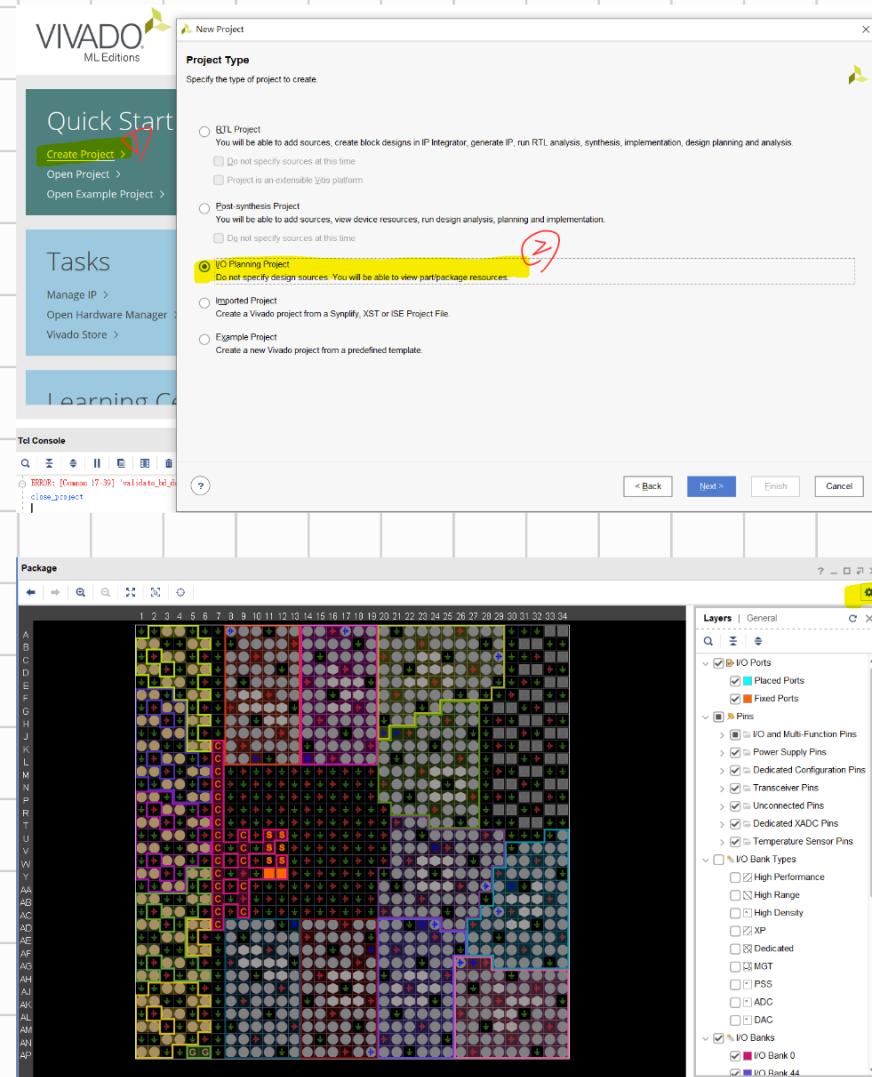


# I/O Planning

I/O Planning 在 Vivado 中可在三個階段執行

## Before RTL

可以透過在沒有 RTL code 的情況下，新建一 I/O Planning Project 來先行查看該板子的腳位



點選此可查看各 I/O 腳的分布

雖然可在沒有 RTL code 下進行 I/O 配置，但其中的 DRC 檢查 只會有基本的 I/O Bank DRC 規格  
包括

- > 阻止將高速收發器 GTs 的引腳賦值給噪聲敏感的引腳；
- > 避免 I/O 標準違反設計規則；
- > 確保 I/O 標準不會用於不支持它們的 I/O Bank；
- > 確保 Bank 沒有不兼容的 Vcc 端口賦值；
- > 確保需要 Vref 端口的 Bank 有可自由使用的 Vref 引腳；
- > 確保全局時鐘和局部時鐘有合適的賦值；
- > 確保差分 I/O 端口設置在合適的引腳上；
- > 確保輸出引腳不會佈局在僅支持輸入的引腳上。

僅使用這些 DRC 規格 在後續的設計中還是可能會有問題

因此 Vivado 還是建議創建 RTL，在 error checking 時會比較有利

# With RTL

在 Open Elaborated Design 去做 I/O planning,

此時因為與 RTL code 有所關聯，包含應用所需的 CLK 和基本 logic，

能夠在此階段做更多的 DRC 檢查，此時還未加入 XDC (Xilinx Design Constraint) file

## On Netlist and Implemented Design

此階段為在 Synthesis 或 Implementation 時進行 I/O Planning，

此時已經有 constraints file 的加入或是布局布線的結果

可以進行 I/O 的自動布局

在 Implement 階段，I/O planning 需要被做驗證

## 小結

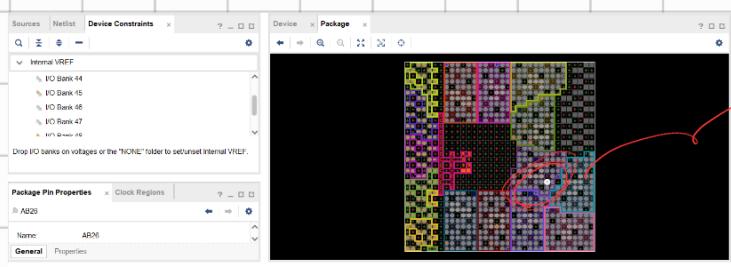
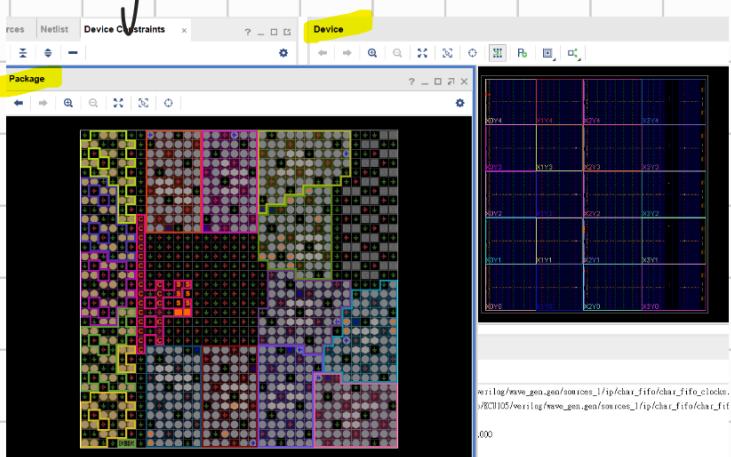
在 rule-based I/O assignments 中，DRC 會檢查連接至主要 logic 的 Pin 脚

Noise analysis 則可避免 ground bounce

另外 Xilinx 也建議在 I/O 自動布局之前，可以先對 timing-critical ports 手動佈局

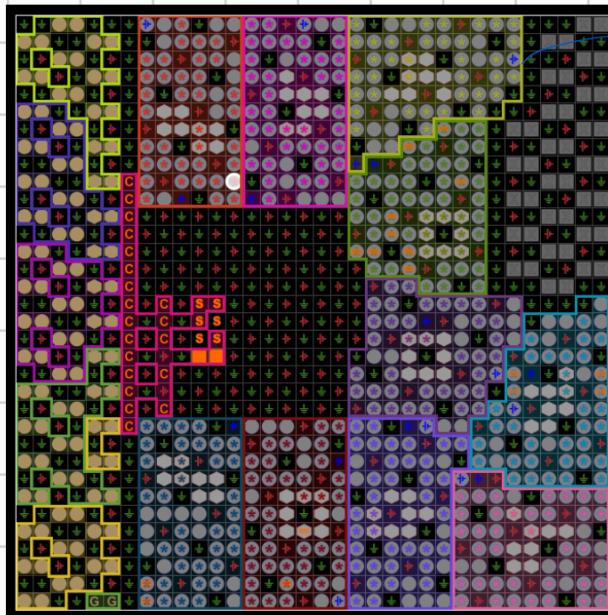
## I/O Planning Layout View

## Package & Device View



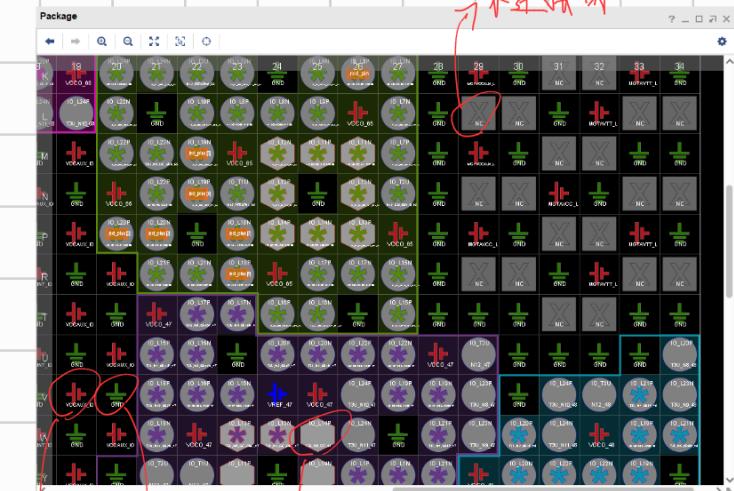
點選下方 package Pins 的任一點，  
即會出現在對應的 Package 上

Name	Attribute	Function	Ports	IO Std	Drv	Vcco	Ref	Bank	Type	Net Name	Clock	Voltage	Config
AC28		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47C	Multifunction	L4P	DDR				
AG27		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47D	Multifunction	L4N	DDR				
AA27		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47E	Multifunction	L5P					
AB27		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47F	Multifunction	L5N					
AD25		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47G	Multifunction	L6P					
AE29		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47H	Multifunction	L6N					
AA28		1		IO Bank 47	HIGH PERFORMANCE	BANKKIT_BT47I	Multifunction	VHP					



不同顏色的區塊代表不同的 I/O Banks

未連接的



Vcc  
GND  
clock-capable pins  
專門用來做 CLK 輸入輸出的  
(PCB 的 input clock)



Differential Pair

Site type : IO\_L1>N

Bank Number : 47

Package Pin : L1>

High Performance Bank

## I/O Ports View

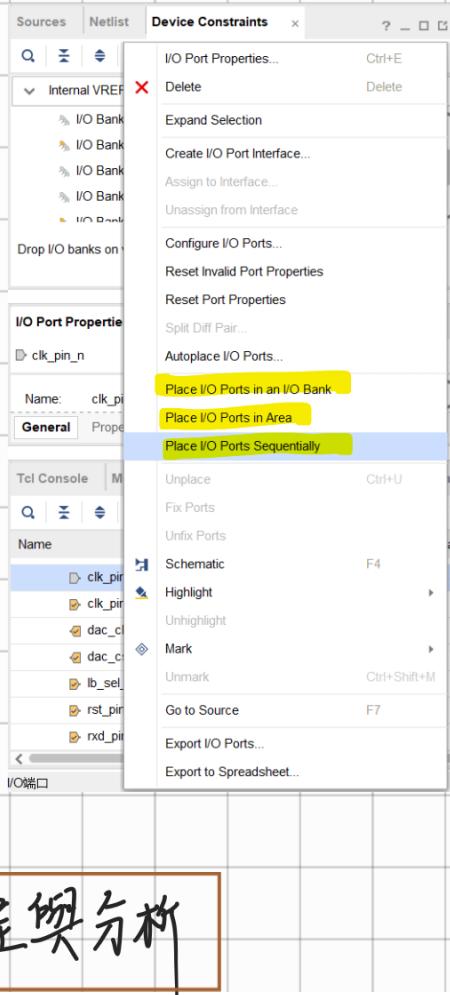
秀出目前所有的 I/O Ports, 並逐一顯示其詳細資訊

灰色表示還未指派的 Pin 腳

Name	Direction	Board Part Pin	Board Part Interface	Neg Diff Pair	Package Pin	Fixed	Bank	IO Std	Vcco	Vref	Drive Strength	Slew T <sub>3</sub>
clk_pin_n	IN				AK17	✓		default (LVC)	1.800			
clk_pin_p	IN				AB334	✓	45	DIFF_SSTL	1.200			
dac_ckr_n_	OUT				AA34	✓	48	LVC莫斯18	1.800	12	✓	SLOW
dac_csr_n_	OUT				AN16	✓	48	LVC莫斯18	1.800	12	✓	SLOW
n_sel_pin	IN				AH8	✓	45	LVC莫斯12*	1.200			
rd_pin	IN				K26	✓	64	LVC莫斯18	1.800			
							65	LVC莫斯18	1.800			

黃色表示已經指派的 Pin 腳

若已知道 I/O 端口與封裝 Pin 腳之間的關係，則 I/O Port 有三種布局模式



### 1. Sequentially

選擇需要佈局的 I/O 個，並在 Device 中依序點擊佈局的位置

### 2. I/O Bank

選擇需要佈局的 I/O 個，並在 Device 中點擊位置，Vivado 會盡可能將 I/O 佈局在該 Bank 中

### 3. Area

選擇需要佈局的 I/O 個，箭頭變成十字，可在 Device 中框選一區塊，Vivado 會盡可能將 I/O 佈局在該區域中

以上按 Esc 即可退出佈局

## 流程與分析

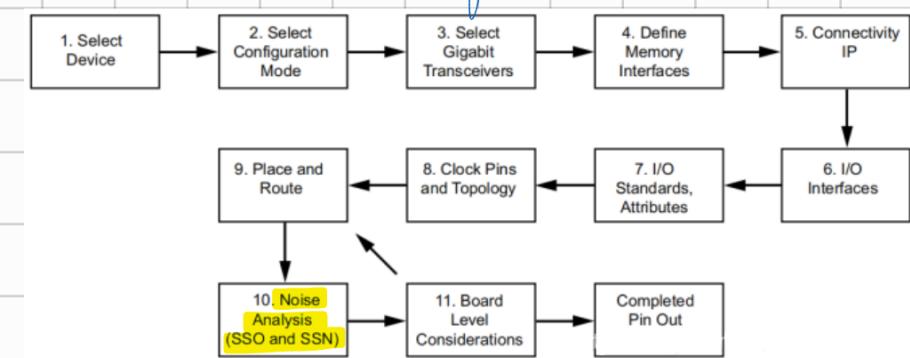
Define I/Os early in the design process	Interactively analyze and assign I/Os	Robust DRCs	SSN analysis
<ul style="list-style-type: none"><li>Import RTL, CSV, XDC</li></ul>	<ul style="list-style-type: none"><li>DRC legal group drag and drop; assign clock logic</li></ul>	<ul style="list-style-type: none"><li>Find problems prior to implementation</li></ul>	<ul style="list-style-type: none"><li>Estimates switching noise levels caused by switching output ports</li></ul>

### Simultaneous Switch Noise Analysis

避免 ground bounce

發生  $V_{cc}/V_{ss}$  為 switch noise  
GND 為 ground bounce

### Xilinx 推薦的 I/O Planning 流程



High-speed Circuits 像 Transceivers

會很需要 SSN

⇒ 主要還是在 Synthesis 和 Implementation 階段做 I/O Planning

