

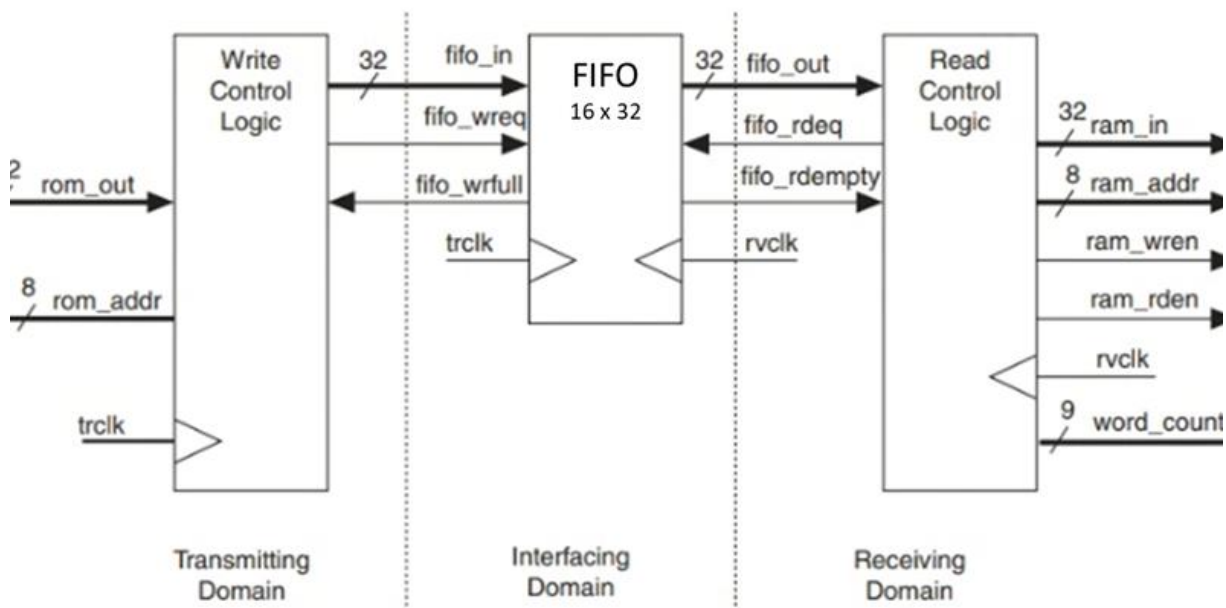
這 Lab 目的讓你們了解狀態機的做法，Block RAM 的控制讀寫，以及如何下 Timing constraint。完成的話你們已具備 FPGA 設計的基礎能力。

FPGA 時常遇到當兩邊 Module 時間速度不同時，會利用 FIFO 來做資料的緩衝讓資料不會 Lose，並透過 Timing constrain 了解整體 FPGA 設計 System Fmax 可達到多快速度。這 Lab 只要你們完成 Vivado Design Suit 1 的所有 Lab，並了解 PPT 的內容，應能很快完成。

題目如下：

請使用 IP Catalog 產生一組 ROM 256 *32bit, 一組 16*32bit FIFO 和一組 256 *32bit RAM, 而 trclk 的頻率為 200MHz, rvclk 為 50MHz, ROM 裡面請指定初始內容的 coe file，並請編寫 Write control logic and Read control logic 的狀態機，將 ROM 裡面的值全部搬到 RAM 裡面直到 RAM 寫完，且需指定此設計的 Timing Constrain。

- 1). 請完成 LAB 並提供你們的 FSM 的流程圖給我
- 2). 請回覆我你的設計其 WNS 在預設合成策略下是多少？
- 3). 預設策略的 FSM 是什麼編碼方式？ 若改成 Gray-code 方式 report 會有什麼不同？
- 4). 請提供你們的 Timing constrain file



%注意一下，ROM & RAM & FIFO 的 Interface type 為 Native, 且是 Single clock，另外所有元件都是非同步 reset(aclr)。

ROM:

- Enable Port Type: Always
- No any output register, No reset
- Algorithm: minimum area
- Only address register input

RAM:

- Algorithm: minimum area
- Only “Wren, ram_in, ram_addr” input port are registered
- Enable port A : Use ENA port.

Operating mode: Write first

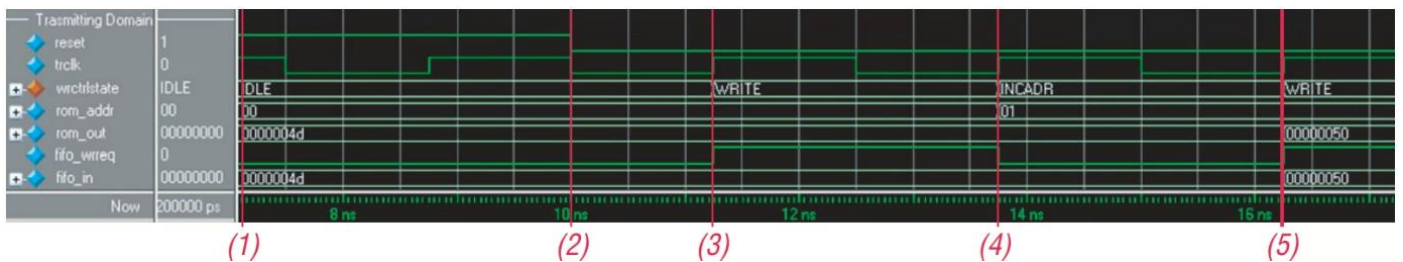
FIFO:

Used Block RAM

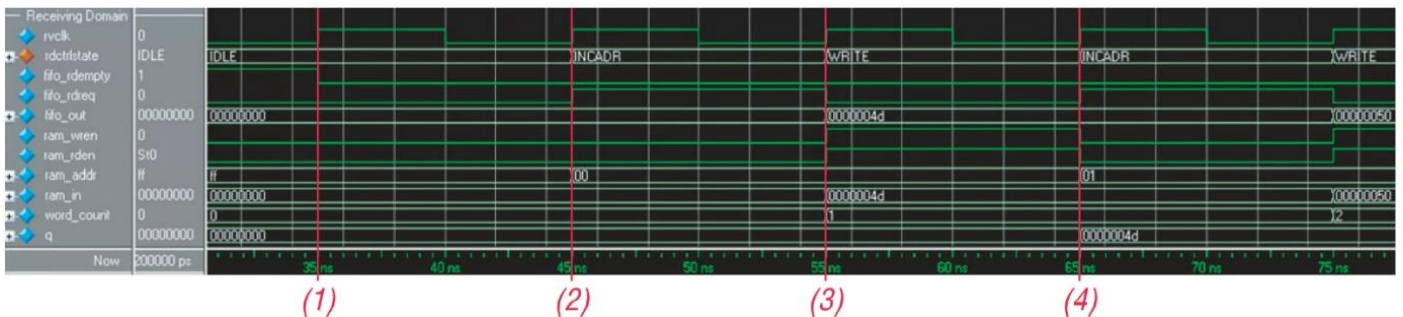
Standard FIFO

No any status flags

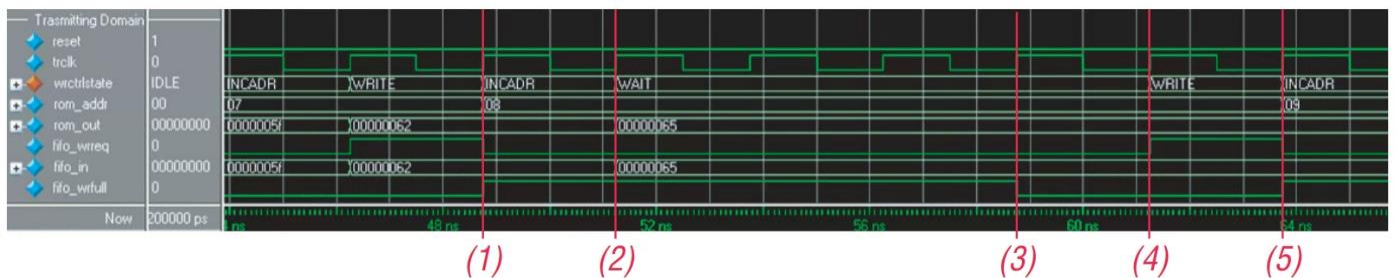
如下是 Simulation results ，請確認你們做出來的結果和下方的 check point 相同
在 Transmitting Domain



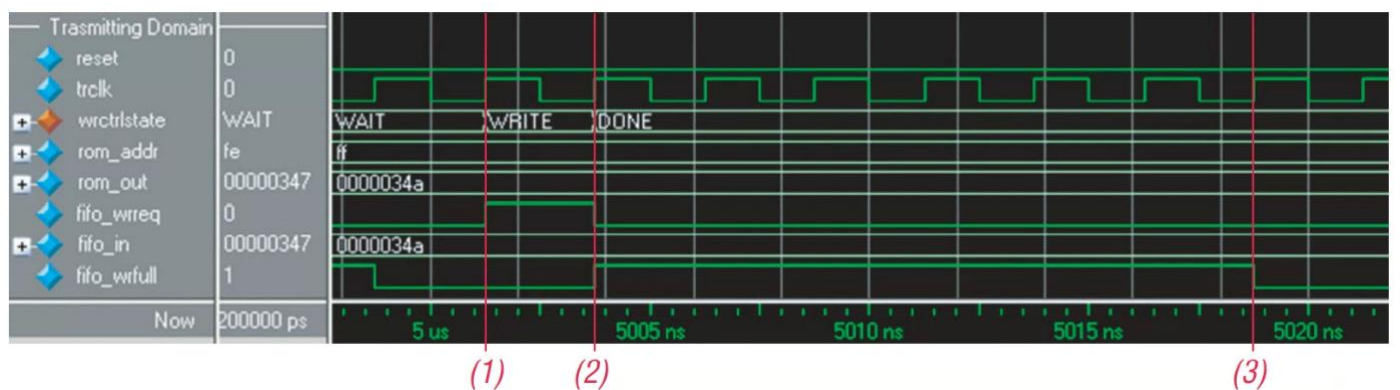
在 Receiving Domain



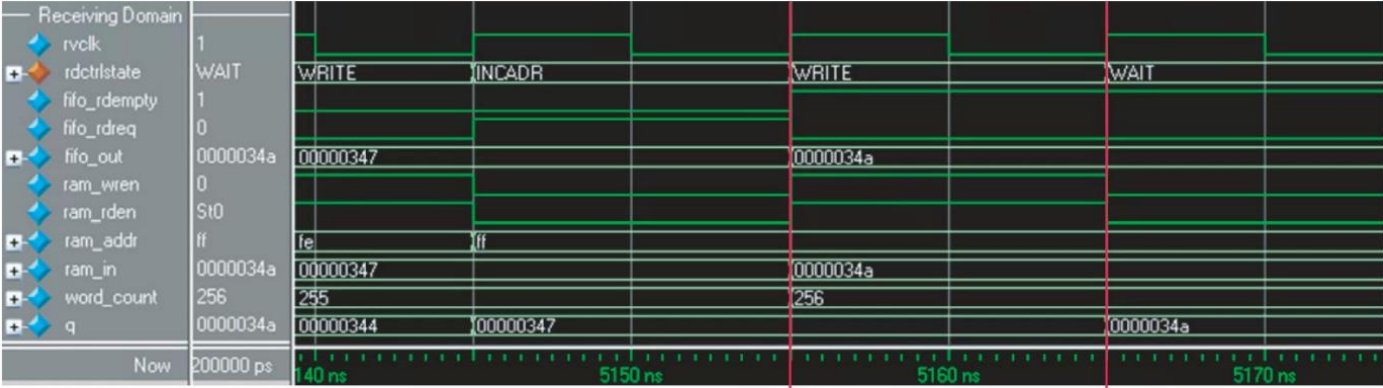
在 wire operation when FIFO is Full



在 completion of data transfer form ROM to FIFO



在 completion of data transfer form FIFO to RAM



(1)

(2)