

FPGA Configuration

於FPGA上電時會需要透過一些特殊的pin腳，來對燒錄的Bitstream檔案進行loading

Key Pins

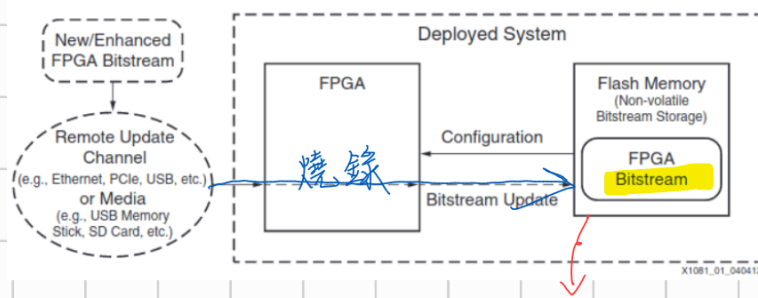
DONE	雙向訊號，高电位表示配置過程完畢，低电位則否， <u>輸出电压由外部決定</u> <i>open-drain</i>
DIN	數據的輸入腳位
DOUT	在Daisy Chain中作為輸出給下一個Device
CFGBVS	可以選擇連接到V _{CC} 或GND，V _{CC} 可以是1.5, 1.8, 2.5或3.3
POR_OVERRIDE	Disable Power-on-reset Delay
INIT_B	雙向訊號，open-drain，低电位表示配置儲存為空；被降低時，配置會Delay
M2,M1,M0 pins	表示目前選擇的配置模式
PROGRAM_B	訊號降低時，復位FPGA的配置邏輯；提高時，開始新的配置加載
CCLK	配置clk，up to 100 MHz，master mode是output，slave mode是input
PUDC_B	select the enable or disable of pull-ups during Configuration on user I/O pins

Bitstream File

組成

Bus width Auto Detection	并行接口时，用来确认接口位宽的一组特殊数字组合。 普通的spi接口直接忽略这段内容
0xAA995566	用来对齐的特殊字。 当FPGA读到这个字后，就以它之后接着的byte当作数据的第一个byte
配置内容的首地址	配置内容在Flash里的首地址。 FPGA会跳到这个地址，开始读取配置数据
配置内容	配置内容
真正的配置内容	

經過Implement與DRC等等測試後，Vivado可將其產生出.bit檔，用於燒錄至FPGA中



external disk

將 `brstream` 燒錄至 `spi/bpi` 介面的 flash 中，從而儲存斷電後不會消失的配置資訊

步驟

