Vitis HLS Import Vitis Library Flow

Field Application Engineer
Adaptive and Embedded Computing Group (AECG)

Revision History

Date	Version	Description
12/26/23	1.0	Initial version for flow introduction.

Vitis HLS Import Vitis Library Flow (Version 2021.1)

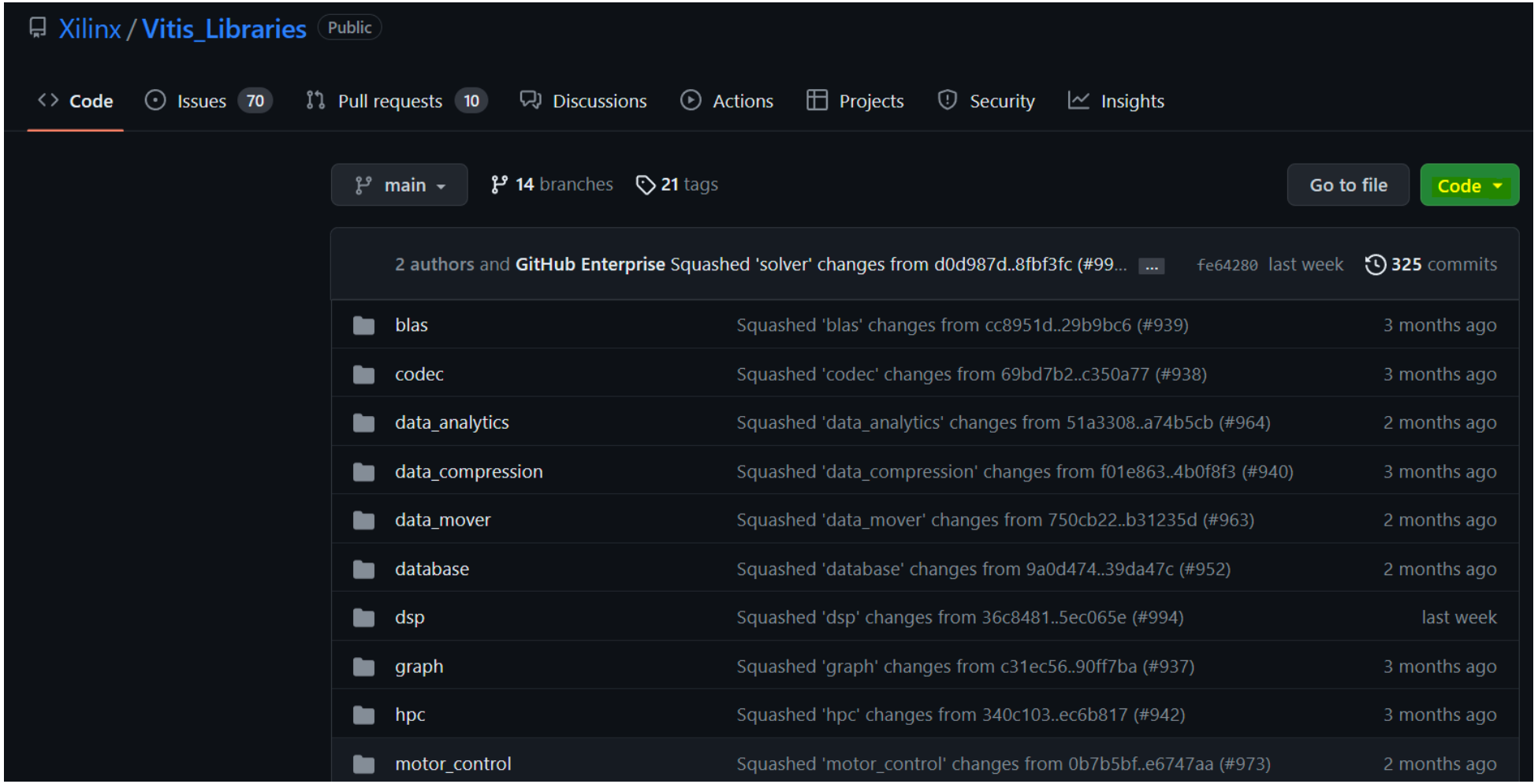
本篇主要介紹如何將 Vitis Library 中用 C/C++ 撰寫的 IP 利用不同版本的 Vitis HLS 匯出到自定義的 FPGA Chip 上

1. 先將整包 Vitis Library 下載下來 GitHub - Xilinx/Vitis_Libraries: Vitis Libraries
2. 開啟 Vitis HLS Command Prompt
3. 利用寫好的 tcl file include 相對應想要匯出的 Vitis Library
4. 在 Vivado 中測試匯出的 IP 是否可用

Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

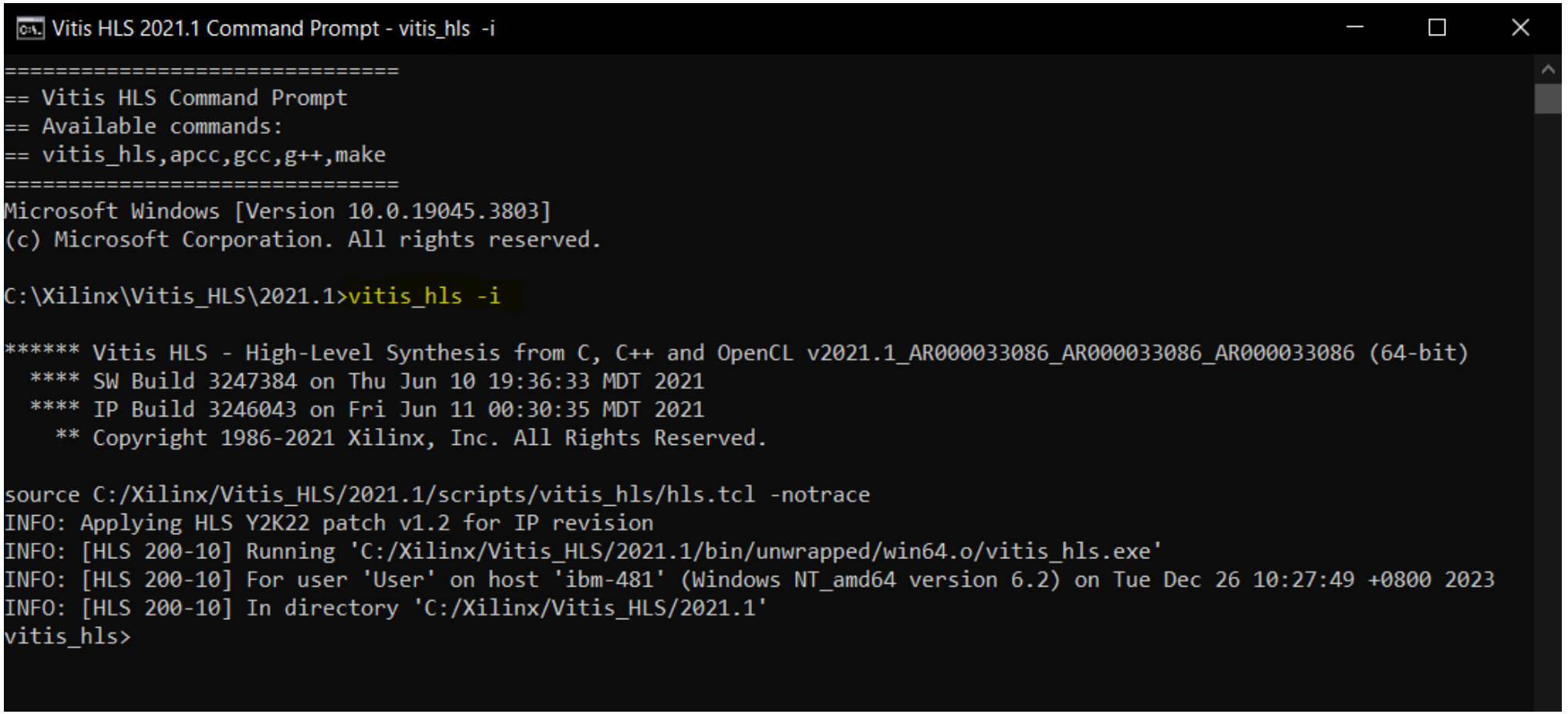
1. 先將整包 **Vitis Library** 下載下來 [GitHub - Xilinx/Vitis_Libraries: Vitis Libraries]



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

2. 開啟 Vitis HLS Command Prompt



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 Vitis Library 中用 C/C++ 撰寫的 IP 利用不同版本的 Vitis HLS 匯出到自定義的 FPGA Chip 上

3. 利用寫好的 tcl file include 相對應想要匯出的 Vitis Library

```
set VITIS_LIBS ../../../Vitis_Libraries/motor_control
set SVPWM_IP ${VITIS_LIBS}/L1/tests/IP_SVPWM
```

設定要 include Vitis Library 路徑

```
set PROJ "ip_svpwm_duty.prj"
set SOLN "sol1"
```

Project Name & Solution Name

```
if {![info exists CLKP]} {
  set CLKP 10
}
```

Clock 速度，10 = 100MHz，5 = 200MHz

```
if {![info exists XPART]} {
  set XPART xc7z020-clg484-1
}
```

設定 FPGA Parts

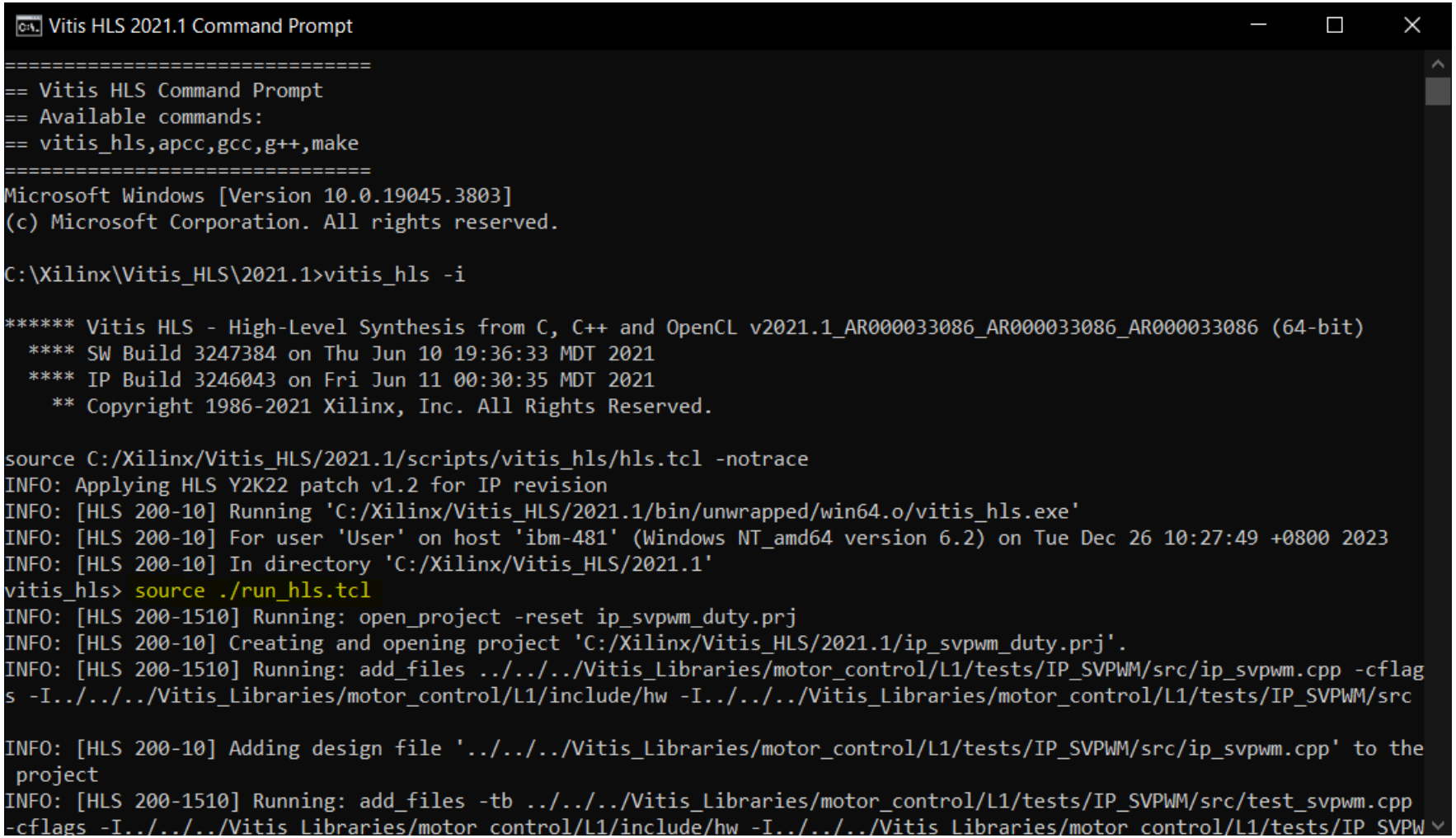
```
open_project -reset $PROJ

add_files "${SVPWM_IP}/src/ip_svpwm.cpp" -cflags "-I${VITIS_LIBS}/L1/include/hw -I${SVPWM_IP}/src"
add_files -tb "${SVPWM_IP}/src/test_svpwm.cpp" -cflags "-I${VITIS_LIBS}/L1/include/hw -I${SVPWM_IP}/src"
set_top hls_svpwm_duty

open_solution -reset $SOLN

set_part $XPART
create_clock -period $CLKP
set_clock_uncertainty 1.25

csynth_design
config_export -ipname hls_svpwm_duty
export_design -rtl verilog -format ip_catalog

exit
```

這邊會直接跑完 Synthesis、Implementation 和 export IP

Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

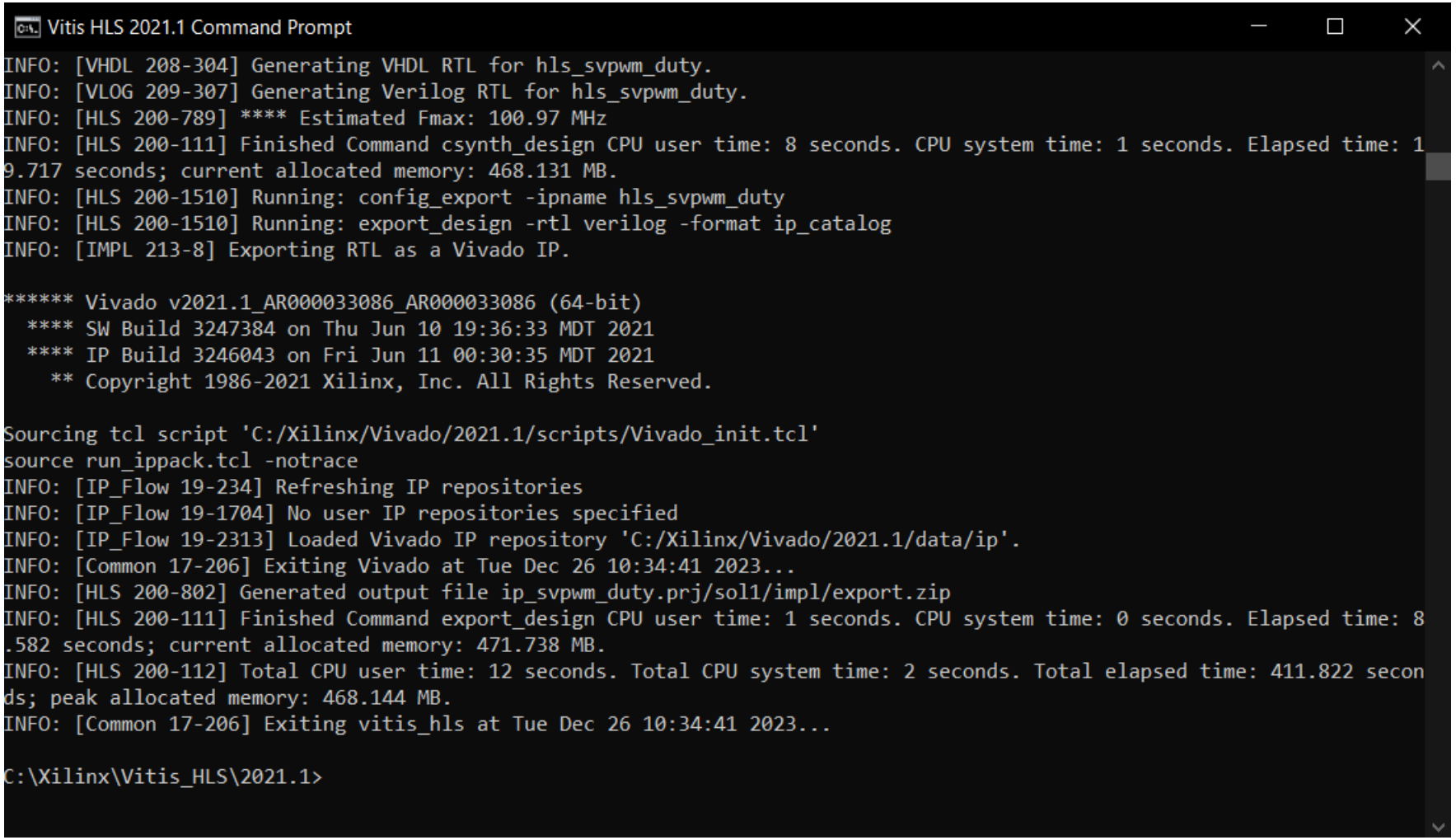
3. source 寫好的 tcl file



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

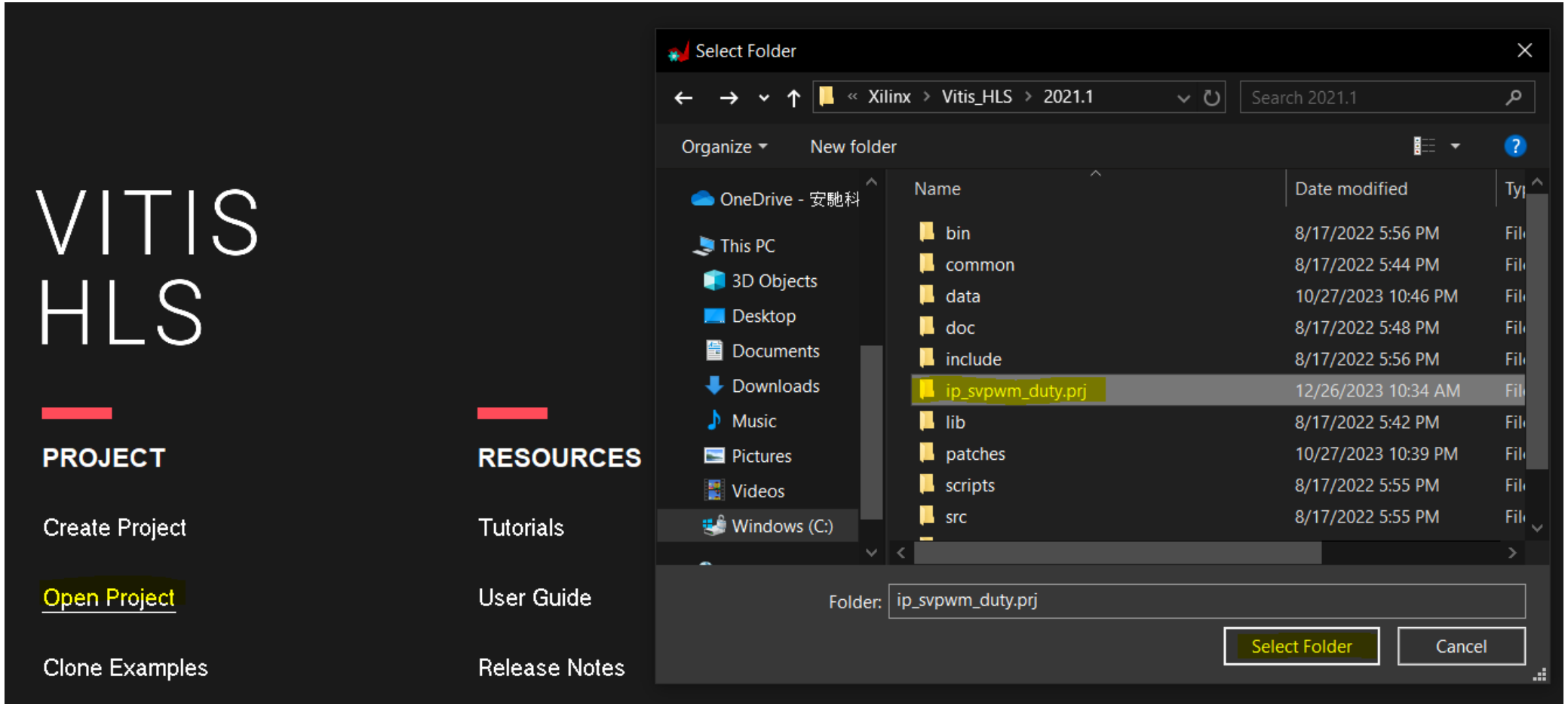
3. 成功會像下面這樣



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

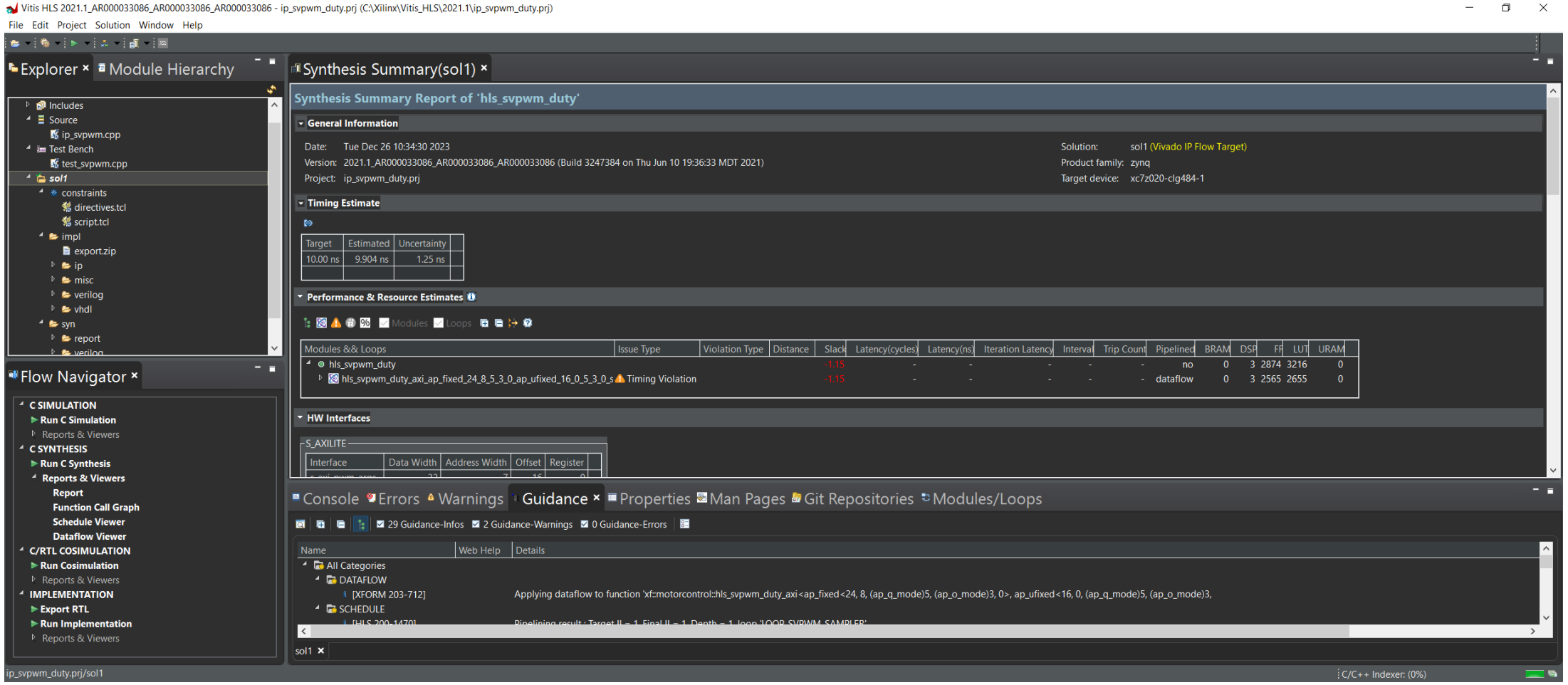
3. 可以用 **Vitis HLS GUI** 開看看剛剛 **tcl** 建立好的專案



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

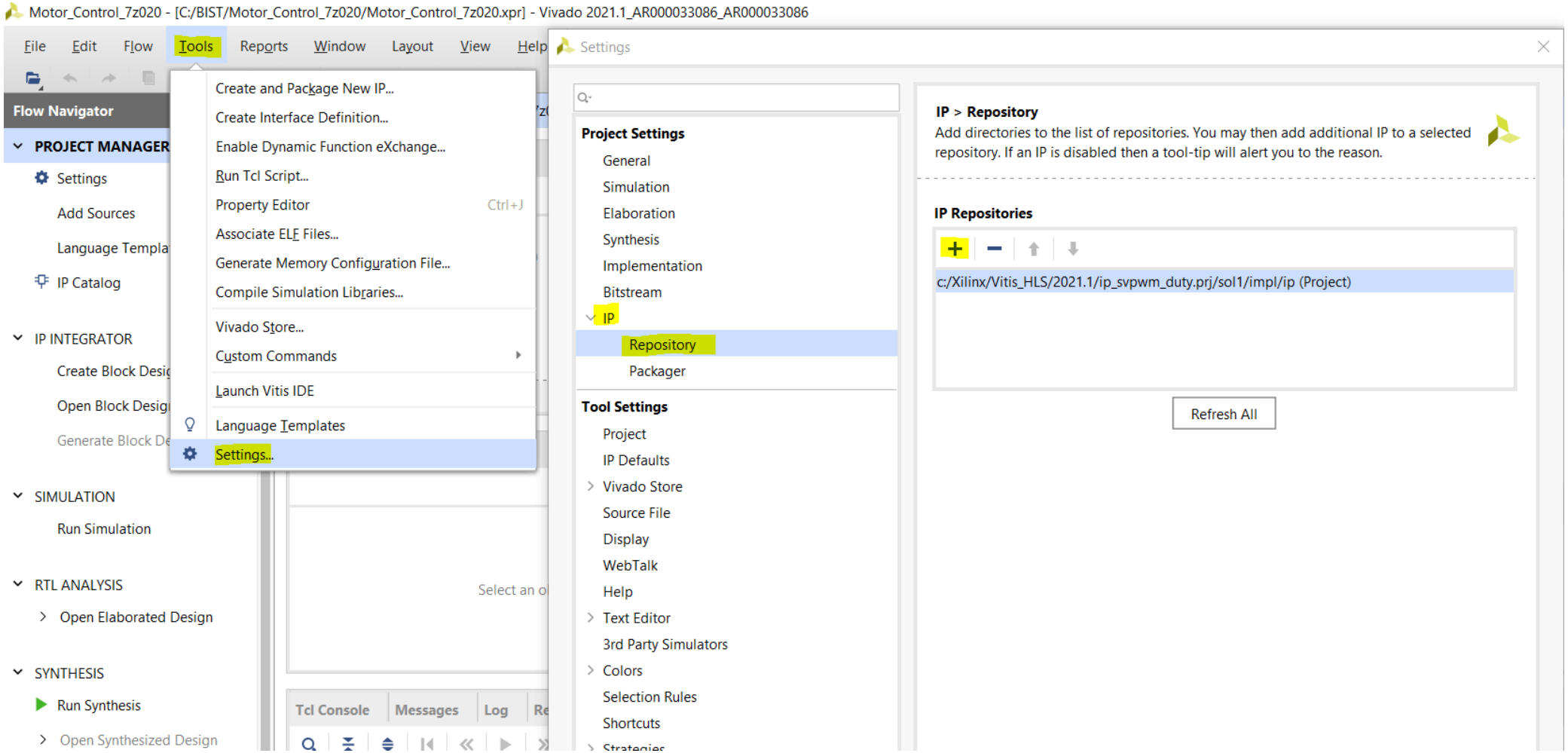
3.　這邊就會給出相對應 synthesis 的報告以及整個專案的 source code 和 constraint



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 Vitis Library 中用 C/C++ 撰寫的 IP 利用不同版本的 Vitis HLS 匯出到自定義的 FPGA Chip 上

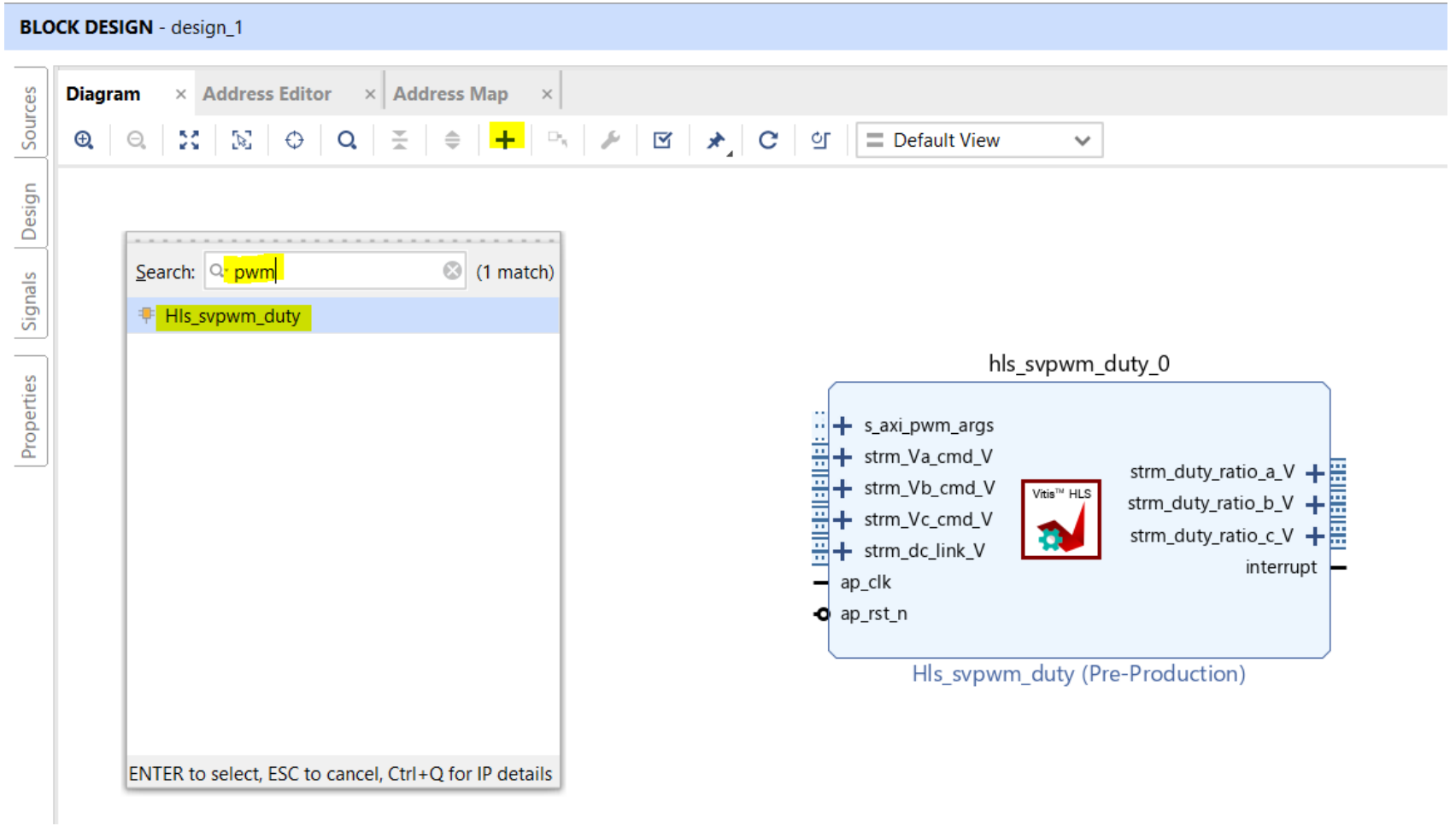
4. 在 Vivado 中測試匯出的 IP 是否可用



Vitis HLS Import Vitis Library Flow (Version 2021.1)

本篇主要介紹如何將 **Vitis Library** 中用 **C/C++** 撰寫的 **IP** 利用不同版本的 **Vitis HLS** 匯出到自定義的 **FPGA Chip** 上

4. 在 Vivado 中測試匯出的 IP 是否可用



Reference

1. GitHub - Xilinx/Vitis_Libraries: Vitis Libraries
2. kria-vitis-platforms/kd240/platforms/vivado/ip/svpwm_duty/run_hls.tcl at main · Xilinx/kria-vitis-platforms · GitHub


AMD