

TRABAJO PRÁCTICO FINAL

Unidad Aritmética lógica

Gonzalo Nahuel Vaca



Facultad de Ingeniería
Universidad de Buenos Aires
Argentina
16 de abril de 2022

1. Introducción

1.1. Propósito

Este trabajo tiene como propósito detallar el desarrollo de una *Unidad Aritmética Lógica*.

1.2. Alcance

El trabajo fue realizado en el marco de la materia *Circuitos Lógicos Programables* y consta de las siguientes etapas:

- Creación de un archivo de *register transfer level* en *vhdl*.
- Creación de un archivo de simulación y estímulo en *vhdl*.
- Síntesis e implementación para un kit *ARTYZ720*.
- Creación de un archivo de *bitstream*.
- Montaje de placa de entradas.

2. Descripción general

2.1. Introducción general

Una Unidad Aritmética Lógica (ALU) es un circuito digital que realiza operaciones aritméticas (suma, resta) y operaciones lógicas (and, or, xor). Las operaciones se realizan sobre uno o dos operandos. En la figura 1 se puede observar un ejemplo de representación de una ALU.

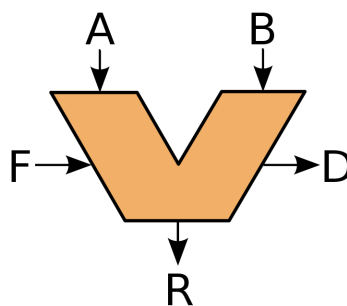


Figura 1: Ejemplo de una ALU.

2.2. Register Transfer Level

En esta etapa se realizó la descripción del funcionamiento de la ALU para su posterior proceso de sintetizado. En la figura 2 se puede observar una simulación del código generado mientras que en la figura 3 se puede ver el diagrama en bloques que representa la funcionalidad.

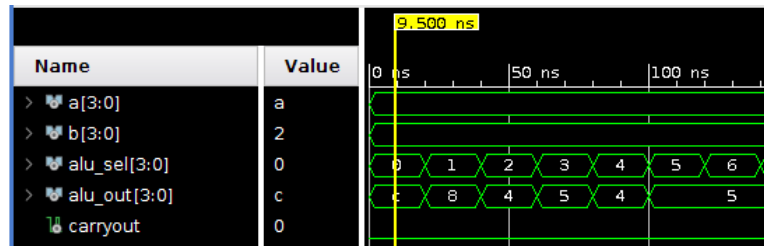


Figura 2: Simulación rtl.

2.3. Síntesis

En esta etapa se determina si el comportamiento descrito es realizable. En el caso de este proyecto el esquemático del modelo sintetizado se puede observar en la figura 4.

2.4. Implementación

En esta etapa se asignan los recursos de la *FPGA*. En la figuras 5 6 se pueden observar como *Vivado* asignó los recursos dentro del integrado.

2.5. Bitstream

El paso final dentro del entorno de *Vivado* fue crear las instrucciones a transmitir para que realicen las conexiones internas dentro la *FPGA*. Luego, se procedió a volcar el *bitstream* dentro del integrado.

2.6. Montaje

En la figura 7 se puede observar el resultado final del proyecto.

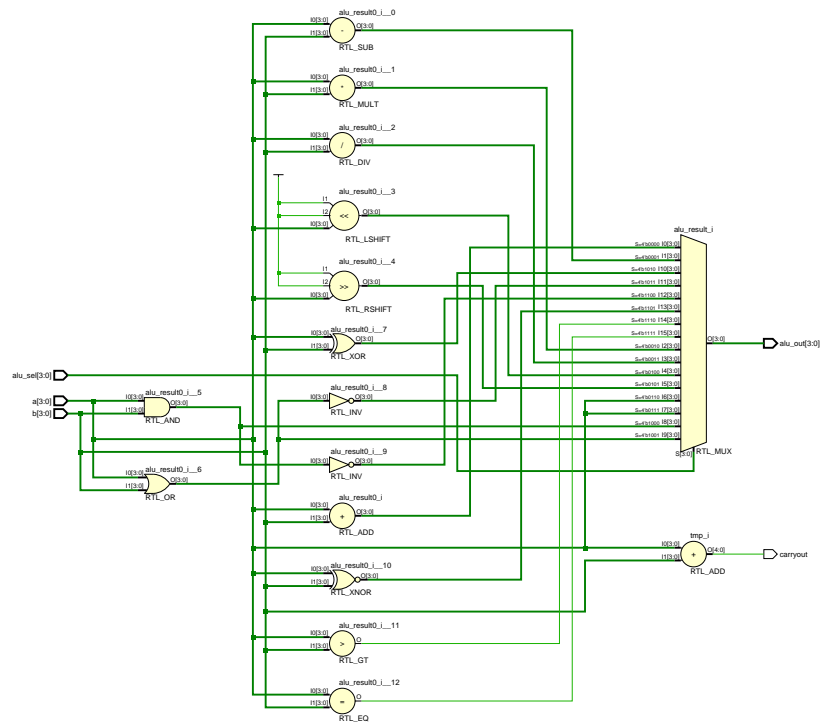


Figura 3: Esquemático rtl.

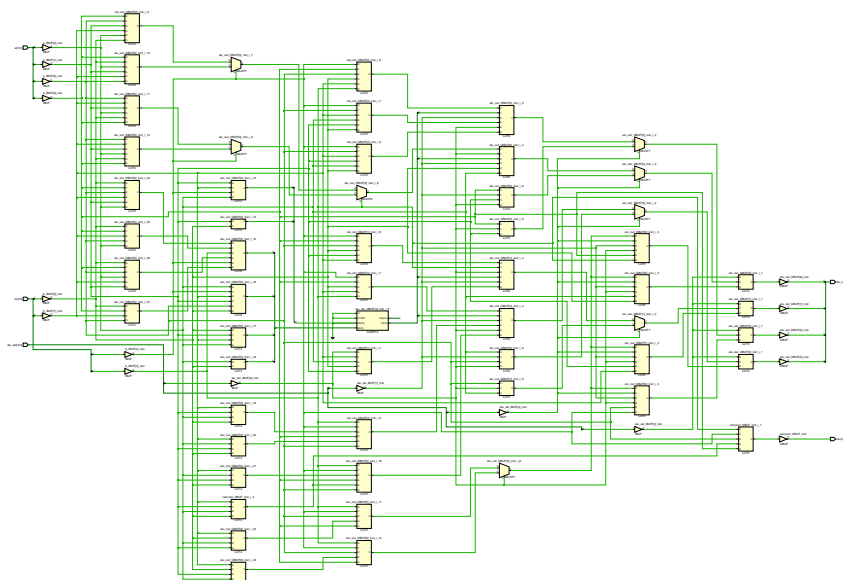


Figura 4: Esquemático de la síntesis.

Utilization			
		Post-Synthesis	Post-Implementation
		Graph Table	
Resource	Utilization	Available	Utilization %
LUT	40	53200	0.08
I/O	17	125	13.60

Figura 5: Tabla de recursos.

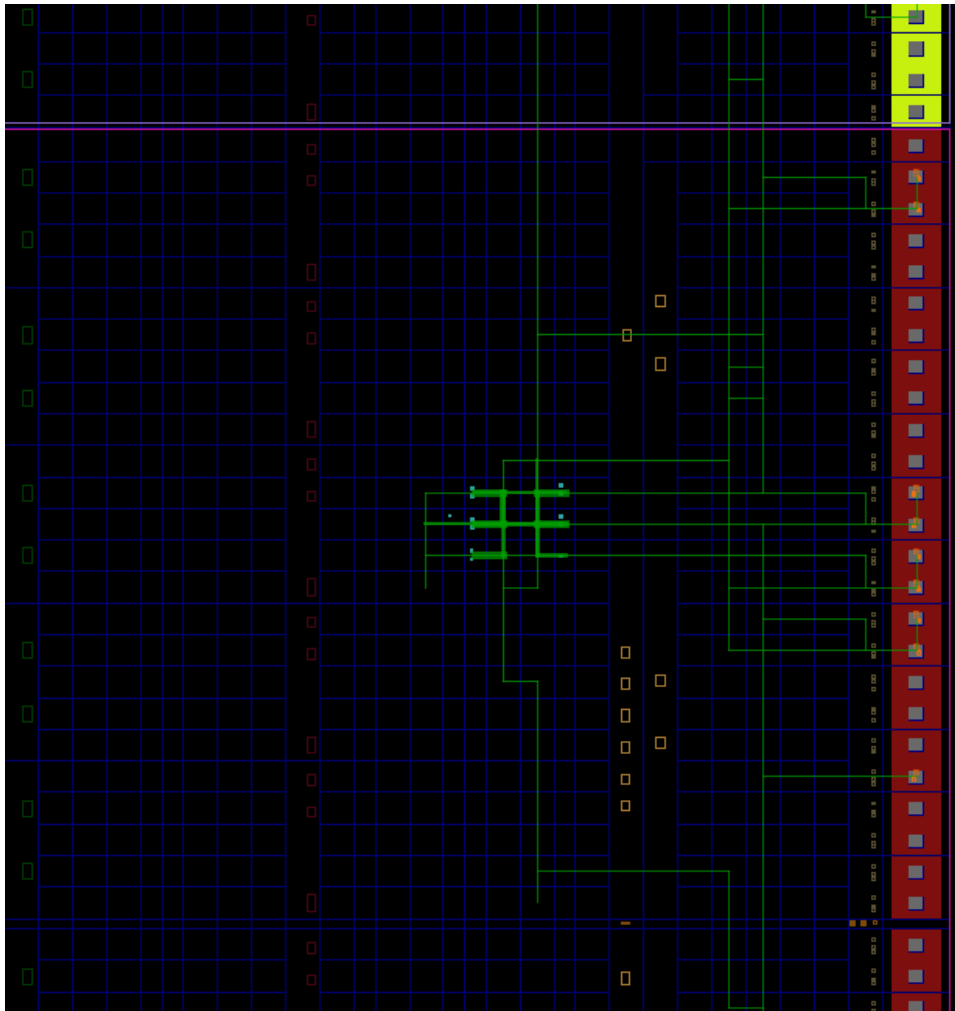


Figura 6: Asignación de recursos en la *FPGA*.

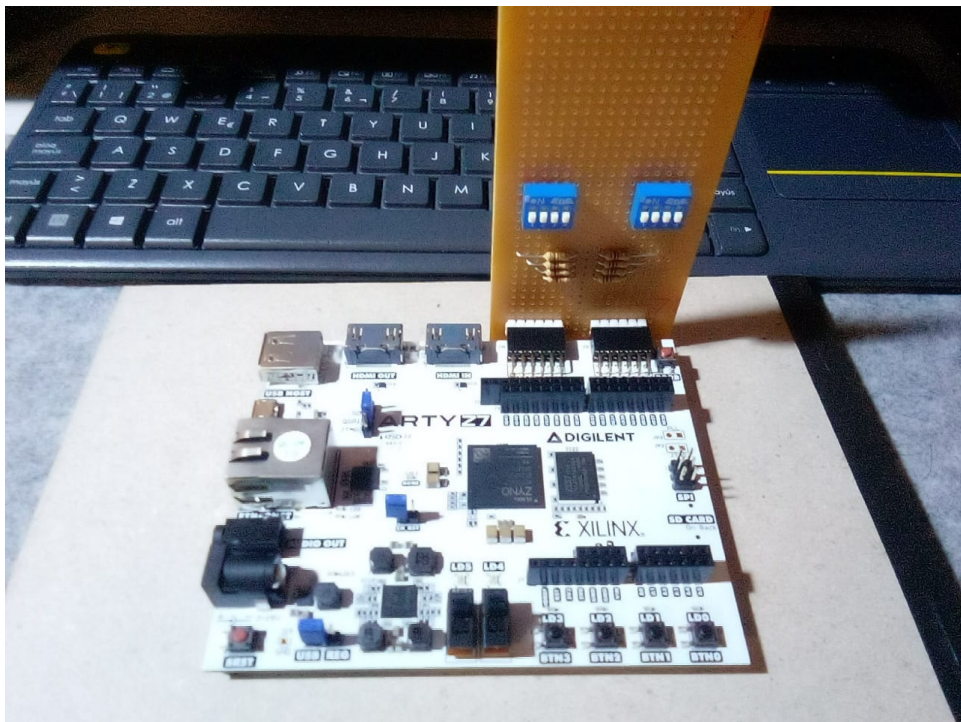


Figura 7: Montaje.