P0 (2pts) Reporte Multi-cycle con MUL:

Semana 13

**DEADLINE Sabado 21 de Junio 23:00**

Completar la unidad de Control del Multi-cycle.

Completar el modulo datapath.

Probar que las instrucciones del Challenge Single Cycle funcionan.

Implementar y probar la función MUL.

Presentar un corto reporte indicando como implementaron su microprocesador indicando los resultados y su código ( Su código será comparado para revisión de plagio)

**DEADLINE Sabado 21 de Julio 23:00**

P1 (3pts) Presentacion MUL, UMUL, SMUL, DIV:

Semana 14

**PRESENTACIÓN Segunda sesión de la semana 14**

Presentación de 10 minutos de su implementación de las instrucciones UMUL, SMUL, DIV.

Presentación orden (1pts)

MUL, SMUL, UMUL, DIV 5 MIN (2 pts)

DATAPATH

CONTROL

SIMULATION

P2 (15pts) Presentación Final + Informe:

Semana 15, 16

**INFORME + CODIGO (10 pts)**

**DEADLINE Domingo 06 de Julio 23:00**

Presentar reporte en pdf

Adjuntar una carpeta (.zip) con el proyecto completo, asegúrese de mandar el proyecto completo, no habrán presentaciones posteriores al deadline.

*REPORTE (10 pts):*

MUL, SMUL, UMUL, DIV (5 pts):

Preliminar: Cual es la lógica de su implementación?

ASM program con comentarios 0 pts

Diseño: Justifique sus desiciones de diseño.

Datapath diagrama 1 pts

Control, decoding 1 pts

Cambios en el codigo, comentada 1 pts

Resultados: Comente sus resultados, son los esperados?

Simulation waveform 0.5pts

(clk, reset, PC, Instr, srcA, srcB, AluResult, Result, WriteData, MemWrite, ReadData en orden)

Comentarios 0.5 pts

Implementacion: Como implementó sus resultados?

Implementacion FPGA 1 pts

Floating Point (FMUL, FADD) (5pts):

Preliminar: Cual es la lógica de su implementación?

ASM program con comentarios 0 pts

Diseño: Justifique sus desiciones de diseño.

Datapath diagrama 1 pts

Control, decoding 1 pts

Cambios en el codigo, comentada 1 pts

Resultados: Comente sus resultados, son los esperados?

Simulation waveform 0.5pts

(clk, reset, PC, Instr, srcA, srcB, AluResult, Result, WriteData, MemWrite, ReadData en orden)

Comentarios 0.5 pts

Implementacion: Como implementó sus resultados?

Implementacion FPGA 1 pts

**EXPOSICION MAX 15 MIN ( 5 pts)**

**ULTIMA SESION DE LABORATORIO Y ENTREGA DE PLACA**

*PRESENTACIÓN (6pts):*

Presentación orden (0.5pts)

MUL, SMUL, UMUL, DIV 5 MIN (0 pts)

DATAPATH

CONTROL

SIMULATION

FLOATING 5 MIN (2 pts)

DATAPATH

CONTROL

SIMULATION

PREGUNTAS (1.5 pts)

BASYS IMPLEMENTATION 5MIN ( 2 pts)