

EA772 Circuitos Lógicos

Circuitos integrados combinacionais: conceitos básicos

Prof. José Mario De Martino

*Departamento de Engenharia de Computação e Automação Industrial
Faculdade de Engenharia de Elétrica e de Computação
Universidade Estadual de Campinas*

Sala 317A - FEEC

martino@dca.fee.unicamp.br



Circuitos integrados combinacionais

- **Porta Lógica**
 - módulo que implementa/realiza uma função booleana elementar, possuindo apenas 1 saída.
- **Redes de Porta Lógicas**
 - combinação de portas lógicas para implementar função lógica complexa envolvendo a composição de funções booleanas elementares.
- **Circuito Combinacional**
 - realização física de portas lógicas e/ou de redes de portas lógicas. Nestes circuitos a saída em um instante de tempo depende apenas da entrada naquele instante de tempo.

Circuitos integrados combinacionais

- Aspectos que devem ser levados em conta em projetos de circuitos:
 - Velocidade de operação
 - Consumo de potência
 - Empacotamento (tamanho)
 - Custo
 - Disponibilidade no mercado dos componentes

Circuitos integrados combinacionais

- Dois aspectos fundamentais norteiam a implementação (com circuitos eletrônicos) de portas lógicas:
 - Representação dos valores binários
 - Realização dos circuitos que implementam as funções booleanas

Representação dos valores binários

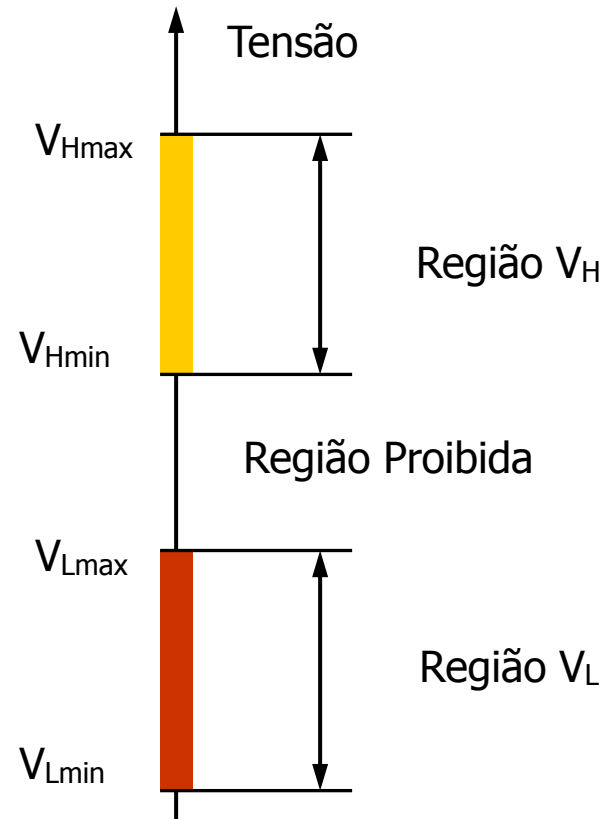
- Correspondência das tensões com os valores binários

- Lógica Positiva

- $V_H \Leftrightarrow 1$
- $V_L \Leftrightarrow 0$

- Lógica Negativa

- $V_H \Leftrightarrow 0$
- $V_L \Leftrightarrow 1$



Representação dos valores binários

- CMOS (Complementary Metal Oxide Semicondutor) 3,3V

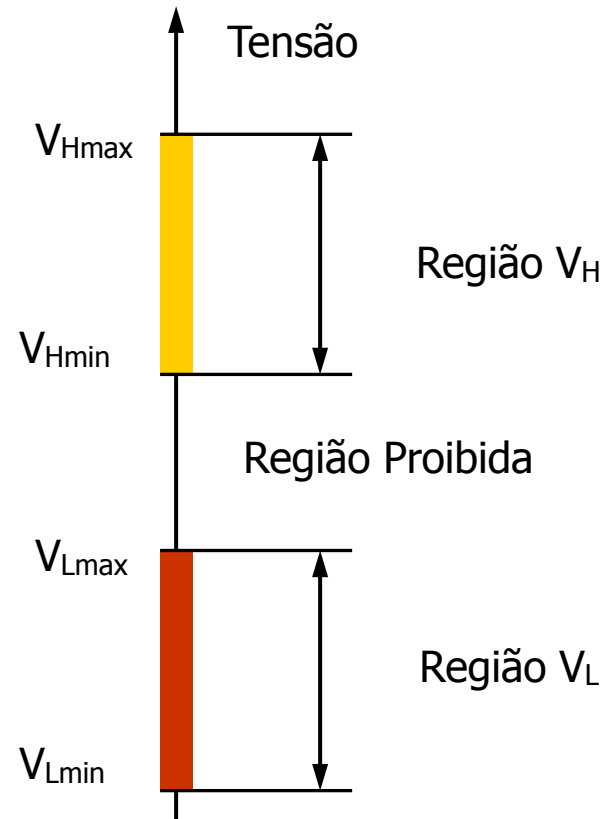
V_{Hmax} 3,3 V V_{Lmax} 0,8V

V_{Hmin} 2,0 V V_{Lmin} 0 V

- TTL (Transistor transistor Logic) 5,0V

V_{Hmax} 5,0 V V_{Lmax} 0,8V

V_{Hmin} 2,0 V V_{Lmin} 0 V

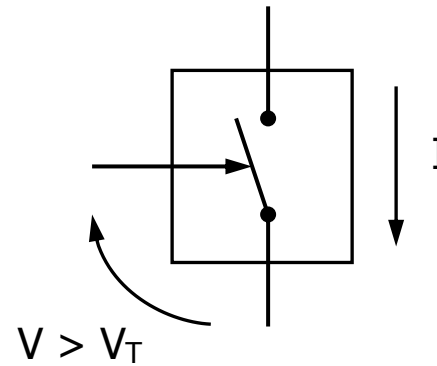
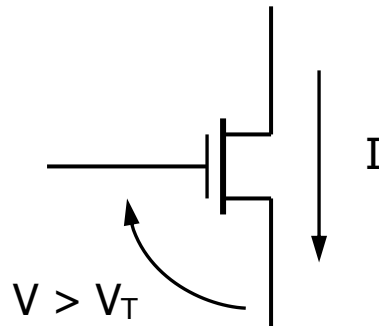


Realização das portas lógicas

- Transistor
 - dispositivo semicondutor (é feito com material semicondutor – silício, germânio ou arseneto de gálio) utilizado para amplificar e CHAVEAR (funcionar como uma chave eletrônica) sinais elétricos.
 - possui três terminais, sendo que a tensão aplicada entre dois terminais controla a corrente entre o outro e o terminal comum.

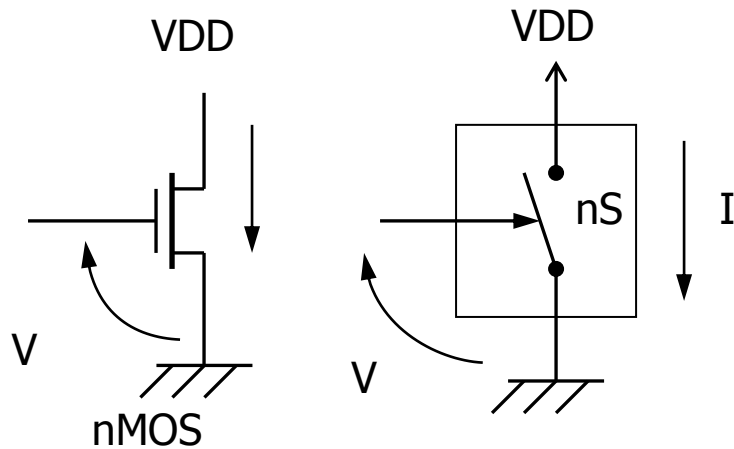
Realização das portas lógicas

- Transistor como chave
 - $V > V_T$ conduz (chave fechada)
 - $V < V_T$ não conduz (chave aberta)



Realização das portas lógicas

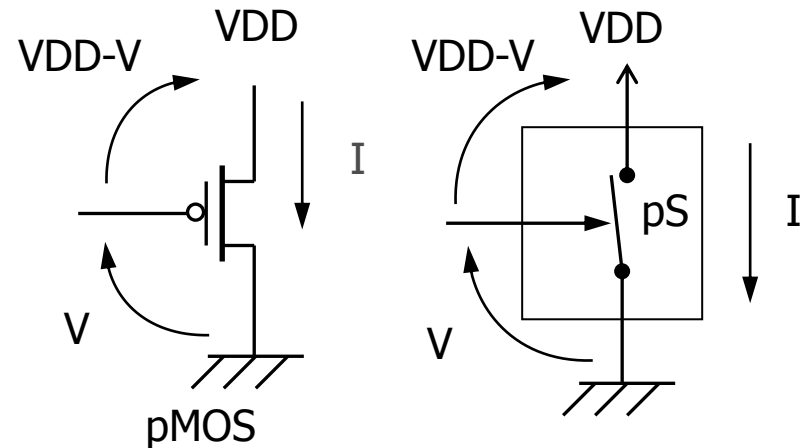
- Tecnologia CMOS (Complementary Metal Oxide Semiconductor)
 - Dois tipos de transistores (nMOs e pMOS) ($V_{DD} = V_{Hmax}$)



$V > V_{Tn}$ Chave está fechada (conduz)

$V = 0$ (não conduz)

$V = V_{DD} = "1"$ (conduz)



$V_{DD} - V < V_{Tp}$ Chave está aberta (não conduz)

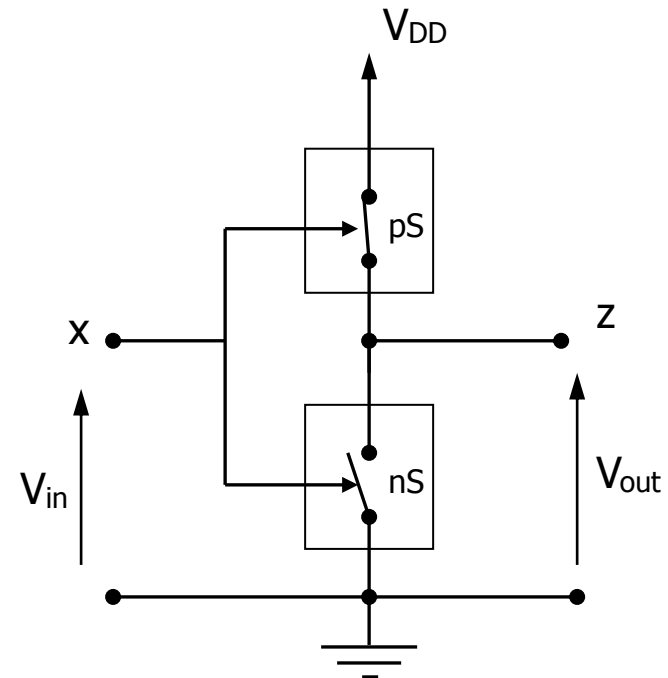
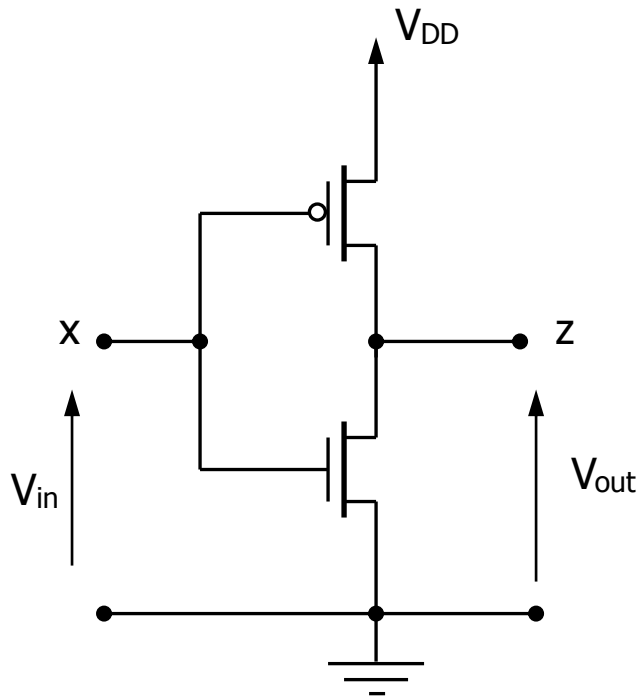
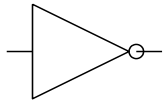
$V = 0$ (conduz)

$V = V_{DD} = "1"$ (não conduz)

Observação: TTL (transistor transistor logic) é outra tecnologia importante.

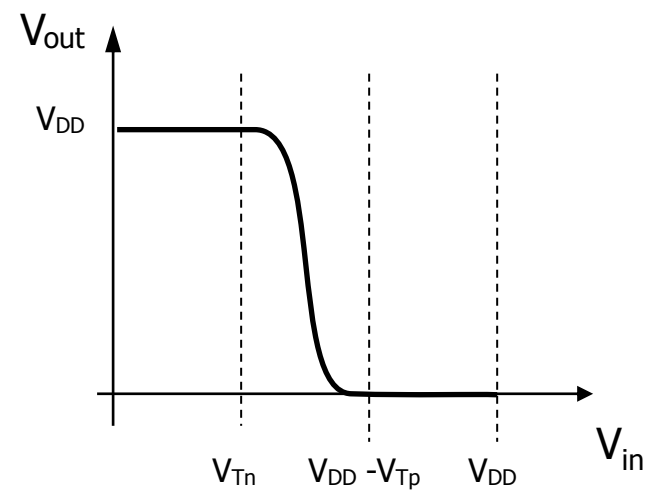
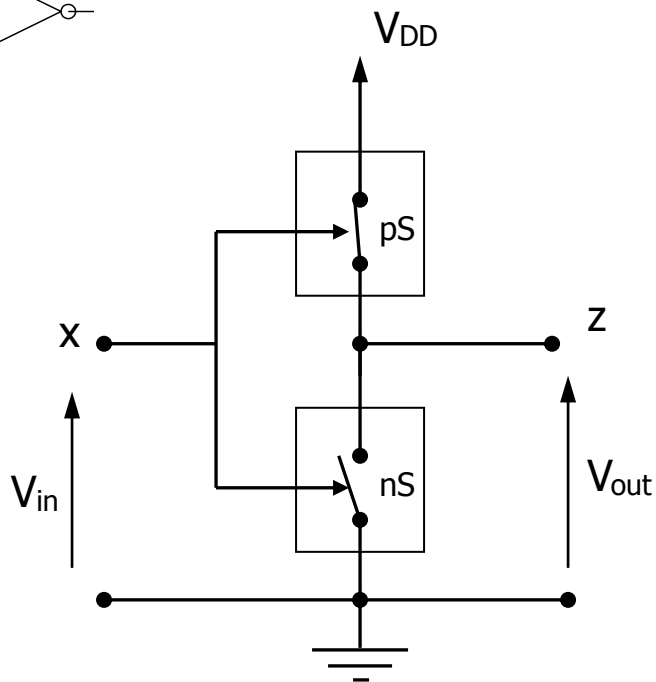
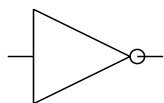
Realização das portas lógicas

- Porta NOT



Realização das portas lógicas

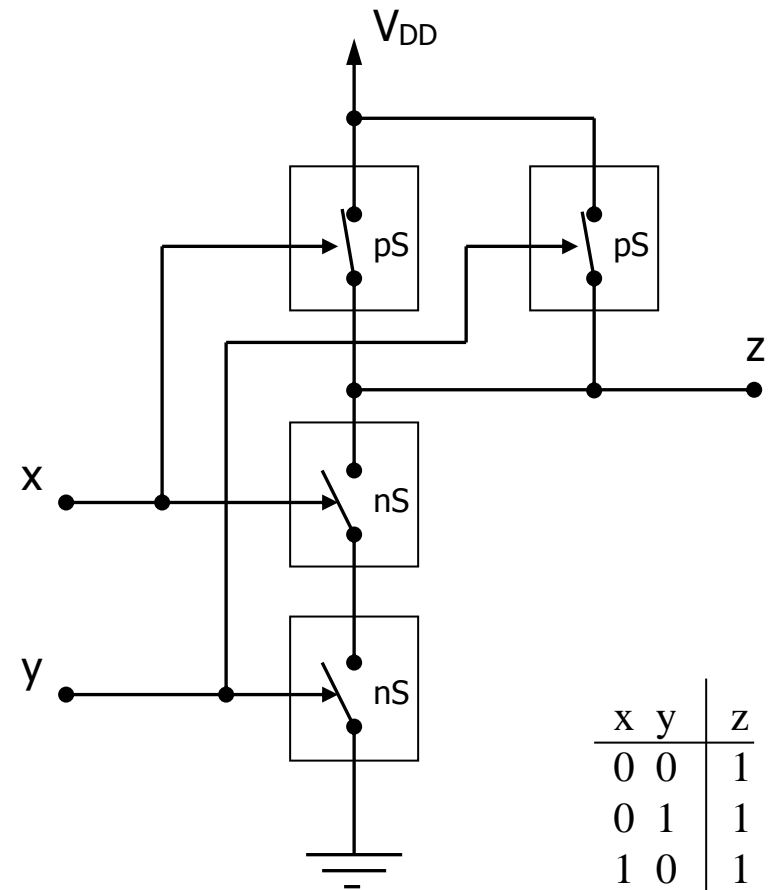
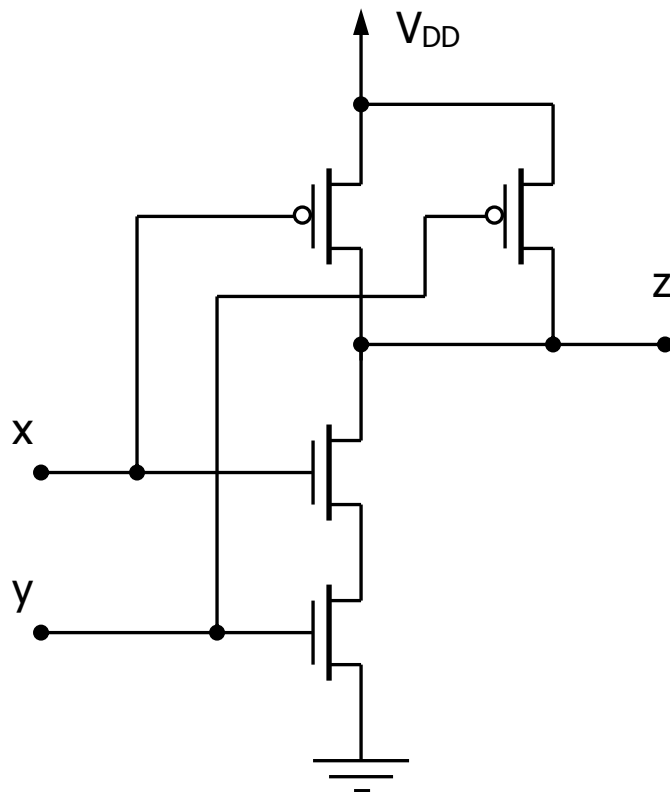
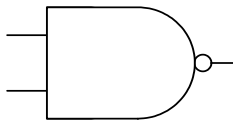
- Porta NOT



V_{in}	V_{out}	x	z
V_L	V_H	0	1
V_H	V_L	1	0

Realização das portas lógicas

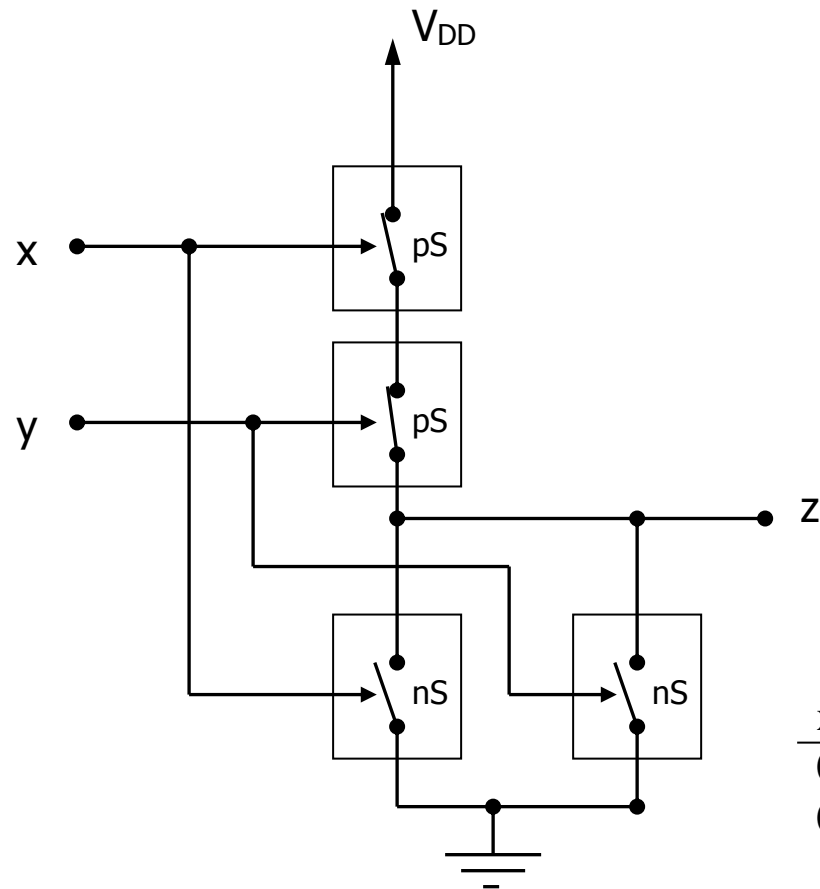
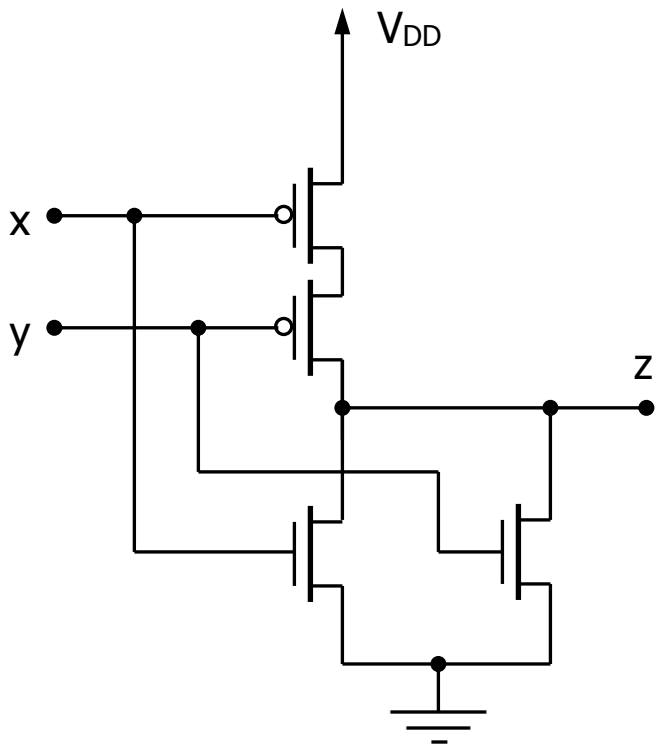
- Porta NAND



x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

Realização das portas lógicas

- Porta NOR

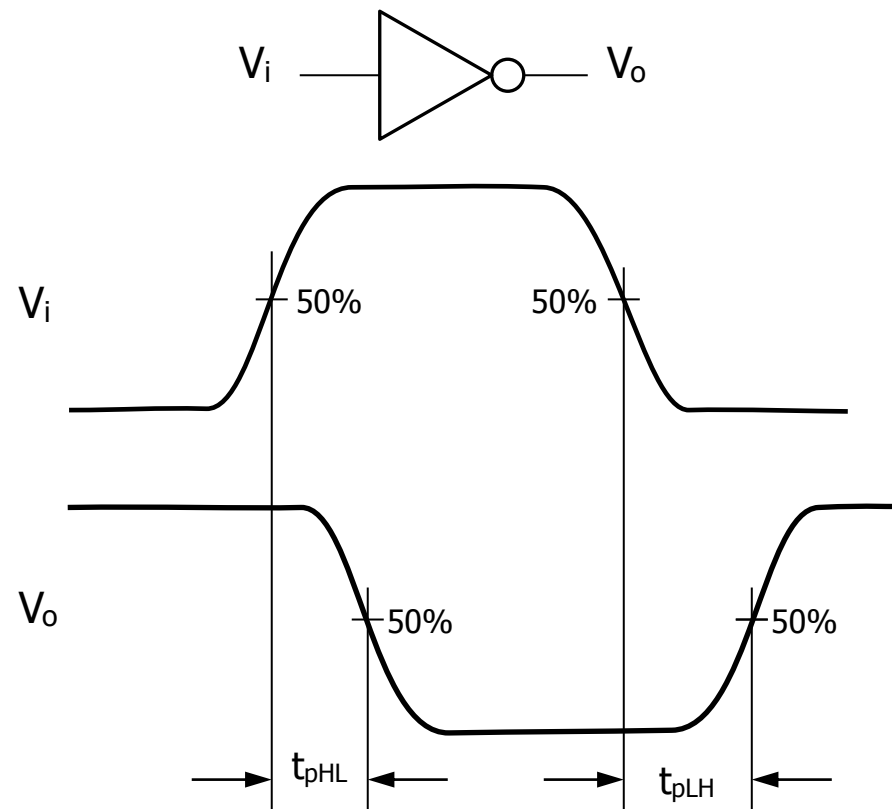


x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

Atraso (retardo) de propagação

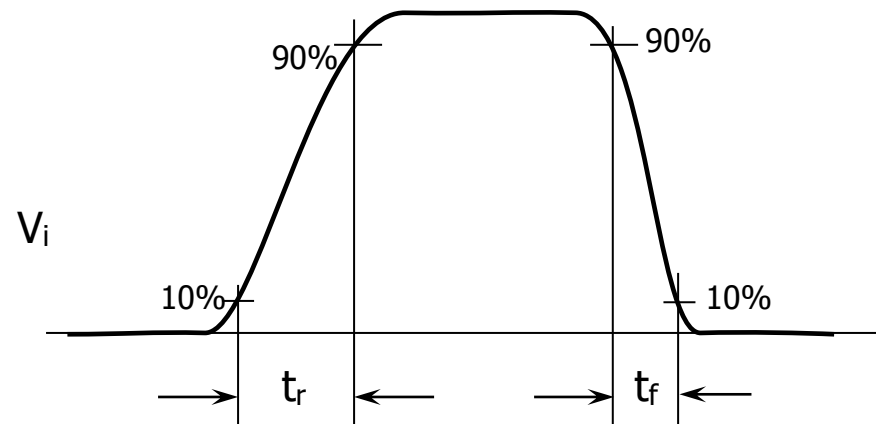
- A saída de uma porta não muda instantaneamente em resposta a uma mudança da entrada. Em qualquer realização física há sempre um atraso de propagação.
- Atraso de propagação é o intervalo de tempo entre variação do sinal de saída em resposta a uma transição do sinal de entrada (em geral, utiliza-se como referência 50% do valor da excursão nominal baixo para alto).
- t_{pHL} – tempo de atraso de propagação de alto para baixo
- t_{pLH} – tempo de atraso de propagação de baixo para alto

Atraso (retardo) de propagação

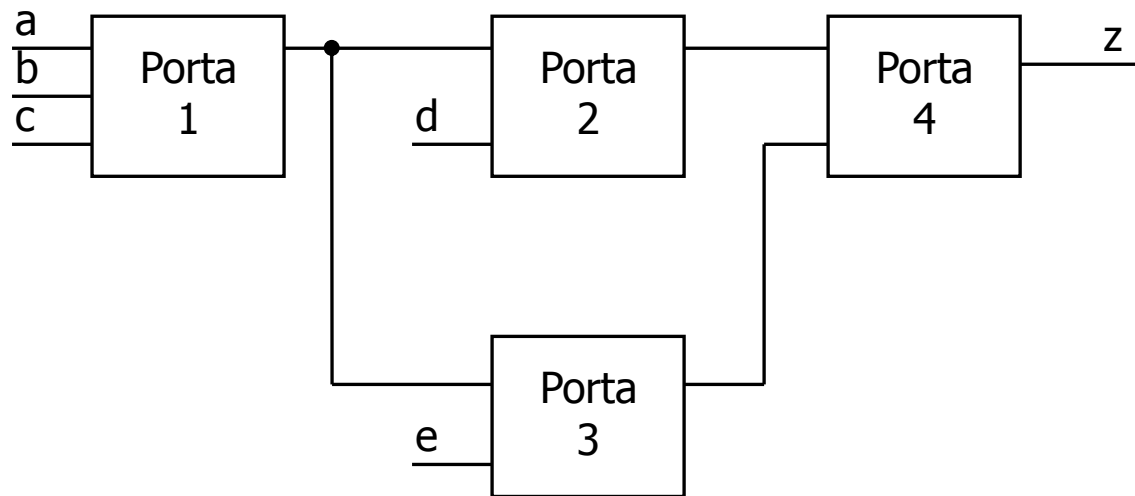


Tempo de transição

- Tempo necessário para que o sinal se modifique durante uma transição de nível (em geral, toma-se como referência 10% e 90% do intervalo nominal de excursão).
- t_r – tempo de subida
- t_f – tempo de descida



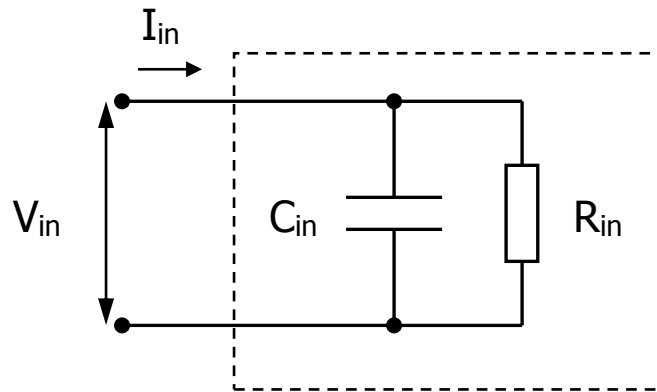
Efeito da carga nos tempos de chaveamento



- A carga imposta a uma saída depende da quantidade e das características das entradas das portas a ela conectadas.
- A carga influencia a voltagem do sinal de saída, bem como suas características de temporais (atraso de propagação e tempo de transição).

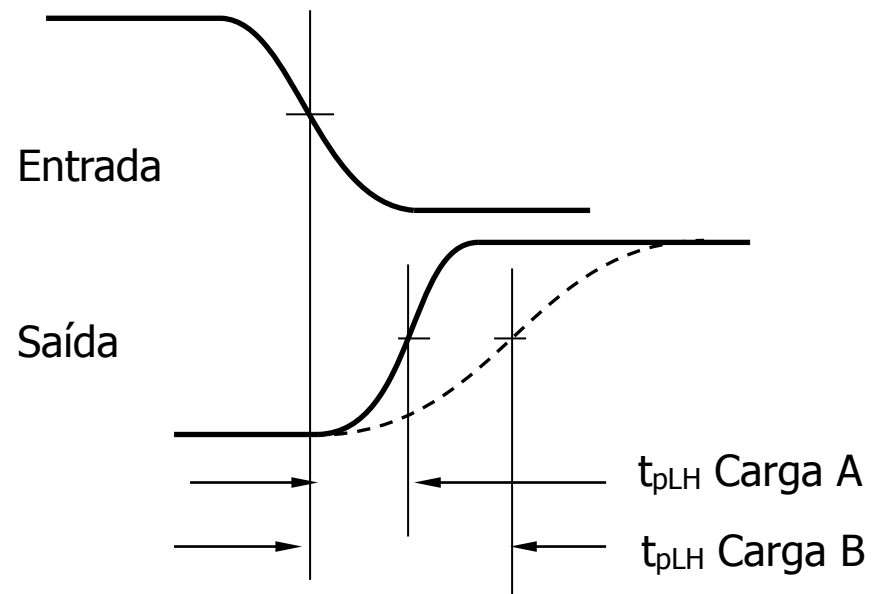
Efeito de carga nos tempos de chaveamento

- Carga equivalente de uma entrada



- R_{in} – Resistência; C_{in} – Capacitância
- Para várias entradas, a carga total é calculada combinando-se as cargas de cada entrada (capacitância total aumenta; resistência total diminui)
- O aumento capacitância ocasionado pela conexão de mais entradas aumenta os tempos de chaveamento.

Efeito de carga nos tempos de chaveamento



Dissipação de potência

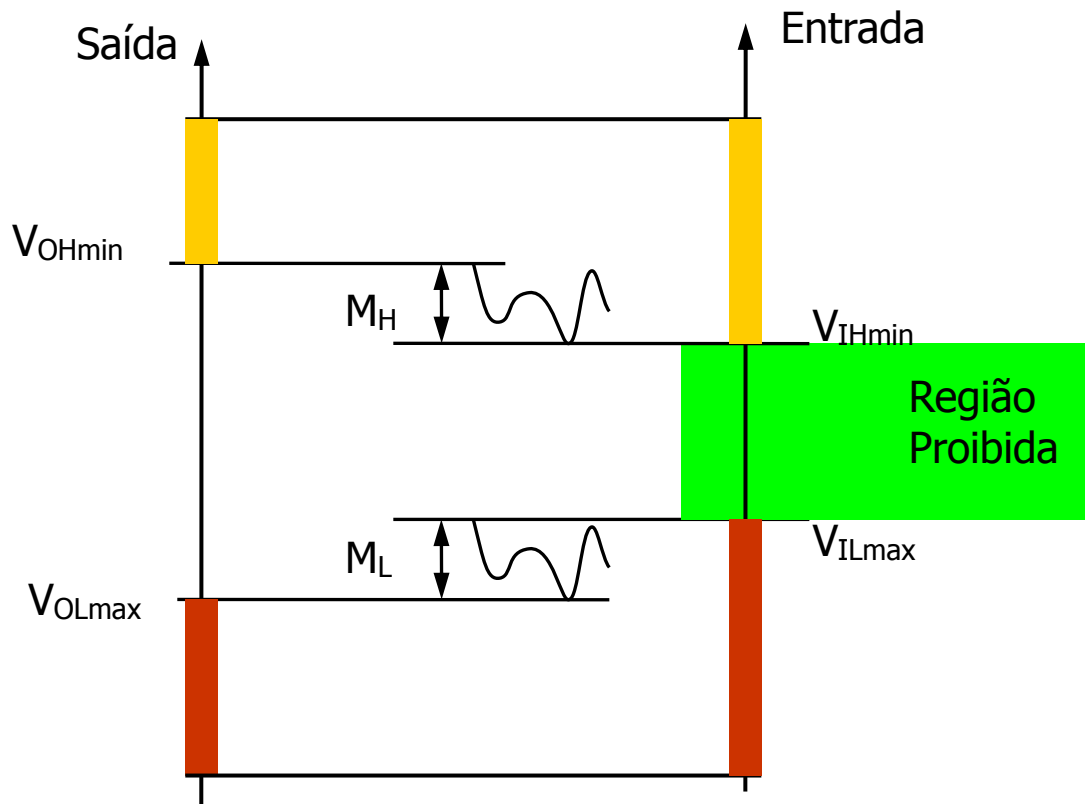
- Nos dispositivos CMOS as resistências internas são altas ($\approx \infty$)
- Apenas durante as transições (alto-baixo, baixo-alto) ocorre dissipação significativa de potência.
- Para este tipo de dispositivo, a dissipação é diretamente proporcional à frequência de operação - maior a frequência, maior a dissipação.

Circuitos integrados combinacionais

- Procedimento adotado (pelos fabricantes) para tratar a questão da carga em redes de portas lógicas:
 - Especificação de uma carga padrão (em geral, associada à família). Esta especificação é, em geral, dada em termos de tensões e correntes máxima e mínimas dentro da faixa de operação.
 - A característica da entrada de uma determinada porta é especificada em termos da carga padrão.
 - Para a saída é especificada a carga máxima, em quantidade de cargas padrões, suportada pela porta (*fanout*) que ainda permita o correto funcionamento da porta dentro dos limites de operação. (Obs.: *Fanout* típico CMOS = 12; *Fanout* típico TTL = 10).
 - *Fanout* é uma medida da capacidade de acionamento da saída da porta.
 - *Fanin* é o número de entradas de uma porta lógica. Portas com *fanin* grandes tendem a serem mais lentas do que portas com *fanin* menores, uma vez que o aumento da complexidade do circuito entrada da porta, em geral, está associada a um aumento da capacitância de entrada.

Margem de ruído

- Medida da tolerância a ruído



Margem Ruído Sinal Alto

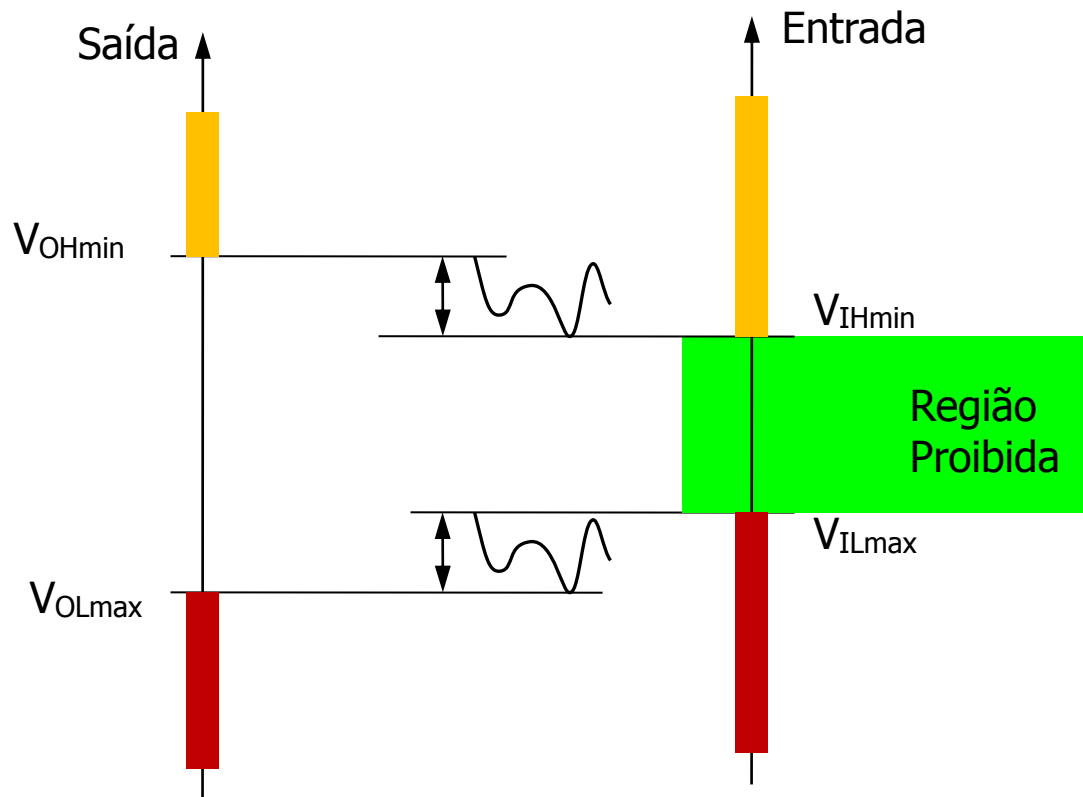
$$M_H = V_{OHmin} - V_{IHmin}$$

Margem Ruído Sinal Baixo

$$M_L = V_{ILmax} - V_{OLmax}$$

Margem de ruído

- Medida da tolerância a ruído



CMOS (3,3V típico)

$$V_{OLmax} = 0,4 \text{ V} \quad V_{ILmax} = 0,8 \text{ V}$$

$$V_{OHmin} = 2,4 \text{ V} \quad V_{IHmin} = 2,0 \text{ V}$$

$$M_L = 0,4 \text{ V}$$

$$M_H = 0,4$$

TTL (típico)

$$V_{OLmax} = 0,4 \text{ V} \quad V_{ILmax} = 0,8 \text{ V}$$

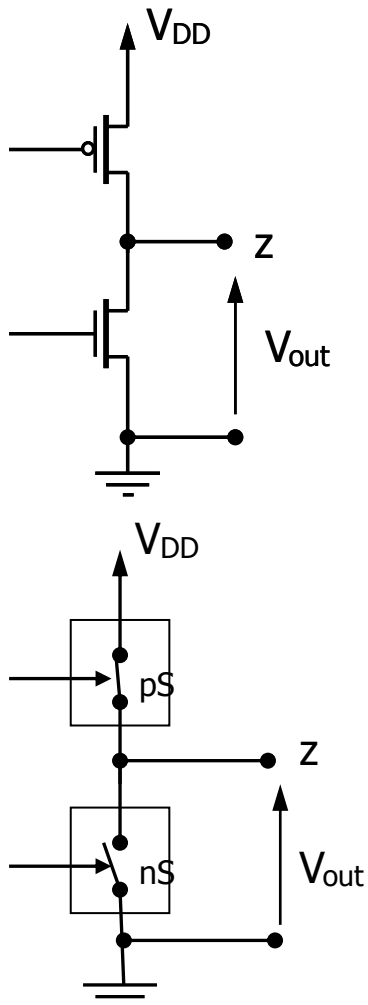
$$V_{OHmin} = 2,4 \text{ V} \quad V_{IHmin} = 2,0 \text{ V}$$

$$M_L = 0,4 \text{ V}$$

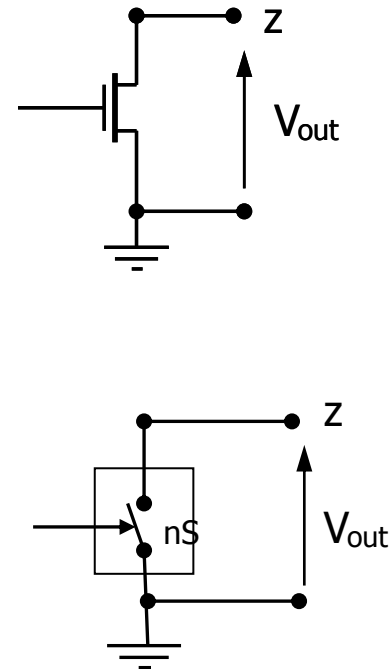
$$M_H = 0,4$$

Saída dreno aberto (coletor aberto)

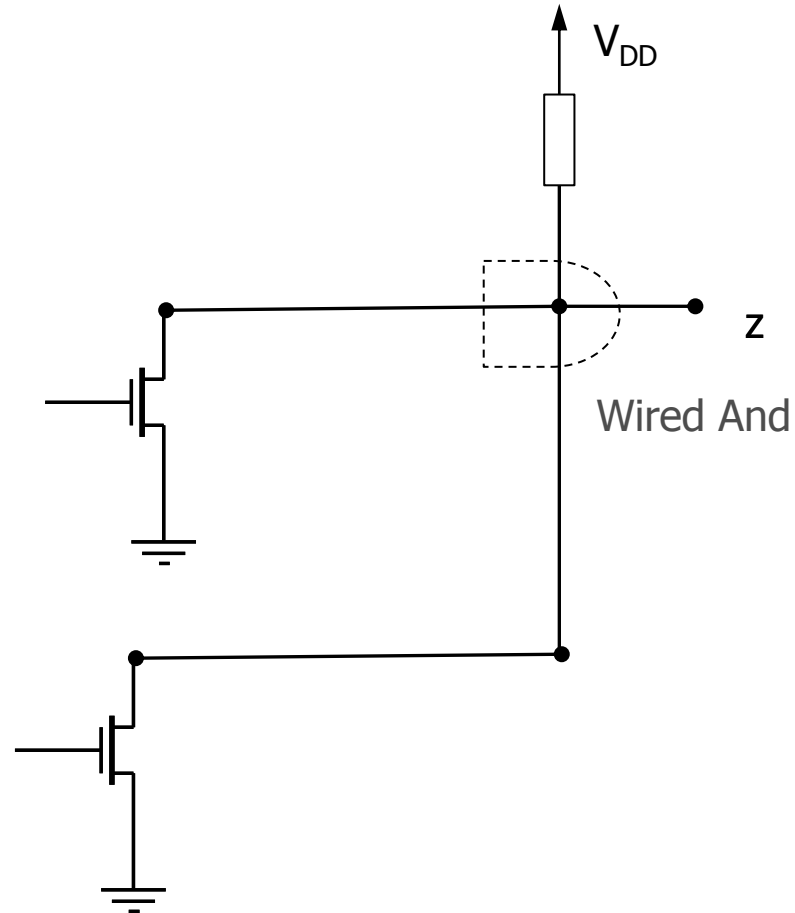
Saída Push-Pull
ou
Saída Totem Pole



Saída Dreno Aberto



Saída dreno aberto (coletor aberto)

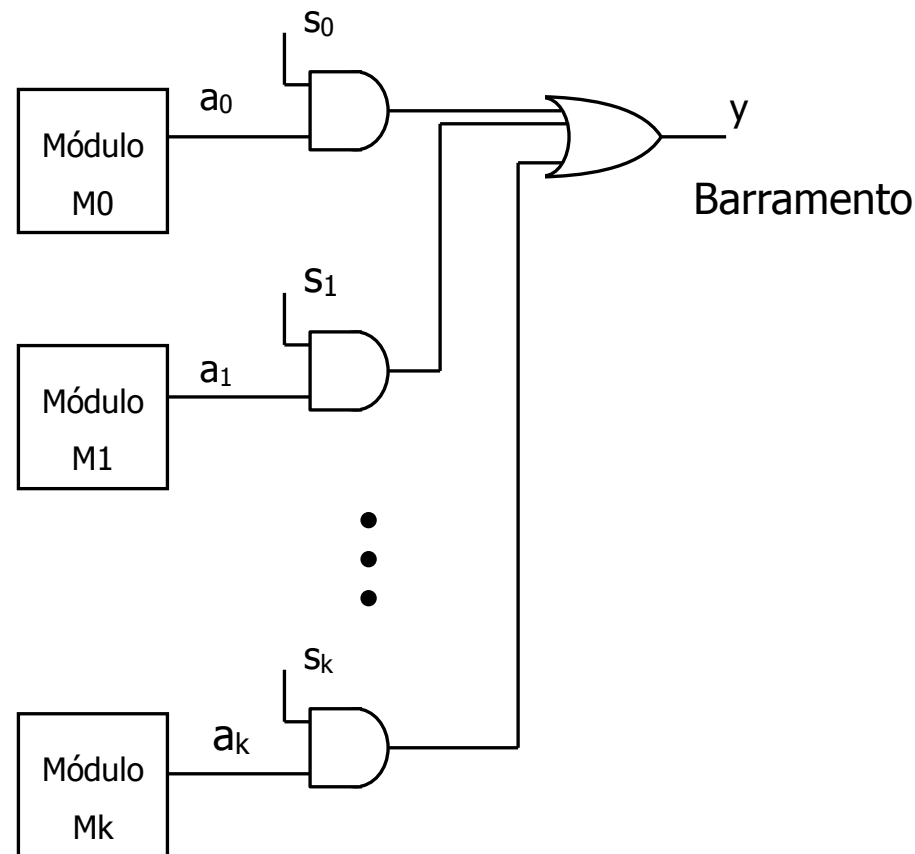


Saída em alta-impedância

- Impedância
 - Generalização de resistência
 - Contempla também os comportamentos capacitivos e indutivos
 - $V = Z \cdot I$, onde V , I e Z variam no tempo
- Motivação
 - Permitir a conexão das saídas de portas
 - Em um determinado instante, apenas uma saída deve estar ativa e as outras em alta-impedância

Saída em alta-impedância

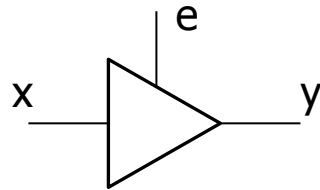
- Acionadores (*drivers*) saída sempre ativa (saída *push-pull*): exemplo utilização.



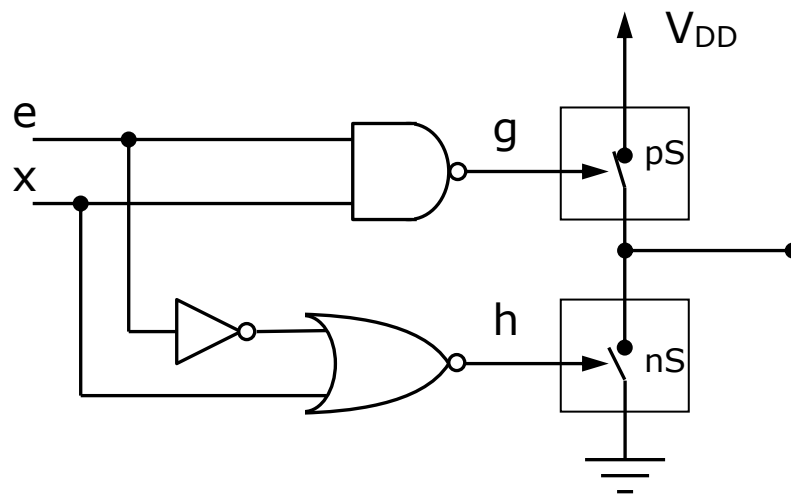
Grande quantidade de módulos \Rightarrow OR com muitas entradas (implementação com vários ORs)

Saída em alta-impedância

- Acionadores (drivers) de três estados (tri-state)



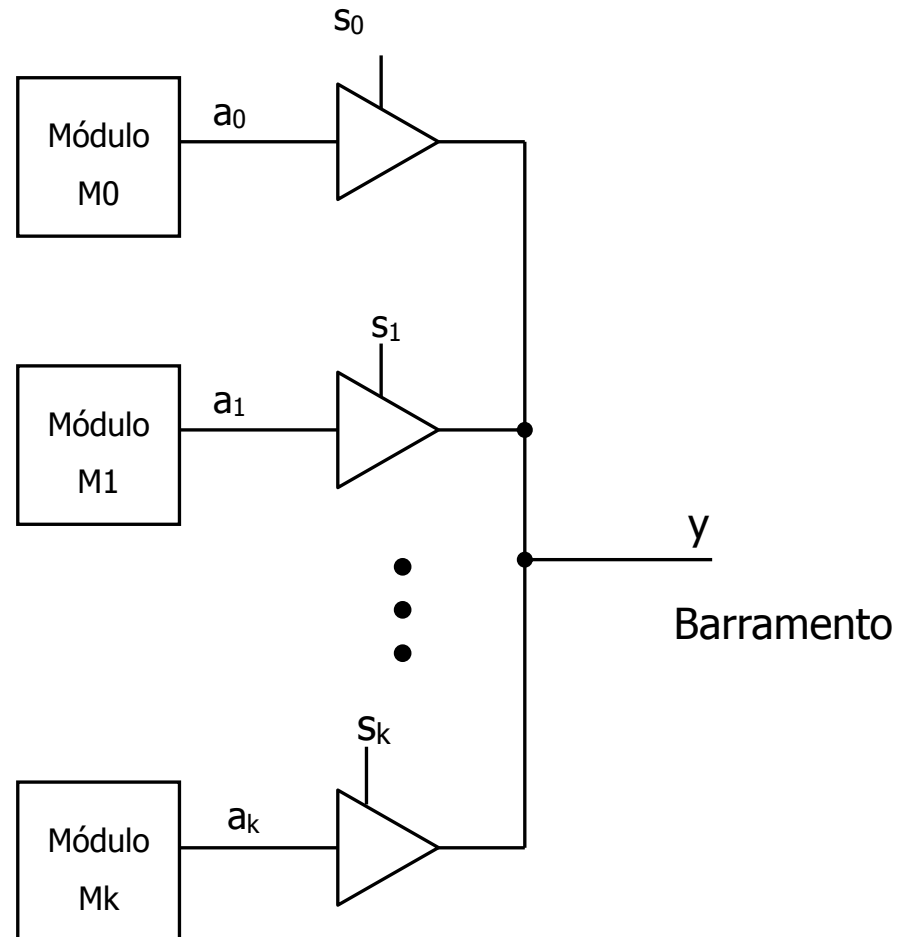
$$y = \begin{cases} x & \text{se } e = 1 \\ Z & \text{se } e = 0 \end{cases}$$



e	x	g	h	pS	nS	y
0	0	1	0	aberto	aberto	Z
0	1	1	0	aberto	aberto	Z
1	0	1	1	aberto	fechado	0
1	1	0	0	fechado	aberto	1

Saída em alta-impedância

- Acionadores (drivers) de três estados (*tri-state*): exemplo aplicação.



Somente um s_j , $j = 1, 2, \dots, k$, pode estar ativo em um dado instante de tempo.