

Unit 1 Fundamentals of MOS Device Physics

To be thought/discussed

2 - MOS Transistors Operating Regions - Prepare a short document for your own about the operating regions of a MOS transistor. What are the most common operating regions that MOS transistors operate in a circuit, and what are the main differences between them?

Resumen de zonas de operación del MOS

Cuando hablamos de zonas de operación del Mos podemos encontrarnos tres regiones, las cuales son:

- Zona de corte o de no conducción
- Zona del triodo
- Zona de saturación

A continuación se va a explicar el funcionamiento que tiene el transistor en cada una de estas zonas:

Zona de corte

En esta zona, cuando $V_G < V_{TH}$, no hay un canal formado entre source y drain. Se dice que el MOS está “apagado”. A medida que V_G incrementa de cero y se hace más positiva, los huecos del sustrato p son repelidos del área del gate dejando iones negativos para reflejar la carga en la compuerta. Es decir, se crea una región de agotamiento. En esta condición no fluye corriente porque no hay portadores de carga disponibles.

A medida que V_G continúa aumentando y se llega a un valor suficientemente positivo (se asemeja a un divisor de tensión entre el capacitor de oxido de compuerta y la capacidad de la región de agotamiento) los electrones fluyen desde el surtidor hacia la interfaz y eventualmente hacía el drenador. Así, se forma un canal de portadores bajo el oxido de compuerta entre S y D y el MOS se “enciende”.

En este punto es importante aclarar que es la interfaz y que es la capa de inversión:

La “interfaz” es la superficie de contacto entre el oxido de compuerta y el sustrato. Cuando el libro habla de que la interfaz se invierte, se refiere a que cuando V_G supera a V_{TH} , la concentración de electrones atraídos a la interfaz óxido-silicio se hace mayor que la concentración de huecos originales de esa zona. En este tipo de sustrato, la superficie del semiconductor que originalmente era de tipo P (huecos como portadores mayoritarios), se comporta como uno de tipo n en esa fina capa superficial denominada capa de inversión o canal de inversión. El valor de V_G para el cual esto ocurre se le denomina voltaje umbral, V_{TH} . Si V_G aumenta más, la carga en la región de agotamiento permanece relativamente constante mientras que la densidad de carga del canal continúa aumentando, proporcionando una mayor corriente de Source a Drain. Es difícil definir V_{TH} , pero en si depende de:

- Potencial de Fermi “ Φ_F ”
- Capacidad del oxido de compuerta por unidad de área C_{OX}
- Carga en la región de agotamiento Q_{dep}
- Diferencia de función de trabajo Gate-Source (depende de los materiales) Φ_{MS}

En teoría $V_{TH} = \Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}}$.

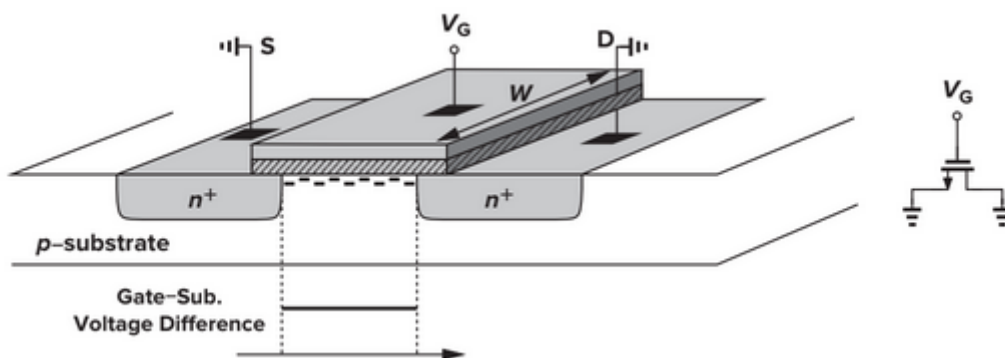
En la práctica, V_{TH} se ajusta típicamente mediante la implantación de dopantes en el área del canal durante la fabricación del dispositivo, alternando el nivel de dopaje del sustrato cerca de la interfaz del óxido.

En los PMOS, el fenómeno es similar, solo que se invierten los materiales tipo P y . Una vez $V_{GS} > V_{TH}$ se dice que el MOS está encendido y entramos en la región del triodo

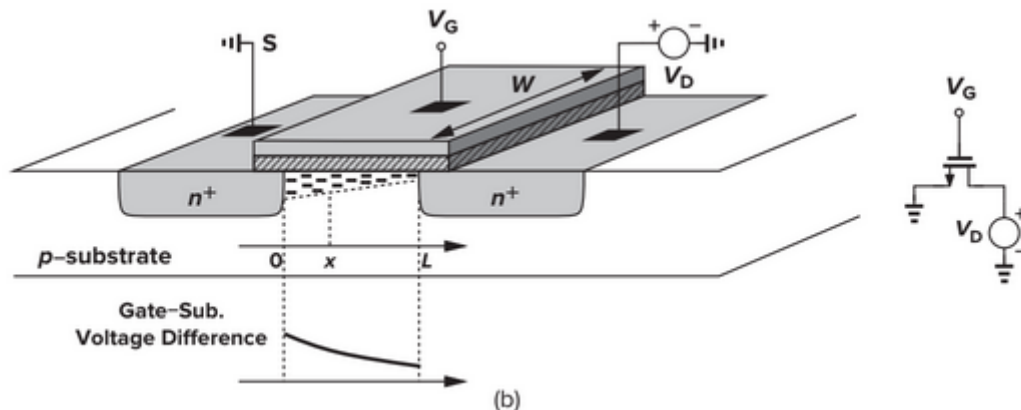
Zona del triodo

Suponiendo que la inversión ocurre en $V_{GS} = V_{TH}$, entonces la densidad de carga en la capa de inversión producida por la capacidad gate-óxido es proporcional a $V_{GS} - V_{TH}$. Para $V_{GS} > V_{TH}$ cualquier carga colocada en el gate debe ser reflejada por la carga en el canal, produciendo una densidad de carga de canal uniforme:

$$Q_D = W \cdot C_{OX} \cdot (V_{GS} - V_{TH})$$



Ahora, suponiendo que la tensión en el drenador V_D es mayor que cero, como el potencial del canal varía de cero en la fuente V_D en el Drain, la diferencia de tensión entre la compuerta y el canal varía de V_G (cerca del Source) a $V_G - V_D$ (cerca del Drain). Así la densidad de carga en un punto x del canal es $Q_D = W \cdot C_{OX} \cdot (V_{GS} - V(x) - V_{TH})$, donde $V(x)$ es el potencial del canal en x .



La corriente de drain está dada por:

$$I_D = W \cdot C_{OX} \cdot (V_{GS} - V(x) - V_{TH}) \cdot v \quad (\text{donde } v \text{ es la velocidad de los electrones en el canal}).$$

Resolviendo una integral y teniendo en cuenta que I_D es constante a lo largo del canal, obtenemos:

$$I_D = u_n \cdot W/L \cdot C_{OX} \cdot ((V_{GS} - V_{TH}) \cdot V_{DS} - 0.5 V_{DS}^2)$$

Esta ecuación nos da una parábola, donde la capacidad de corriente del dispositivo aumenta según V_{GS} . Se puede demostrar que el punto máximo de cada parábola ocurre cuando $V_{DS} = V_{GS} - V_{TH}$, y ese punto es:

$$I_{D_{MAX}} = 0.5 \cdot u_n \cdot W/L \cdot C_{OX} \cdot (V_{GS} - V_{TH})^2.$$

Finalmente llamamos $V_{GS} - V_{TH}$ el "voltaje de overdrive" y W/L la "relación de aspecto". Si $V_{DS} \leq V_{GS} - V_{TH}$, decimos que el dispositivo opera en la "región de triodo".

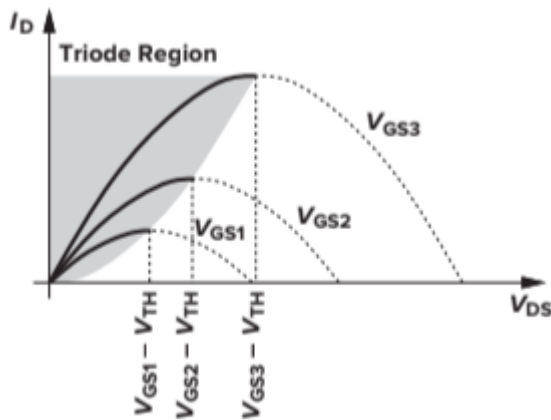


Figure 2.11 Drain current versus drain-source voltage in the triode region.

Finalmente, también es interesante ver que cuando $V_{DS} \ll 2V_{OVERDRIVE}$, tenemos que:

$$I_D = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS}$$

Donde se puede ver que I_D es una función lineal dependiente de V_{DS} . Para pequeñas V_{DS} , esta relación lineal implica que el camino desde la fuente hasta el drenador puede ser representada como un resistor lineal igual a:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

La operación lineal en la región del triodo puede verse en el siguiente gráfico:

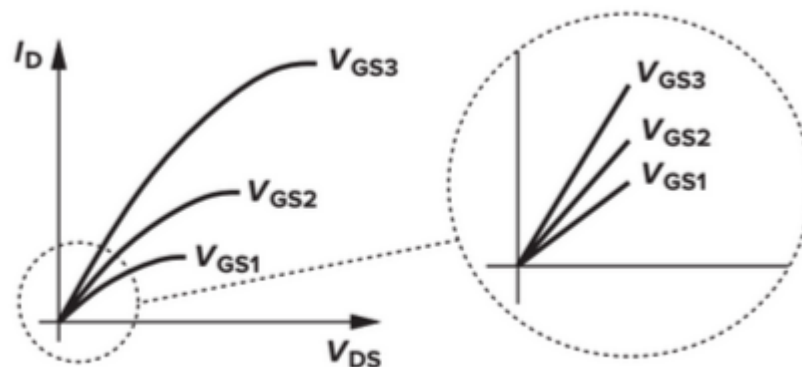
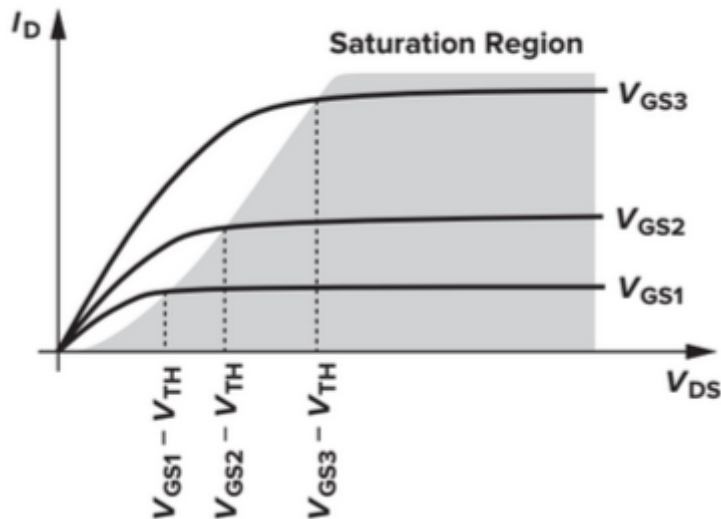


Figure 2.12 Linear operation in deep triode region.

Zona de saturación

Ocurre cuando V_{DS} supera a $V_{GS} - V_{TH}$. Cuando esto ocurre, I_D se mantiene relativamente constante y decimos que el dispositivo opera en la región de saturación. Para comprender este fenómeno, recordemos que la densidad local de la carga en la capa de inversión es proporcional a $V_{GS} - V_{TH} - V(x)$. Así, si $V(x)$ se aproxima a $V_{GS} - V_{TH}$, entonces $Q_D(x)$ cae a cero. En otras palabras, si V_{DS} es ligeramente mayor que $V_{GS} - V_{TH}$, la capa de inversión se detiene en $x \leq L$ y decimos que el canal se ha “estrangulado” (pinched-off). A medida que V_{DS} aumenta aún más, el punto en el que Q_D es igual a cero se mueve gradualmente hacia el Source. Así, en algún punto a lo largo del canal, la diferencia de potencial entre el gate y la interfaz óxido-silicio no es suficiente para soportar una capa de inversión.



En presencia del estrangulamiento, a medida que los electrones se acercan al punto de pinch-off donde Q_D tiende a cero, su velocidad aumenta enormemente (recordar que $v = I/Q_D$, si Q_D tiende a cero entonces la velocidad tiende a infinito). Al pasar el punto de estrangulamiento los electrones simplemente salen disparados a través de la región de agotamiento y llegan al terminal del drain.

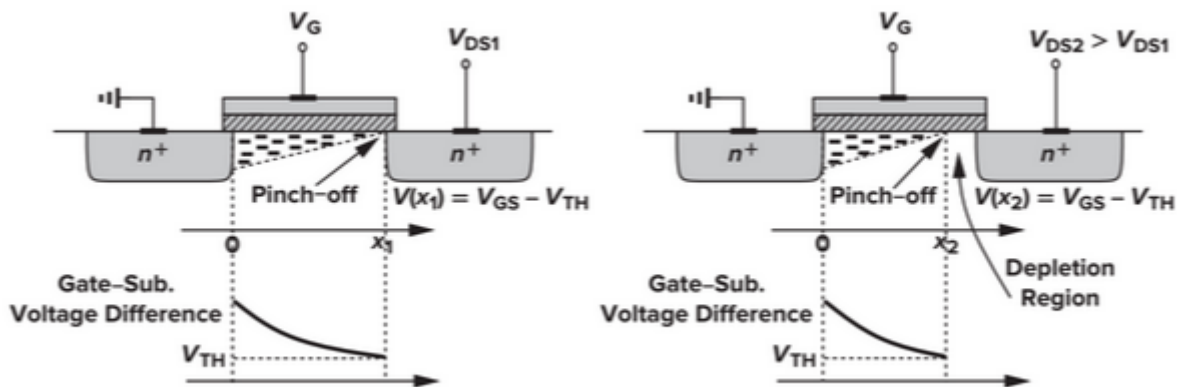


Figure 2.16 Pinch-off behavior.

Teniendo en cuenta que L' es el punto Q_D (densidad de carga móvil) cae a cero tenemos:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2$$

donde I_D es independiente de V_{DS} si L' es cercana a L . Decimos que el dispositivo tiene entonces un comportamiento de ley cuadrática, donde podemos obtener V_{GS} según:

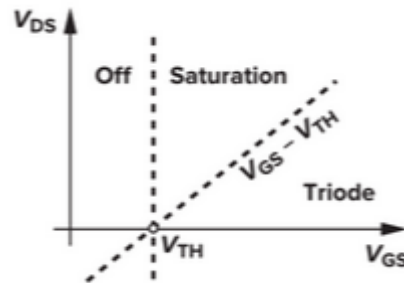
$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L'}}} + V_{TH}$$

Si tenemos en cuenta la modulación de largo de canal, la corriente de drenador se ve afectada por un factor, denominado “coeficiente de modulación de largo de canal”.

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

Este afecta la curva I_D - V_{GS} , dando lugar así a una pendiente en la región de saturación y causando que la corriente I_D no sea constante para cualquier V_{DS} , ya que a medida que aumentamos V_{DS} más allá del punto de saturación el campo eléctrico en la región de depleción cerca del drenador se hace más fuerte. Esto provoca que el punto de estrangulamiento se mueva ligeramente hacia el surtidor. Esto causa que la longitud efectiva del canal se reduzca, por lo que si la longitud efectiva disminuye la corriente I_D aumenta.

En la siguiente figura podemos ver las tres regiones de operación de un NMOS en un solo gráfico:



Es importante recordar que para los PMOS el análisis es similar, pero como la movilidad de los huecos es la mitad de la movilidad de los electrones y de sentido contrario, los PMOS tienen menor capacidad de corriente y sus curvas características se ven en el "cuarto cuadrante".

Solución de parte práctica

Chapter 2 Problem 2.1 - Notes: Consider the source/drain side diffusion (LD), and channel length modulation (λ). Use transistor model parameters from Table 2.1 at page 35 in Razavi's textbook. You can use Microsoft Excel/Python/Matlab/octave (whatever software you are familiar with) to plot the waveforms.

Unless otherwise stated, in the following problems, use the device data shown in Table 2.1 and assume $V_{DD} = 3\text{ V}$ where necessary.

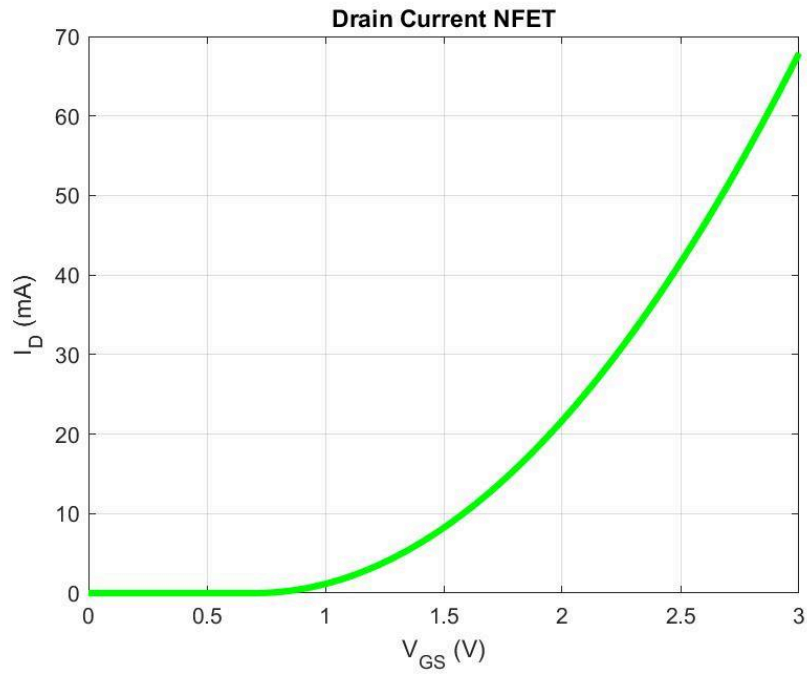
Los cálculos y gráficos fueron realizados en Matlab, también se realizaron algunas simulaciones en LTspice, todos los códigos realizados para ello se encuentran en el siguiente repositorio:

https://github.com/valejramirez/Week1_DACI

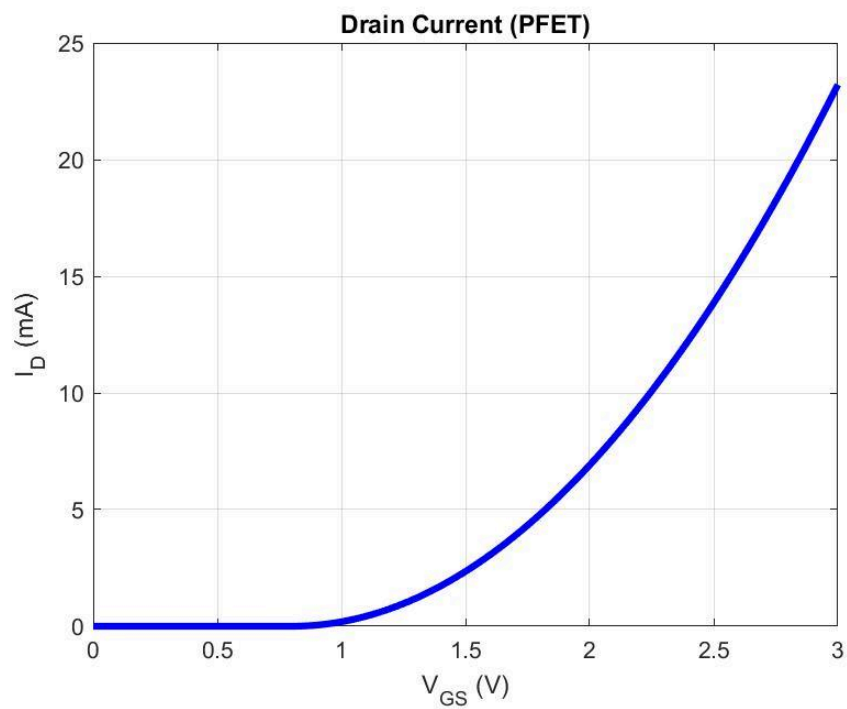
2.1. For $W/L = 50/0.5$, plot the drain current of an NFET and a PFET as a function of $|V_{GS}|$ as $|V_{GS}|$ varies from 0 to 3 V. Assume that $|V_{DS}| = 3\text{ V}$.

Gráficos hechos en Matlab a partir del paso a paso de los cálculos:

Curva I_D - V_{GS} para el NMOS:



Curva I_D - V_{GS} para el PMOS:



Problem 2.1: Enter below your calculation result for NMOS effective length, L_{eff} , in micrometers

Question 1:

$L_{eff} = L_{drawn} - 2 \cdot L_D$

|

```
Leff =  
  
3.4000e-07
```

$$L_{\text{eff}} = 0.34 \text{ e-06 m}$$

Question 2

Problem 2.1: Enter below your calculation result for PMOS effective length, L_{eff} , in micrometers

```
%Question 2:  
Leff = Ldrawn - 2* LD  
  
Leff =  
  
3.2000e-07
```

$$L_{\text{eff}} = 0.32 \text{ e-06 m}$$

Question 3

Problem 2.1: Enter below your calculation result for NMOS W/L_{eff}

$$\frac{W}{L_{\text{eff}}} = \frac{50}{0.34} = 147,0588$$

Question 4

Problem 2.1: Enter below your calculation result for PMOS W/L_{eff}

$$\frac{W}{L_{\text{eff}}} = \frac{50}{0.32} = 156,200$$

Question 5

Problem 2.1: Enter below your calculation result for C_{ox} in units $\mu\text{F}/\text{m}^2$

Asumiendo que el oxido de gate es dióxido de silicio:

$$\epsilon_{\text{rSiO}_2} = 3.9$$

```
epsilon_0 = 8.854e-12; % Permitividad del vacío en F/m  
epsilon_r_SiO2 = 3.9; % Permitividad relativa del SiO2 (óxido de  
puerta)  
  
% Calcular la permitividad dieléctrica del óxido (epsilon_ox)  
epsilon_ox = epsilon_r_SiO2 * epsilon_0;  
  
% Calcular Cox en F/m^2  
Cox_F_per_m2 = epsilon_ox / TOX;  
  
% Convertir Cox a uF/m^2 (microfaradios por metro cuadrado)  
% 1 uF = 1e-6 F  
Cox = Cox_F_per_m2 / 1e-6
```

$$C_{\text{ox}} = 3.8367\text{e}+03 \text{ uF/m}^2 = 3836.7 \text{ uF/m}^2$$

Question 6

Problem 2.1: Enter below your calculation result for NMOS

$$\frac{1}{2} \mu_n C_{\text{ox}} W / L_{\text{eff}} (1 + \lambda V_{\text{DS}}) \text{ in units of mA/V}^2$$

Asumiendo $V_{\text{DS}} = 3\text{V}$

%Q6 en A/v^2

Q6 = 0.5*(0.035)*Coxb*(W/Leff)*(1+LAMBDA*VDS)

$$=0.0128\text{A/V}^2 = 12.8 \text{ ma/V}^2$$

Question 7

Problem 2.1: Enter below your calculation result for PMOS $\frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot W/L_{eff} \cdot (1 + \lambda V_{DS})$ in units of mA/V²

Asumiendo VDS=3V

%Q7 en A/V^2

Q7 = 0.5*(0.01)*Coxb*(W/Leff)*(1+LAMBDA*VDS)

$$=0.0048\text{A/V}^2 = 4.8\text{mA/V}^2$$

Question 8

Problem 2.1: Enter below your calculation result for NMOS drain current, Id, in mA at |Vgs|=3V.

%Q6 en mA/m2

Q6 = 0.5*(0.035)*Coxb*(W/Leff)*(1+LAMBDA*VDS)

%question 8

ID= Q6* 5.29

$$ID=0.0679 \text{ A} = 67.9 \text{ mA}$$

Question 9

Problem 2.1: Enter below your calculation result for PMOS drain current, Id, in mA at |Vgs|=3V. (Enter the drain current value as a positive number)

$$I_D = 0.5 \cdot (0.01) \cdot C_{oxb} \cdot (W/L_{eff}) \cdot (1 + \lambda V_{DS}) \cdot ((V_{GS} - V_{TH})^2)$$

Considerando que $((V_{GS} - V_{TH})^2) = 4.84$, se calcula:

%Q7 en A/V^2

Q7 = 0.5*(0.01)*Coxb*(W/Leff)*(1+LAMBDA*VDS)

%question 9

ID= Q7* 4.84

$$0.0232 \text{ A} = 23.2 \text{ mA}$$

Chapter 2 Problem 2.2 - Notes: Neglect source/drain side diffusion (LD). Use transistor model parameters from Table 2.1 at page 35 in Razavi's textbook.

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body-effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate-oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $\text{cm}^2/\text{V}\cdot\text{s}$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)

Circuit Simulation - Download and install LTSpice from Linear Technology web site and answer the related questions in the form

Unless otherwise stated, in the following problems, use the device data shown in Table 2.1 and assume $V_{DD} = 3\text{ V}$ where necessary.

For $W/L = 50/0.5$ and $|I_D| = 0.5\text{ mA}$, calculate the transconductance and output impedance of both NMOS and PMOS devices. Also, find the “intrinsic gain,” defined as $g_m r_O$.

Question 10

Problem 2.2: Enter below your calculation result for NMOS and PMOS W/L

$W/L = 50/0.5 = 100$

Question 11

Problem 2.2: Enter below your calculation result for C_{ox} in units $\mu\text{F}/\text{m}^2$

Asumiendo que el oxido de gate es dióxido de silicio:

$\epsilon_{\text{rSiO}_2} = 3.9$

`epsilon_0 = 8.854e-12; % Permitividad del vacío en F/m`

```

epsilon_r_SiO2 = 3.9; % Permitividad relativa del SiO2 (óxido de
puerta)

% Calcular la permitividad dieléctrica del óxido (epsilon_ox)
epsilon_ox = epsilon_r_SiO2 * epsilon_0;

% Calcular Cox en F/m^2
Cox_F_per_m2 = epsilon_ox / TOX;

% Convertir Cox a uF/m^2 (microfaradios por metro cuadrado)
% 1 uF = 1e-6 F
Cox= Cox_F_per_m2 / 1e-6

```

$Cox = 3.8367e+03 \text{ uF/m}^2 = 3836.7 \text{ uF/m}^2$

Question 12

Problem 2.2: Enter below your calculation result for NMOS g_m in units of mA/V. (neglect channel length modulation in this calculation)

$$g_m = \sqrt{2 * \mu_p * Cox * (W/L) * ID} = 3.6645 \text{ mA/V}$$

Para obtener este resultado fue importante recordar que un Faradio es igual a [A*S/V] por lo que se multiplico Cox por 1000 para convertir su unidad en [mA*S/V]

Question 13

Problem 2.2: Enter below your calculation result for PMOS g_m in units of mA/V

$$g_m = \sqrt{2 * \mu_p * Cox * (W/L) * ID} = 1.9587 \text{ mA/V}$$

Question 14

Problem 2.2: Enter below your calculation result for NMOS output impedance, r_o , in units of kOhms

$$r_o = 1/(ID * LAMBDA) = 20 \text{ kOhm}$$

Question 15

Problem 2.2: Enter below your calculation result for PMOS output impedance, r_o , in units of kOhms

$$r_o = 1/(ID * LAMBDA) = 10 \text{ kOhm}$$

Question 16

Problem 2.2: Enter below your calculation result for NMOS intrinsic gain, $g_m * r_o$, in units (A*Ohms)/V

$$g_m * r_o = 73.2897 \text{ (A*Ohms)/V}$$

Question 17

Problem 2.2: Enter below your calculation result for PMOS intrinsic gain, $g_m * r_o$, in units (A*Ohms)/V

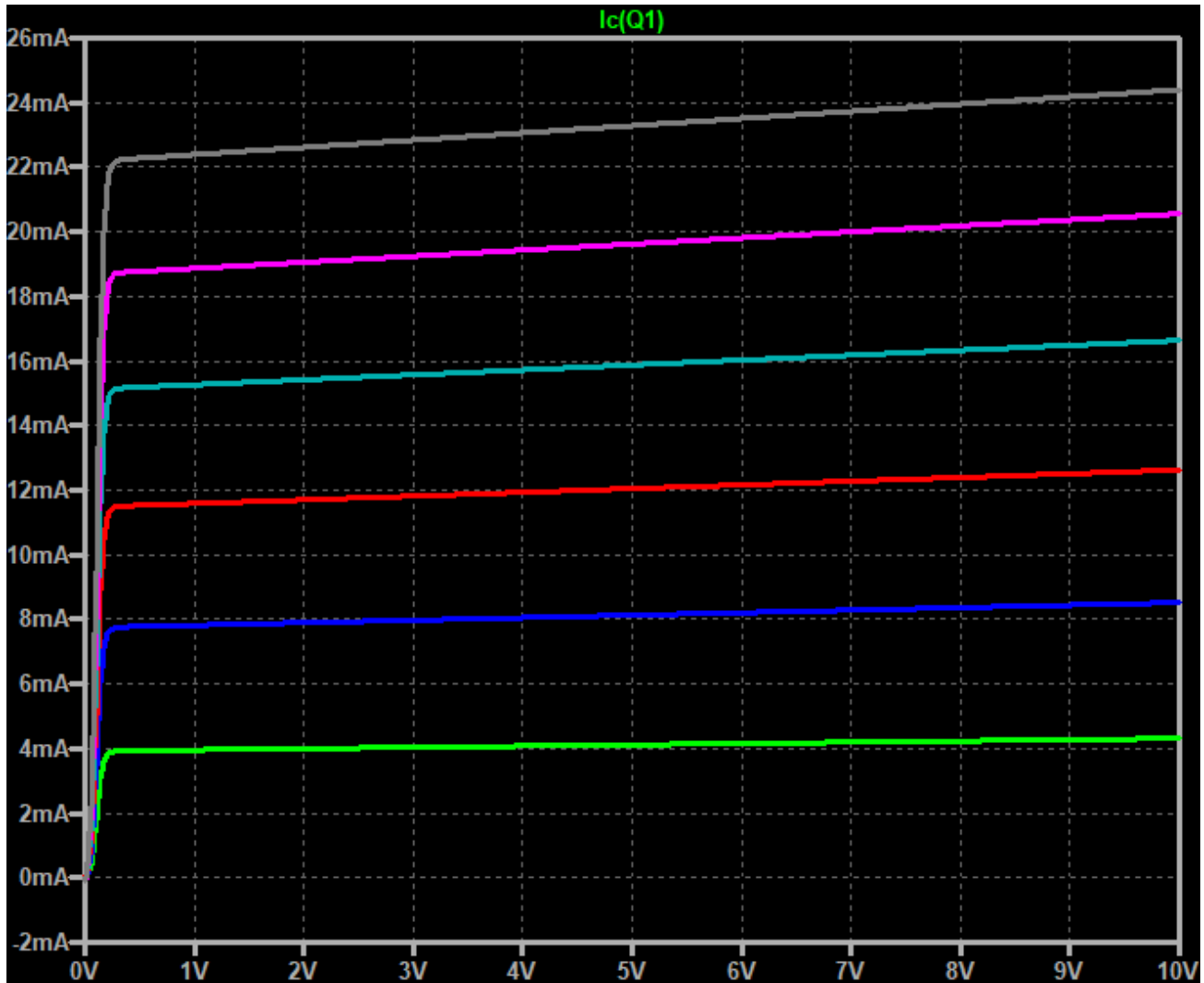
$$g_m * r_o = 19.5875 \text{ (A*Ohms)/V}$$

Question 18

Download and install LTSpice from Linear Technology web site. Read the getting started document (<http://www.linear.com/designtools/software/#LTspice>)and start to learn how to use this simulation tool.

To verify that it works on your computer open the example named "curvetrace" (in directory \sim /LTC/LTspiceIV/examples/Educational, run the simulation, and plot the collector current versus collector voltage.

From the simulated traces determine the value of the collector current at $V_1=10V$ and $I_1=100\mu A$, and enter it in the answer box below in units of mA.



La corriente de colector para 100 μA de base es de aproximadamente de 20.5 mA.