

Unit 5-Current Mirrors

Introduction:

This unit covers current mirrors. Current mirrors are used to bias various circuit blocks in an integrated circuit such as operational amplifiers. In this unit we will learn in more details about current sources and techniques to increase the output impedance such as cascoded current mirrors.

Reading:

Razavi's textbook sections: 5.1 to 5.3

To be thought/discussed

W03DQ1 small signal analysis of differential pair stages

1- main characteristics that we expect from a current mirror

Recordando que la resistencia y capacitancia de salida y el margen de tensión (*voltage headroom*) de una fuente de corriente se intercambian con la magnitud de la corriente de salida. Además de estas cuestiones, varios otros aspectos de las fuentes de corriente son importantes: la dependencia del suministro, del proceso y de la temperatura; la corriente de ruido de salida; y la concordancia (*matching*) con otras fuentes de corriente.

Sea:

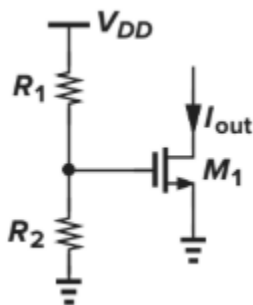
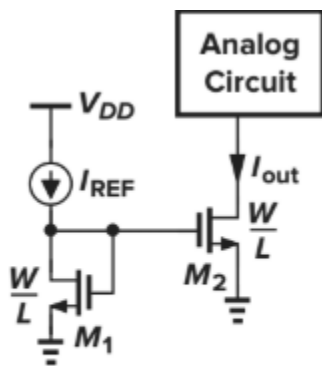


Figure 5.2 Definition of current by resistive divider.

Asumiendo que el transistor está en saturación, tenemos que:

$$I_{out} \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\frac{R_2}{R_1 + R_2} V_{DD} - V_{TH} \right)^2$$

Donde de la expresión podemos ver que hay una gran dependencia de PVT (proceso, voltaje y temperatura). Podemos ver que el $V_{OVERDRIVE}$ es función de V_{DD} y V_{TH} , que el voltaje umbral puede variar entre 50 y 100 mv de una oblea a otra y que U_N como V_{th} dependen de la temperatura, por lo que I_{OUT} está pobremente definida. El problema es más grave a medida que el dispositivo se polariza con un $V_{OVERDRIVE}$ para consumir menos headroom y soportar mayores oscilaciones de voltaje en el drain. Es importante notar que las dependencias de proceso y temperatura existen incluso si el voltaje de la puerta no es una función del voltaje de alimentación. En resumen, si el voltaje entre Gate y Source de un MOSFET se define con precisión, su corriente de drenador no lo es, por lo que debemos buscar otros métodos para polarizar las fuentes de corriente MOS. Así un espejo de corriente se ve de la forma:



(b)

obtaining

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2$$

$$I_{out} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2$$

$$I_{out} = \frac{(W/L)_2}{(W/L)_1} I_{REF}$$

Esta topología permite obtener **precisión** al copiar la corriente de una fuente de corriente que no presenta dependencia del proceso ni de la temperatura. Esto se basa en que generamos una V_{GS} en función de una I_{REF} . I_{REF} es la causa y V_{GS} es el efecto. La transición de I_{ref} a I_{out} depende de las relaciones de aspecto de los transistores, una característica que puede controlarse con una precisión razonable.

También hay que remarcar que la copia no es igual a la original debido a “mismatches” aleatorios entre $M1$ y $M2$.

En cuanto a los problemas de dimensionamiento, los espejos de corriente suelen tener la misma longitud para todos los transistores con el fin de minimizar los errores debidos

a la difusión lateral de las áreas de fuente y drenaje (L_D). Además, el voltaje umbral de los dispositivos de canal corto exhibe cierta dependencia de la longitud del canal. Por lo tanto el escalamiento de la relación de corriente se logra escalando solo el ancho de los transistores. De todas formas, hay que tener en cuenta que si deseamos copiar un I_{REF} y generar $2 \cdot I_{REF}$, el escalamiento directo del ancho también enfrenta dificultades, ya que las esquinas del gate están mal definidas, por lo que si el ancho W se duplica, el ancho real no se duplica exactamente. Por lo tanto, es preferible emplear un transistor de “unidad” y crear copias repitiendo dicho dispositivo:

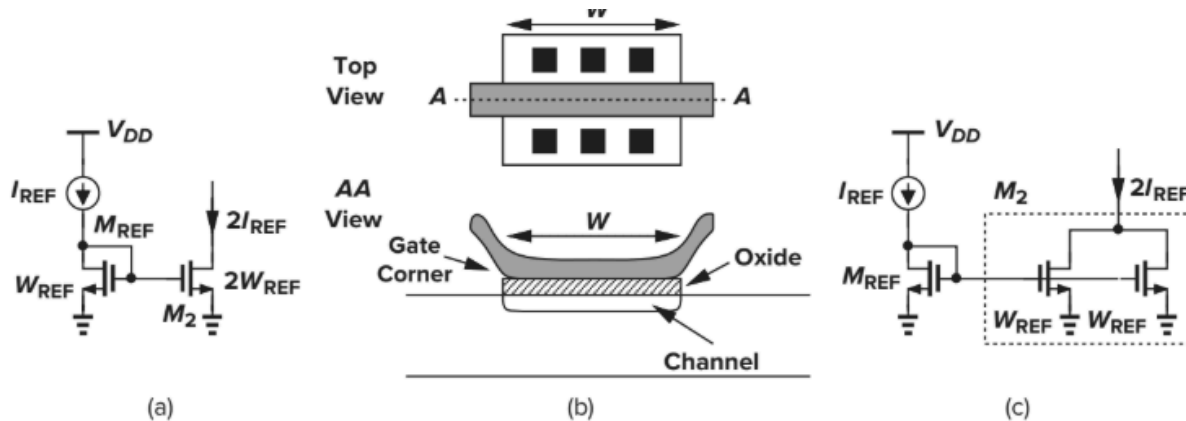
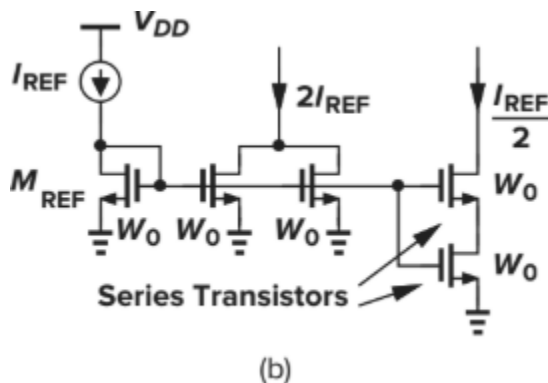


Figure 5.9 (a) Current mirror multiplying I_{REF} by 2, (b) effect of gate corner on current accuracy, and (c) more accurate current multiplication.

Si se desea generar $I_{REF}/2$, se colocan las dos unidades en serie. Donde cada una lleva $I_{REF}/2$.



También debemos mencionar que los espejos de corriente pueden procesar señales. El circuito amplifica la corriente de pequeña señal si $(W/L)_2/(W/L)_1 > 1$ (pero al costo de la multiplicación proporcional de la corriente de polarización).

Se debe tener en cuenta también la modulación de longitud de canal, donde en la práctica este efecto produce un error significativo al copiar corrientes. Para el espejo

simple descripto anteriormente, tenemos que:

$$I_{D1} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS1}) \quad (5.5)$$

$$I_{D2} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS2}) \quad (5.6)$$

and hence

$$\frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1} \cdot \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \quad (5.7)$$

Para suprimir el efecto de la modulación de la longitud del canal podemos (1) forzar que V_{DS2} sea igual a V_{DS1} , o (2) forzar que V_{DS1} sea igual a V_{DS2} . Estos dos principios conducen a dos topologías diferentes.

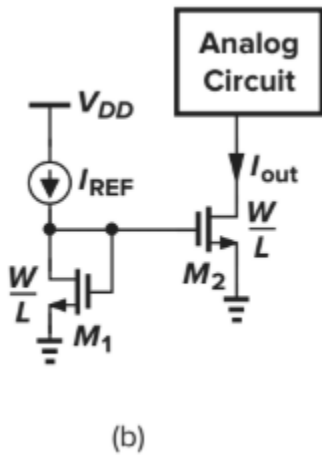


Figure 5.5 (a) Diode-connected device providing inverse function; (b) basic current mirror.

En el primer principio deseamos asegurar que V_{DS2} sea constante e igual a V_{DS1} , reduciendo así las variaciones de voltaje a través de él. Para ello debemos generar V_b de tal manera que $V_b - V_{GS3} = V_{GS1}$, es decir, $V_b = V_{GS3} + V_{GS1}$. En otras palabras, V_b se puede establecer mediante dos dispositivos conectados a diodo en serie, siempre que $V_{GS0} + V_{GS1} = V_{GS3} + V_{GS1}$ y por lo tanto, $V_{GS0} = V_{GS3}$.

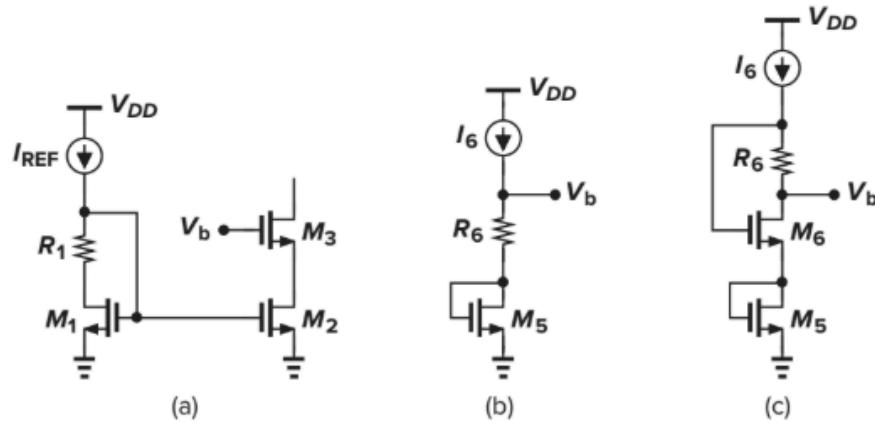


Figure 5.16 (a) Use of IR drop to improve accuracy of current mirror, (b) generation of V_b , and (c) alternative generation of V_b .

Este circuito presenta dos problemas. El primero, presencia de variaciones PVT, puede ser difícil garantizar que $R1 \cdot I_{REF} = V_{th1}$, ya que $R1$ y V_{th} pueden variar de manera diferente. Segundo, la generación de $V_b = V_{gs3} + (V_{gs1} - V_{th1})$ no es sencilla. Considerando la rama de 5.16(b), tenemos $V_b = V_{gs5} + R6 \cdot I_6$. Podemos elegir fácilmente I_6 y las dimensiones de $M5$ para asegurar que $V_{gs5} = V_{gs3}$, sin embargo, la condición de $R6 \cdot I_6 = V_{gs1} - V_{th1} = V_{gs1} - R1 \cdot I_{REF}$ se traduce en $R6 \cdot I_6 + R1 \cdot I_{REF} = V_{gs1}$, lo cual es difícil de cumplir porque los productos $I \cdot R$ no siguen al voltaje de gate-source del mos. El valor de los resistores puede caer con la temperatura, mientras que el de VGS puede subir.

En la ultima figura se muestra otro ejemplo, donde $M5$ establece el V_{gs} , y $M6$ y $R6$ la tension de overdrive. Seleccionamos I_6 y los parámetros del dispositivo de tal manera que

$$\begin{aligned} V_{GS5} &= V_{GS3} \\ V_{GS6} - R_6 I_6 &= V_{GS1} - V_{TH1} \\ &= V_{GS1} - R_1 I_{REF} \end{aligned}$$

Donde podemos ver que es posible asegurar que V_{GS6} y V_{GS1} se sigan mutuamente y lo mismo con $R1 \cdot I_{REF}$ y $R6 \cdot I_6$. Por ejemplo, simplemente podemos elegir $I_6 = I_{REF}$, $R6 = R1$ y $(W/L)_6 = (W/L)_1$

Para evitar el problema de la dependencia de PVT, desarrollamos otra topología de circuito que obliga a que el VDS del dispositivo conectado como diodo sea igual al Vds del transistor de la fuente de corriente. El cambio de nivel en los voltajes de puerta y

drenaje no necesita ser creado por un resistor. En particular, suponiendo que unimos el nodo de salida de una topología cascode a su entrada, tenemos $V_{DS1} = V_b - V_{GS0}$, y V_b puede ser elegido para colocar M_1 en el borde de la saturación. Ahora conectamos esta rama a la fuente de corriente principal del cascode como se muestra en 5.18(b), reconociendo que V_{DS1} se ve forzado a ser igual a V_{DS2} si $V_{GS0} = V_{GS3}$. Esta configuración se llama cascode de bajo voltaje y tiene un uso mas amplio que la del cascode regular.

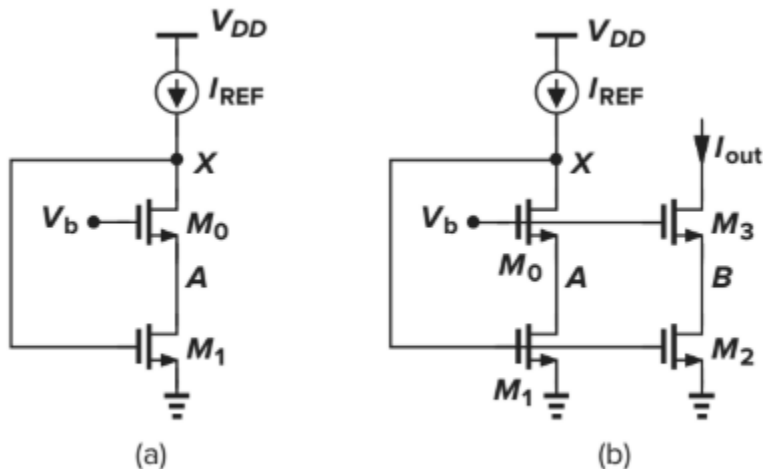


Figure 5.18 Modification of cascode mirror for low-voltage operation.

Para este caso, tenemos que elegir un V_b que deje en saturación a M_1 y M_0 , es decir, $V_b - V_{th0} \leq V_x (= V_{GS1})$ para que M_0 este saturado y $V_{GS1} - V_{th1} \leq V_A (= V_b - V_{GS0})$ para que M_1 este saturado. Así

$$V_{GS0} + (V_{GS1} - V_{th1}) \leq V_b \leq V_{GS1} + V_{th0}$$

Existe una solución si $V_{GS0} + (V_{GS1} - V_{th1}) < V_{GS1} + V_{th0}$, es decir, si $V_{GS0} - V_{th0} < V_{th1}$. Por lo tanto, debemos dimensionar M_0 para asegurar que su overdrive este bien por debajo de V_{th1} .

Finalmente, para generar V_b y tener un consumo mínimo de margen de voltaje, $V_A = V_{GS1} - V_{th1}$, y por lo tanto V_b debe ser igual a $V_{GS0} + (V_{GS1} - V_{th1})$.

2- active current mirrors, what are they used for

Active current mirrors

Como se vio anteriormente, los espejos de corriente también pueden procesar señales, es decir, operar como elementos activos. Antes de estudiar el OTA (amplificador de transconductancia operacional), es necesario ver el

Par diferencial con carga pasiva: Para analizar este circuito y generar una salida de un solo punto, tenemos que descartar una de las salidas del par diferencial. Acá, una fuente de corriente en un arreglo de espejo “pasivo” sirve como carga. La ganancia A_v , se puede calcular de dos formas distintas, asumiendo $\gamma = 0$ para simplificar. En este caso, como el circuito no es simétrico, el concepto de medio circuito no puede aplicarse directamente. Escribiendo $|A_v| = G_m \cdot R_{out}$, necesitamos calcular G_m y la resistencia de salida R_{out} .

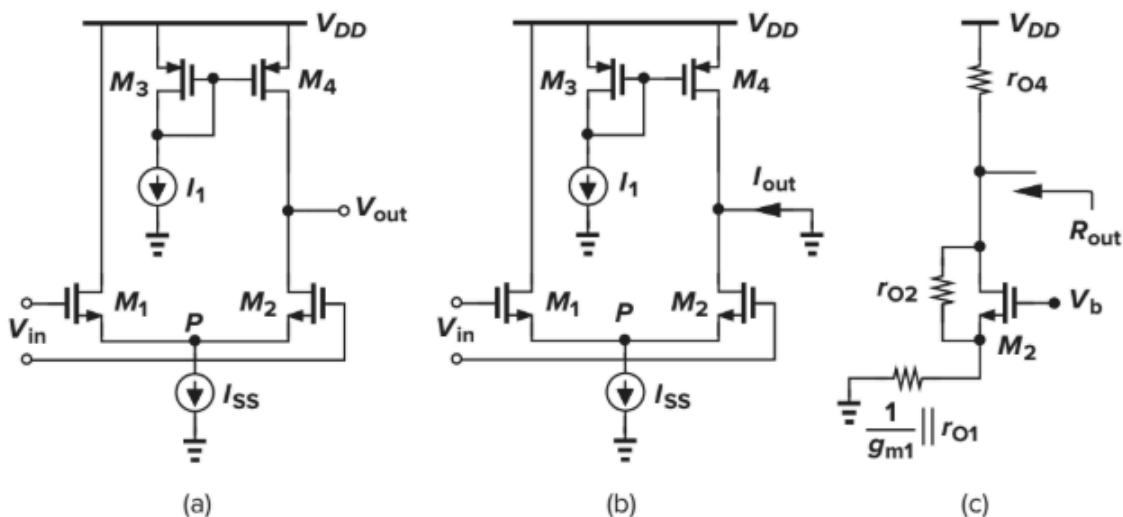


Figure 5.23 (a) Differential pair with current-source load; (b) circuit for calculation of G_m ; (c) circuit for calculation of R_{out} .

Teniendo en cuenta que M1 y M2 se vuelven simétricos cuando la salida está en cortocircuito a tierra de CA, tenemos que la transconductancia de cortocircuito $G_m = I_{out}/V_{in} = (g_{m1} \cdot V_{in}/2)/V_{in} = g_{m1}/2$. Para R_{out} , M2 se degenera con la impedancia de salida de la fuente de M1, $R_{DEG} = (1/g_{m1}) \parallel r_{O1}$, lo que nos da una impedancia de salida igual a $(1 + g_{m2} \cdot r_{O2}) \cdot R_{DEG} + r_{O4} \approx 2 \cdot r_{O2}$. Se deduce que $R_{out} = (2r_{O2}) \parallel r_{O4}$ y entonces:

$$|A_v| = \frac{g_{m1}}{2} [(2r_{O2}) \parallel r_{O4}]$$

Si r_{O4} tiende a infinito, A_v es igual a $-g_{m1} \cdot r_{O2}$.

En el segundo enfoque, calculamos V_p/V_{in} y V_{out}/V_p y los multiplicamos para obtener V_{out}/V_{in} .

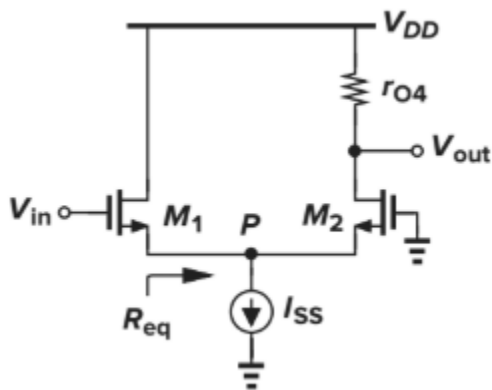


Figure 5.24 Circuit for calculation of V_P/V_{in} .

Es más fácil de ver en esta figura, viendo a M1 como un seguidor de fuente, tenemos que:

$$\frac{V_P}{V_{in}} = \frac{R_{eq} || r_{O1}}{R_{eq} || r_{O1} + \frac{1}{g_{m1}}}$$

Donde R_{eq} es la resistencia vista desde el source de M2. El valor de R_{eq} es:

$$R_{eq} = \frac{r_{O2} + r_{O4}}{1 + g_{m2}r_{O2}}$$

Y entonces tenemos que $V_p/V_{in} =$

$$\frac{V_P}{V_{in}} = \frac{g_{m1}r_{O1}(r_{O2} + r_{O4})}{(1 + g_{m1}r_{O1})(r_{O2} + r_{O4}) + (1 + g_{m2}r_{O2})r_{O1}}$$

Finalmente calculamos V_{out}/V_p , desde la siguiente figura:

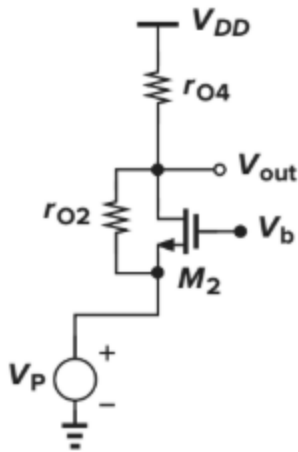


Figure 5.25 Circuit for calculation of V_{out}/V_P .

$$\frac{V_{out}}{V_P} = \frac{(1 + g_{m2}r_{O2})r_{O4}}{r_{O2} + r_{O4}}$$

Y multiplicando $V_{out}/V_P * V_P/V_{in}$ y sustituyendo:

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{g_{m2}r_{O2}r_{O4}}{2r_{O2} + r_{O4}} \\ &= \frac{g_{m2}}{2} [(2r_{O2}) \parallel r_{O4}] \end{aligned}$$

Par diferencial con carga activa:

En el caso anterior, la corriente de drain de pequeña señal de M1 es “desperdiciada”. Es deseable utilizar esta corriente con la polaridad adecuada en la salida. Esto se puede lograr con el OTA de cinco transistores, donde M3 y M4 son idénticos y operan como un espejo de corriente activo.

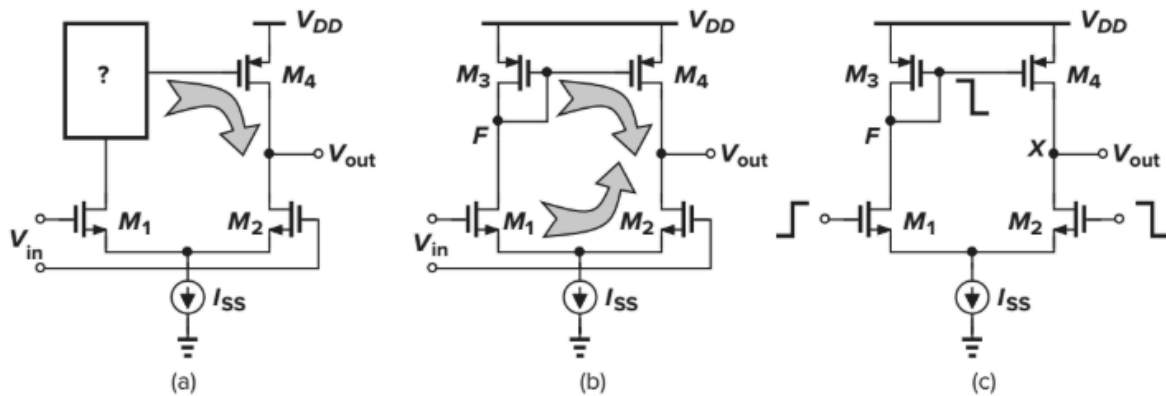


Figure 5.26 (a) Concept of combining the drain currents of M_1 and M_2 , (b) realization of (a), and (c) response of the circuit to differential inputs.

Para ver como M_3 mejora la ganancia, suponemos que las tensiones de gate de m_1 y m_2 cambian en cantidades iguales y opuestas. En consecuencia, I_{d1} aumenta, V_p disminuye, e I_{d2} disminuye. Por lo tanto, el voltaje de salida aumenta por medio de dos mecanismos: M_2 extrae menos corrientes de X a tierra y M_4 empuja una mayor corriente desde V_{DD} a X . Por el contrario, en el circuito anterior, M_4 no tiene un papel activo en el cambio de V_{out} porque su voltaje de puerta es constante. Al OTA de cinco transistores también se le llama par diferencial con carga activa.

Análisis de gran señal:

Para realizar el estudio del comportamiento en gran señal, sustituimos la fuente de corriente de cola ideal por un mosfet. Si V_{in1} es mucho mas negativo que V_{in2} , M_1 esta apagado y tambien lo estan M_3 y M_4 . Dado que no puede fluir corriente desde V_{DD} , tanto M_2 como M_5 operan en la region del triodo profunda, llevando una corriente nula. Por lo tanto, $V_{out}=0$. A medida que V_{in1} se aproxima a V_{in2} , M_1 se enciende, atrayendo una fracción de I_{d5} de M_3 y encendiendo a M_4 . El voltaje de salida entonces depende de la diferencia entre I_{d4} e I_{d2} . Para una pequeña diferencia entre V_{in1} y V_{in2} , tanto M_2 como M_4 estan saturados, proporcionando una alta ganancia. A medida que V_{in1} se vuelve más positivo que V_{in2} , I_{d1} , $|I_{d3}|$, e $|I_{d4}|$ aumentan e I_{d2} disminuye, haciendo que V_{out} suba y finalmente conduciendo a M_4 a la region de triodo. Si $V_{in1} - V_{in2}$ es suficientemente grande, M_2 se apaga, M_4 opera en la region de triodo profunda con una corriente nula y $V_{out}=V_{DD}$.

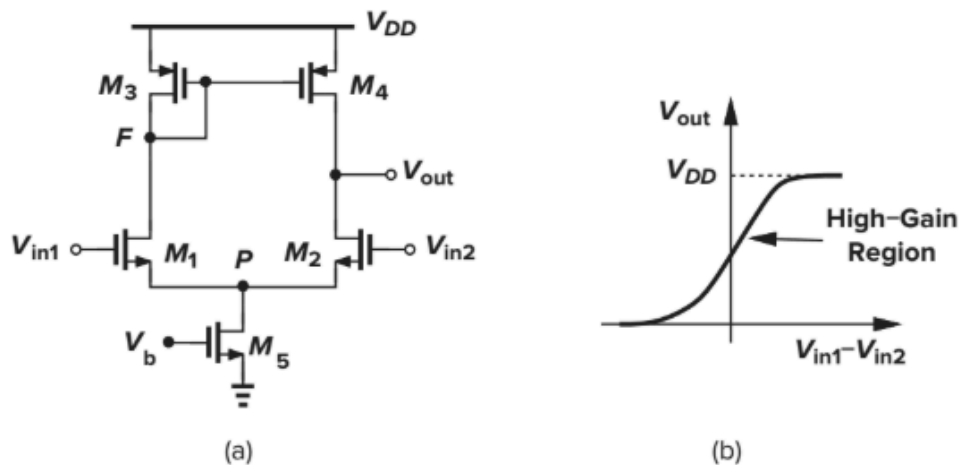


Figure 5.27 (a) Differential pair with active current mirror and realistic current source; (b) large-signal input-output characteristic.

Es importante notar que si $V_{in1} > V_p + V_{th}$, entonces M_1 entra en la región de triodo. Además, V_{out} está en fase con respecto a V_{in1} pero 180° fuera de fase con respecto a V_{in2} . Por esto, la elección del voltaje de modo común de entrada del circuito también es importante. Para que M_2 este saturado, el voltaje de salida no puede ser menor que $V_{inCM} - V_{th}$. Por lo tanto, para permitir máxima excursión de salida, el nivel de modo común de entrada debe ser lo mas bajo posible, con el mínimo dado por $V_{GS1,2} + V_{DS5min}$. La restricción impuesta por el nivel de modo común de entrada sobre la oscilación de salida en este circuito es un inconveniente crítico.

Cuando $V_{in1} = V_{in2}$, para el caso de simetría perfecta, $V_{out} = V_p = V_{DD} - |V_{GS3}|$. Esto se puede comprobar por contradicción. Supongamos que $V_{out} < V_p$. Entonces, por la modulación por longitud de canal, M_1 debe llevar una corriente mayor que M_2 (Y M_4 una corriente mayor que M_3). En otras palabras, la corriente total a través de M_1 es mayor que la mitad de I_{SS} . Pero esto significa que la corriente total a través de M_3 también excede $I_{SS}/2$, violando la suposición de que M_4 lleva más corriente que M_3 . En realidad, las asimetrías en el circuito pueden resultar en una gran desviación de V_{out} , posiblemente llevando a M_2 o M_4 a la region de triodo. Por esta razón el circuito rara vez se usa en una configuración de lazo abierto para amplificar pequeñas señales. A pesar de esto, el OTA a lazo abierto resulta útil como un convertidor de diferencial a una sola terminal para grandes oscilaciones.

Análisis de pequeña señal:

Asumiendo que el efecto body es nulo para simplificar. En este caso, con entradas diferenciales pequeñas, las variaciones de voltaje en los nodos F y X son muy diferentes. Esto se debe a que el dispositivo M3 conectado como diodo produce una ganancia de voltaje mucho menor desde la entrada al nodo F que desde la entrada al nodo X. Como resultado, los efectos de V_f y V_x en el nodo P (a través de r_{o1} y r_{o2}) no se cancelan entre sí y este nodo no puede considerarse una tierra virtual. Usando el lema $|A_V| = G_M * R_{OUT}$, realizamos un análisis aproximado para desarrollar una comprensión y luego el cálculo exacto de la ganancia.

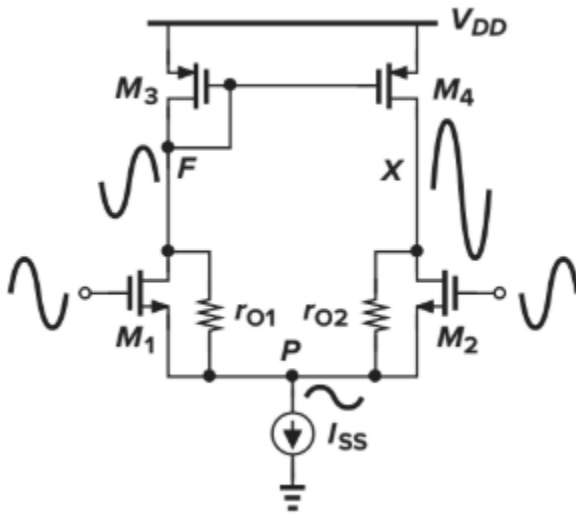


Figure 5.31 Asymmetric swings in a differential pair with active current mirror.

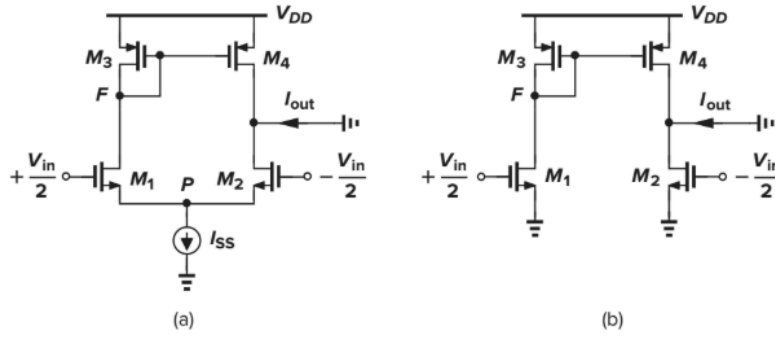


Figure 5.32 (a) Circuit for calculation of G_m ; (b) circuit of (a) with node P grounded.

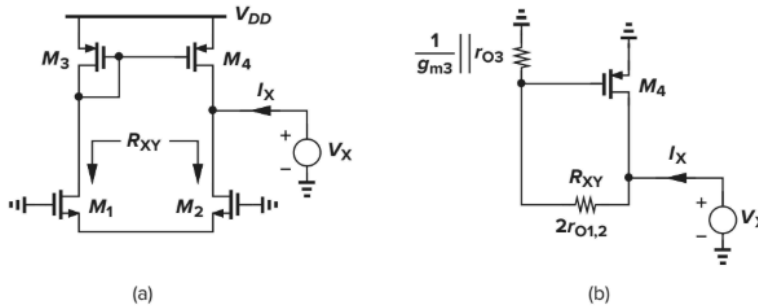


Figure 5.33 (a) Circuit for calculating R_{out} ; (b) substitution of a resistor for M_1 and M_2 .

Para el cálculo de G_M , si bien el circuito no es del todo simétrico, pero como la impedancia vista en el nodo F es relativamente baja y la variación en este nodo es pequeña, la corriente que regresa de F a P a través de r_{o1} es despreciable y el nodo P puede aproximarse como una tierra virtual. Por lo tanto, $|I_{D1}| = |I_{D3}| = |I_{D4}| = g_{m1,2} \cdot V_{in}/2$, lo que resulta en $I_{out} = -g_{m1,2} \cdot V_{in}$ y por lo tanto $|G_M| = g_{m1,2}$. El cálculo de R_{out} es menos directo. La operación del espejo activo produce un valor diferente porque cuando se aplica un voltaje a la salida para medir R_{out} , el voltaje del gate de M4 no permanece constante. En lugar de mirar todo el circuito equivalente, observamos que para señales pequeñas, I_{SS} está abierto, por lo que cualquier corriente que fluya hacia M1 debe salir de M2 y el rol de ambos transistores puede ser representado por una resistencia $R_{XY} = 2 \cdot r_{o1,2}$. Como resultado, la corriente extraída de V_X por R_{XY} es reflejada por M3 a M4 con ganancia unitaria. Esta corriente es igual a $V_X / [2r_{o1,2} + (1/g_{m3}) \parallel r_{o3}]$.

Si multiplicamos esta corriente por $(1/g_{m3}) \parallel r_{o3}$ para obtener el voltaje de gate-source de M3 y luego multiplicamos el resultado por g_{m4} . Se deduce entonces que:

$$I_X = \frac{V_X}{2r_{O1,2} + \frac{1}{g_{m3}} \parallel r_{O3}} \left[1 + \left(\frac{1}{g_{m3}} \parallel r_{O3} \right) g_{m4} \right] + \frac{V_X}{r_{O4}}$$

$$R_{out} \approx r_{O2} \parallel r_{O4}$$

Y si $2 \cdot r_{O1,2} \gg (1/g_{m3}) \parallel r_{O3}$, tenemos que:

Finalmente la ganancia es aproximadamente igual a $|A_v| = G_M \cdot R_{out} = g_{m1,2} \cdot (r_{O2} \parallel r_{O4})$, un poco mayor que para el caso de carga pasiva.

Para el análisis exacto, se determina G_m sin poner a tierra el nodo P.

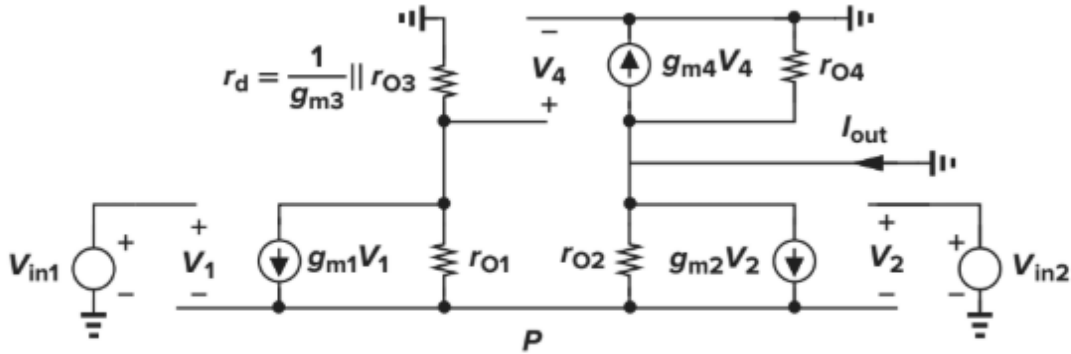


Figure 5.34 Equivalent circuit of five-transistor OTA

Dado que la corriente que fluye hacia abajo a través de $(1/g_{m3}) \parallel r_{O3}$ (ahora llamado r_d) es $-V_4/r_d$, r_{O1} sostiene un voltaje igual a $(-V_4/r_d - g_{m1} \cdot V_1) \cdot r_{O1}$. Al agregar este voltaje a $V_p = V_{in1} - V_1$, tenemos:

$$\left(-\frac{V_4}{r_d} - g_{m1} V_1 \right) r_{O1} + V_{in1} - V_1 = V_4$$

Como la suma de $g_{m2} \cdot V_2$ y la corriente que circula por r_{O2} es igual a V_4/r_d , tenemos

$$g_{m2} V_2 - \frac{V_{in2} - V_2}{r_{O2}} = \frac{V_4}{r_d}$$

que:

Obtenemos V_1 y V_2 de estas ecuaciones en terminos de V_4 y notando que $V_1 - V_2 = V_{in1} - V_{in2}$ e $I_{out} = g_{m4} \cdot V_4 + V_4/r_d$, llegamos a:

$$I_{out} = -g_{m1} r_{O1} \frac{g_{m4} r_d + 1}{r_d + 2r_{O1}} (V_{in1} - V_{in2})$$

$$G_m = -g_{m1}r_{O1} \frac{g_{m4}r_d + 1}{r_d + 2r_{O1}}$$

Por lo tanto:

Y Rout es:

$$G_m R_{out} = -g_{m1}r_{O1} \frac{(g_{m4}r_d + 1)r_{O4}}{(g_{m4}r_d + 1)r_{O4} + 2r_{O1} + r_d}$$

Finalmente la ganancia exacta es:

Y la expresión exacta de la ganancia es:

$$|A_v| = g_{m1}(r_{O1} || r_{O4}) \frac{2g_{m4}r_{O4} + 1}{2(g_{m4}r_{O4} + 1)}$$

La cual podemos ver cómo nuestra solución aproximada $g_{m1}(r_{O1} || r_{O4})$, multiplicada por un factor de corrección que es menor que la unidad.

Problemas de excursión: El OTA no se presta fácilmente a una operación de baja tensión, ya que el PMOS conectado como diodo tiende a consumir un “voltage headroom” considerable. Para llegar a una modificación, podemos ver como la tensión de gate de este no necesita ser igual a la V_{Drain} . Si insertamos en serie con el gate una resistencia y extraemos una corriente constante permitiendo que V_G este por debajo de V_p por $R_1 I_1 \leq V_{th3}$. Con este cambio de nivel, el nivel de modo comun de entrada

$$\frac{I_X}{V_X} = \frac{1 + g_{m4}r_d}{2r_{O1} + r_d} + \frac{1}{r_{O4}} = \frac{(1 + g_{m4}r_d)r_{O4} + 2r_{O1} + r_d}{(2r_{O1} + r_d)r_{O4}}$$

puede ser más alto, lo que facilita el diseño de la etapa anterior y de la fuente de corriente de cola. El valor de I_1 debe ser mucho menor que $I_{ss}/2$ para introducir una asimetría insignificante entre los dos lados del circuito.

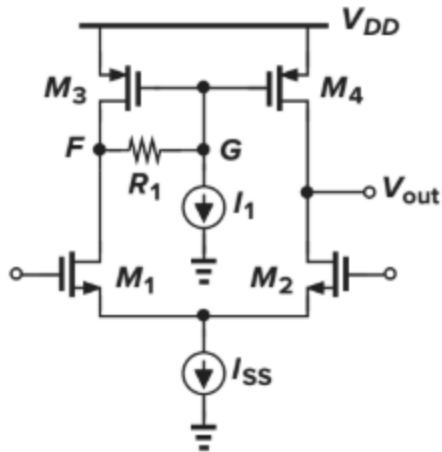


Figure 5.36 OTA headroom improvement by level shift.

Propiedades de modo comun:

Nuevamente asumiendo el efecto cuerpo nulo, intentamos predecir las consecuencias de una impedancia de salida finita en la fuente de corriente de cola. Un cambio en el nivel de modo comun de entrada conduce a un cambio en la corriente de polarización de todos los transistores. En este caso, la señal de salida de interes se detecta con respecto a masa. Por lo tanto, definimos la ganancia de CM en terminos del componente de salida de terminación simple producido por el cambio de CM de

$$A_{CM} = \frac{\Delta V_{out}}{\Delta V_{in,CM}}$$

entrada

Para determinar A_{CM} , observamos que los transistores son simetricos, $V_{out}=V_p$ para cualquier nivel de C_m de entrada. Por ejemplo, a medida que $V_{in,CM}$ aumenta, V_f disminuye y tambien lo hace V_{out} . En otras palabras, los nodos F y X pueden ser cortocircuitados, lo que resulta en el siguiente circuito equivalente. En este M1 y M2 aparecen en paralelo y tambien lo hacen M3 y M4:

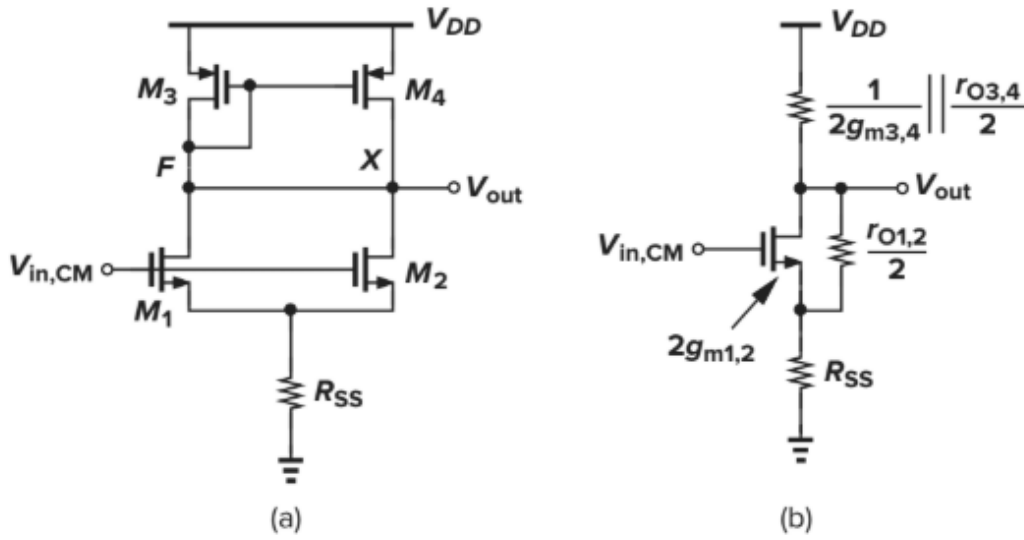


Figure 5.38 (a) Simplified circuit of Fig. 5.37; (b) equivalent circuit of (a).

Entonces nos queda que:

$$A_{CM} \approx \frac{-\frac{1}{2g_{m3,4}} \parallel \frac{r_{O3,4}}{2}}{\frac{1}{2g_{m1,2}} + R_{SS}}$$

$$= \frac{-1}{1 + 2g_{m1,2}R_{SS}} \frac{g_{m1,2}}{g_{m3,4}}$$

Donde asumimos que $1/(2g_{m3,4}) \ll r_{O3,4}$ y despreciamos el efecto de $r_{O1,2}/2$. Finalmente, la relación de rechazo de modo común es:

$$CMRR = \left| \frac{A_{DM}}{A_{CM}} \right|$$

$$= g_{m1,2}(r_{O1,2} \parallel r_{O3,4}) \frac{g_{m3,4}(1 + 2g_{m1,2}R_{SS})}{g_{m1,2}}$$

$$= (1 + 2g_{m1,2}R_{SS})g_{m3,4}(r_{O1,2} \parallel r_{O3,4})$$

Efecto de los mismatches:

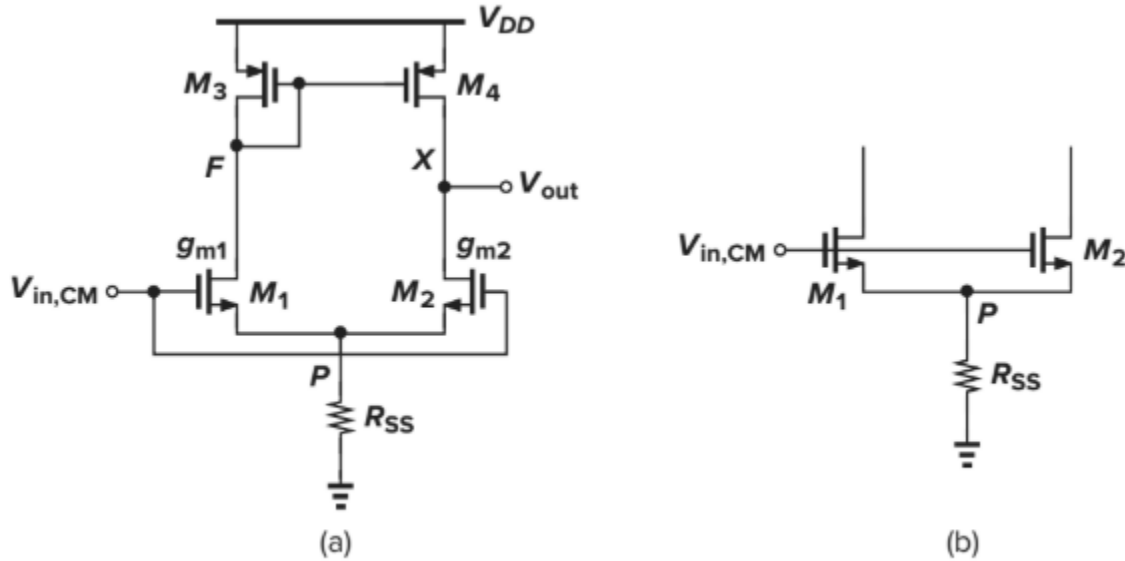


Figure 5.40 Differential pair with g_m mismatch.

Es importante calcular la ganancia de modo comun en presencia de desajustes, como cuando los transistores de entrada tienen transconductancias ligeramente diferentes. Para ver como depende V_{out} de $V_{in,CM}$, dado que el cambio en los nodos F y X es relativamente pequeño, podemos calcular el cambio en I_{D1} e I_{D2} mientras se ignora el efecto de r_{o1} y r_{o2} . El cambio de voltaje en P se puede obtener considerando a M1 y M2 como un solo transistor con una transconductancia igual a $g_{m1} + g_{m2}$:

$$\Delta V_P = \Delta V_{in,CM} \frac{R_{SS}}{R_{SS} + \frac{1}{g_{m1} + g_{m2}}}$$

Los cambios en las corrientes de drenador de M1 y M2 estan dados por:

$$\begin{aligned} \Delta I_{D1} &= g_{m1}(\Delta V_{in,CM} - \Delta V_P) \\ &= \frac{\Delta V_{in,CM}}{R_{SS} + \frac{1}{g_{m1} + g_{m2}}} \frac{g_{m1}}{g_{m1} + g_{m2}} \\ \Delta I_{D2} &= g_{m2}(\Delta V_{in,CM} - \Delta V_P) \\ &= \frac{\Delta V_{in,CM}}{R_{SS} + \frac{1}{g_{m1} + g_{m2}}} \frac{g_{m2}}{g_{m1} + g_{m2}} \end{aligned}$$

Finalmente la variación en V_{out} respecto a la entrada de modo común esta dada por:

$$\frac{\Delta V_{out}}{\Delta V_{in,CM}} \approx \frac{(g_{m1} - g_{m2})r_{O3} - g_{m2}/g_{m3}}{1 + (g_{m1} + g_{m2})R_{SS}}$$

Para terminar y a modo de resumen podemos decir que los OTA se usan como bloque elemental de conversión de tensión-corriente y como etapa de ganancia básica en circuitos analógicos. Sus ventajas son que lleva muy pocos transistores, es de bajo consumo y fácil de integrar, aunque tienen una ganancia limitada, relación de rechazo de modo común baja y un swing de salida reducido.

Problems from Razavi's textbook:

Solve these problems from Razavi's textbook:

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body-effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate-oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $\text{cm}^2/\text{V}/\text{s}$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)

Chapter 5 Problem 5.3 part a only (Notes: $V_{dd}=3\text{V}$, neglect LD, neglect LAMBDA , neglect GAMMA)

5.3. In the circuit of Fig. 5.8, $(W/L)_N = 10/0.5$, $(W/L)_P = 10/0.5$, and $I_{REF} = 100 \mu\text{A}$. The input CM level applied to the gates of M1 and M2 is equal to 1.3 V. (a) Assuming $\lambda = 0$, calculate V_P and the drain voltage of the PMOS diode-connected transistors. (b) Now take channel-length modulation into account to determine I_T and the drain current of the PMOS diode-connected transistors more accurately

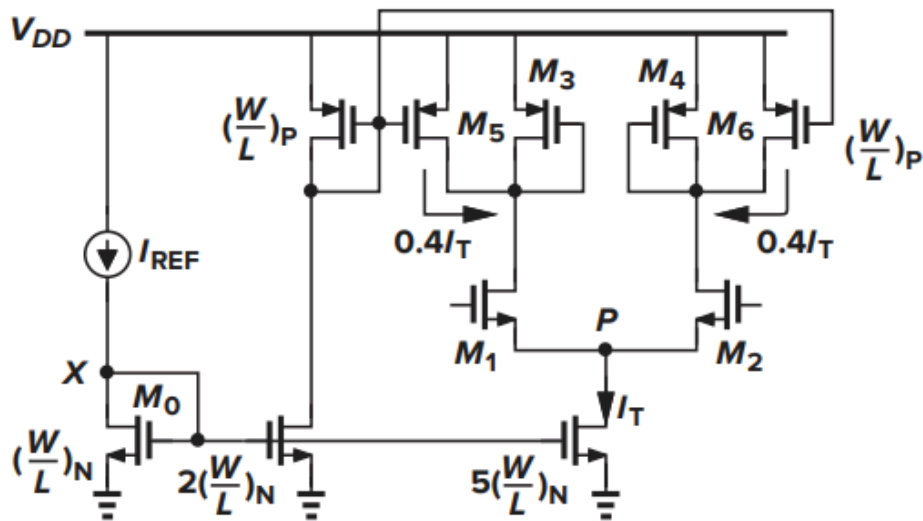


Figure 5.8 Current mirrors used to bias a differential amplifier.

Chapter 5 Problem 5.5 part a and b only (Notes: $V_{DD}=3V$, neglect LD, neglect GAMMA)

Consider the circuit of Fig. 5.12(a), assuming $(W/L)_{1-3} = 40/0.5$, $I_{REF} = 0.3 \text{ mA}$, and $\gamma = 0$. (a) Determine V_b such that $V_X = V_Y$. (b) If V_b deviates from the value calculated in part (a) by 100 mV, what is the mismatch between I_{out} and I_{REF} ? (c) If the circuit fed by the cascode current source changes V_P by 1 V, how much does V_Y change

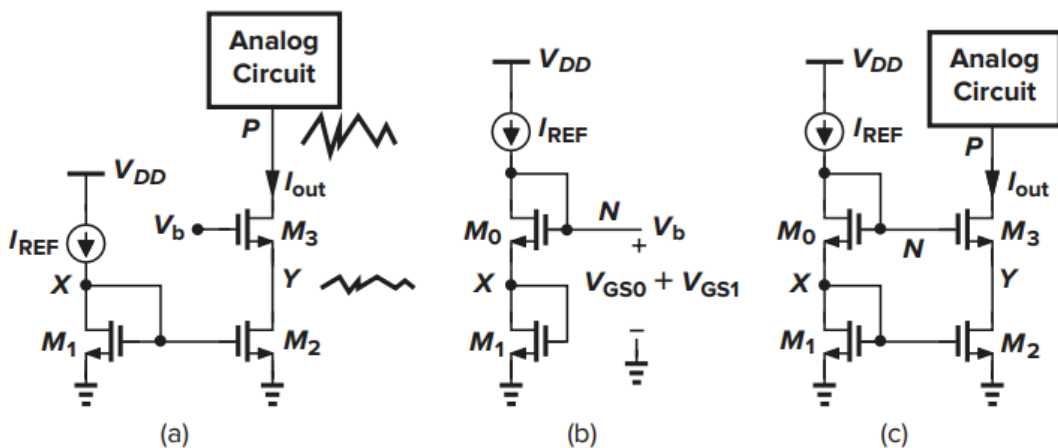


Figure 5.12 (a) Cascode current source, (b) modification of mirror circuit to generate the cascode bias voltage, and (c) cascode current mirror.

Simulate using LTSpice the functionality of the circuits in Problems 5.3 and 5.5 (5.5 question b only) above. (use the transistor models from file spicemodels_cmos_ic_design)

Question 1

Problem 5.3(a): enter the calculated voltage on the gate of M5 transistor (V)

Como esta conectado como diodo, la tensión VDS es la misma que VSG. Si tenemos en cuenta Vth para asegurar la saturación, nos queda que $V_{G_{M5}}$ es igual a:

$$|V_{sg5}| = \sqrt{\frac{2 \cdot I_{d5}}{\mu_p \cdot C_{ox} \cdot \frac{W}{L}}} + V_{th} = \sqrt{\frac{2 \cdot 200 \cdot 10^{-6}}{\mu_p \cdot C_{ox} \cdot \frac{W}{L}}} + 0.8 = 1.5221V$$

$$V_{g5} = 3V - V_{gs5} = 1.4779V$$

Question 2

Problem 5.3(a): enter the calculated drain current of M5 transistor (uA)

Teniendo en cuenta que I_{DM5} es $0.4 \cdot I_T$, y que $I_T = I_{ref} \cdot 5 \cdot \frac{\frac{W}{L}}{\frac{W}{L}} = 500 \mu A$

$$I_{DM5} = I_T \cdot 0.4 = 200 \mu A$$

Question 3

Problem 5.3(a): enter the calculated drain current of M3 transistor (uA)

Teniendo en cuenta que la corriente de drain de M1 es $I_T/2 = 250 \mu A$, por ley de kirchhoff podemos encontrar que la corriente de drenador de M3 va a ser:

$$I_{D3} = 250 \mu A - 0.4 I_T = 250 \mu A - 200 \mu A = 50 \mu A$$

$$I_{D3} = 50 \mu A$$

Question 4

Problem 5.3(a): enter the calculated voltage on the drain of M3 transistor (V)

Teniendo en cuenta que $V_{d3} = V_{g3}$, despejo V_{D3} de la siguiente manera:

$$V_{sg3} = \sqrt{\frac{2 \cdot I_{d3}}{\mu_p C_{ox} W/L}} + V_{th} = 1.1610 \text{ V}$$

$$V_{g3} = V_{DD} - V_{sg3} = 1.8390 \text{ V}$$

Question 5

Problem 5.3(a): enter the calculated drain current of M1 transistor (uA)

La corriente de drenador del transistor m1, teniendo en cuenta la simetria, es la mitad de la corriente I_T proporcionada por la fuente de corriente de cola.

Para este caso:

$$I_{D1} = I_T / 2 = 250 \text{ uA}$$

Question 6

Problem 5.3(a): enter the calculated voltage node P in the schematic (V)

Conociendo que:

$$I_T = \frac{1}{2} * \mu_n * C_{ox} * 5 * (W_n/L_n) * (V_{gs} - V_{th})^2$$

Y que $I_{D1} = I_T / 2$

Sustituyendo:

$$I_{D1} = I_T / 2 = \frac{1}{4} * \mu_n * C_{ox} * 5 * (W_n/L_n) * (V_{gs} - V_{th})^2$$

Por lo que V_{gs1} es:

$$V_{gs1} = \sqrt{\frac{4 \cdot I_{d1}}{\mu_n * C_{ox} * 5 * (W_n/L_n)}} + V_{th}$$

Sabiendo que $V_{in_{CM}} = 1.3 \text{ V}$, analizamos por LKT:

$$V_{gs1} = V_g - V_s \text{ ya que } V_g = V_{in_{CM}} \text{ y } V_{Source} = V_P$$

$$\text{Finalmente, } V_{gs1} = V_{in_{CM}} - V_P$$

$$\text{Y por lo tanto: } V_P = V_{in_{CM}} - V_{gs1}$$

Los cálculos quedan de la siguiente manera, usando la misma relación de aspecto de M1 y M2 y M_{Tail} ($5 \cdot W_N/L_N$)

$$V_{gs1} = \sqrt{(2 \cdot I_T/2)/(U_{ON} \cdot C_{ox} \cdot 5 \cdot (10/0.5))} + V_{TOn} = \mathbf{0.8930 \text{ V}}$$

$$V_p = V_{in_{CM}} - V_{gs1} = 1.3 - 0.893 = \mathbf{0.4070 \text{ V}}$$

Finalmente, se verifica que ambos transistores están en saturación

Para M_{TAIL} :

$$V_{gsTail} = \sqrt{(2 \cdot I_T)/(U_{ON} \cdot C_{ox} \cdot 5 \cdot (10/0.5))} + V_{TOn} = 0.9729 \text{ V}$$

$$V_{OVERDRIVE_{mt}} = V_{gsTail} - V_{TH} = \mathbf{0.2729 \text{ V}}$$

$$V_{ds_{Mtail}} = V_p = \mathbf{0.4070 \text{ V}}$$

Como $V_{DS_M} > V_{OVERDRIVE}$ el transistor que funciona como fuente de corriente esta en saturación

Para M1:

$$V_{ov1} = V_{gs1} - V_{th} = 0.8930 - 0.7 = 0.1930 \text{ V}$$

$$V_{ds1} = V_{D3} - V_p = 1.839 \text{ V} - 0.4070 \text{ V} = 1.430 \text{ V}$$

Como se cumple que $V_{ds1} > V_{ov1}$, el transistor M1 está en saturación y funciona correctamente.

Question 7

Problem 5.5(a): enter the calculated value for $1/2 \cdot \mu_n \cdot C_{ox} \cdot (W/L)_n$ (mA/V²)

$$a = 0.5 \cdot U_{ON} \cdot 1000 \cdot C_{ox} \cdot (40/0.5) = \mathbf{5,4 \text{ mA/V}^2}$$

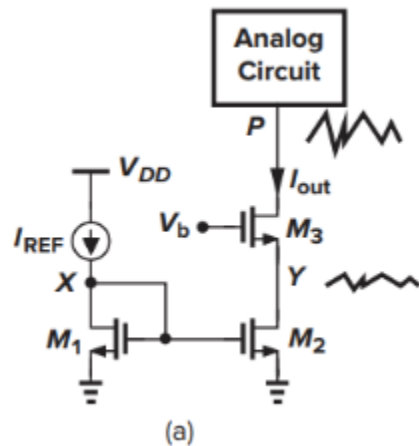
Question 8

Problem 5.5(a): enter the calculated V_{gs} of M1 transistor (V)

$$V_{gs1} = \sqrt{I_{REF2}/a} + V_{TOn} = 0.9364 \text{ V}$$

$$V_{gs1} = \sqrt{\frac{2 \cdot I_{D1}}{\mu_p \cdot C_{ox} \cdot \frac{W}{L}}} + V_{th} = 0.9364 \text{ V}$$

Question 9



Problem 5.5(a): enter the calculated voltage V_b (V)

Debemos generar V_b de tal manera que $v_b - V_{gs3} = v_{ds1}(=v_{gs1})$, entonces $V_b = V_{gs3} + V_{gs1}$. Es decir, V_b se puede establecer por dos dispositivos en serie conectados como diodo. Eso prueba que $V_{gs0} + V_{gs1} = V_{gs3} + V_{gs1}$ y $V_{gs0} = V_{gs3}$.

$$V_{gs3b} = V_{gs1};$$

$$\mathbf{V_b = V_{gs1} + V_{gs3b} = 1.8727 \text{ V}}$$

Para poder calcular V_b necesitamos V_{gs3} que en este caso es igual a V_{gs1} :

$$V_{gs3} = \sqrt{\frac{2 \cdot I_{D3}}{\mu_n \cdot C_{ox} \cdot \frac{W}{L}}} + V_{th} = 0.9364 \text{ V}$$

Sabemos que $V_{y_{MIN}} = V_{gs2} - V_{th}$ para garantizar saturación.

Question 10

Problem 5.5(b): enter the calculated voltage at node V_y when V_b increases by 100mV (V)

$$\mathbf{V_y = V_b + \Delta V_b - V_{gs1} = 1.0364 \text{ V}}$$

Question 11

Problem 5.5(b): enter the calculated drain current of M2 when Vb increases by 100mV (uA)

Sin tener en cuenta λ

Teniendo en cuenta que una de las características de este espejo de corriente es que no varía la corriente copiada según la tensión de drenador de M2 (siempre y cuando esté en saturación), esta depende solo de Vgs2, la cual se mantiene constante independientemente de V_{D2}, salvo que este baje tanto que salga de la región de saturación. Como la tensión de drenador mínima es de 0.9364 V - 0.7 V = 0.2364 V, el dispositivo siguen en saturación y la corriente es igual que antes, ya que Vgs2 no cambia:

$$I_{D2} = I_{D1} = ((V_{GS1} - V_{Th})^2) * \mu_n * C_{ox} * (40/0.5) / 2 = 0.3 \text{ mA}$$

Ahora, **si tenemos en cuenta el efecto producido por λ**

Relacionamos la corriente de drenaje por M2 I_{out} con I_{REF}

$$\frac{I_{out}}{I_{ref}} = \frac{0.5 * \mu_n * C_{ox} * (W2/L2) * (V_{GS2} - V_{th}) * (1 + \lambda * V_{DS2})}{0.5 * \mu_n * C_{ox} * (W1/L1) * (V_{GS1} - V_{th}) * (1 + \lambda * V_{DS1})}$$

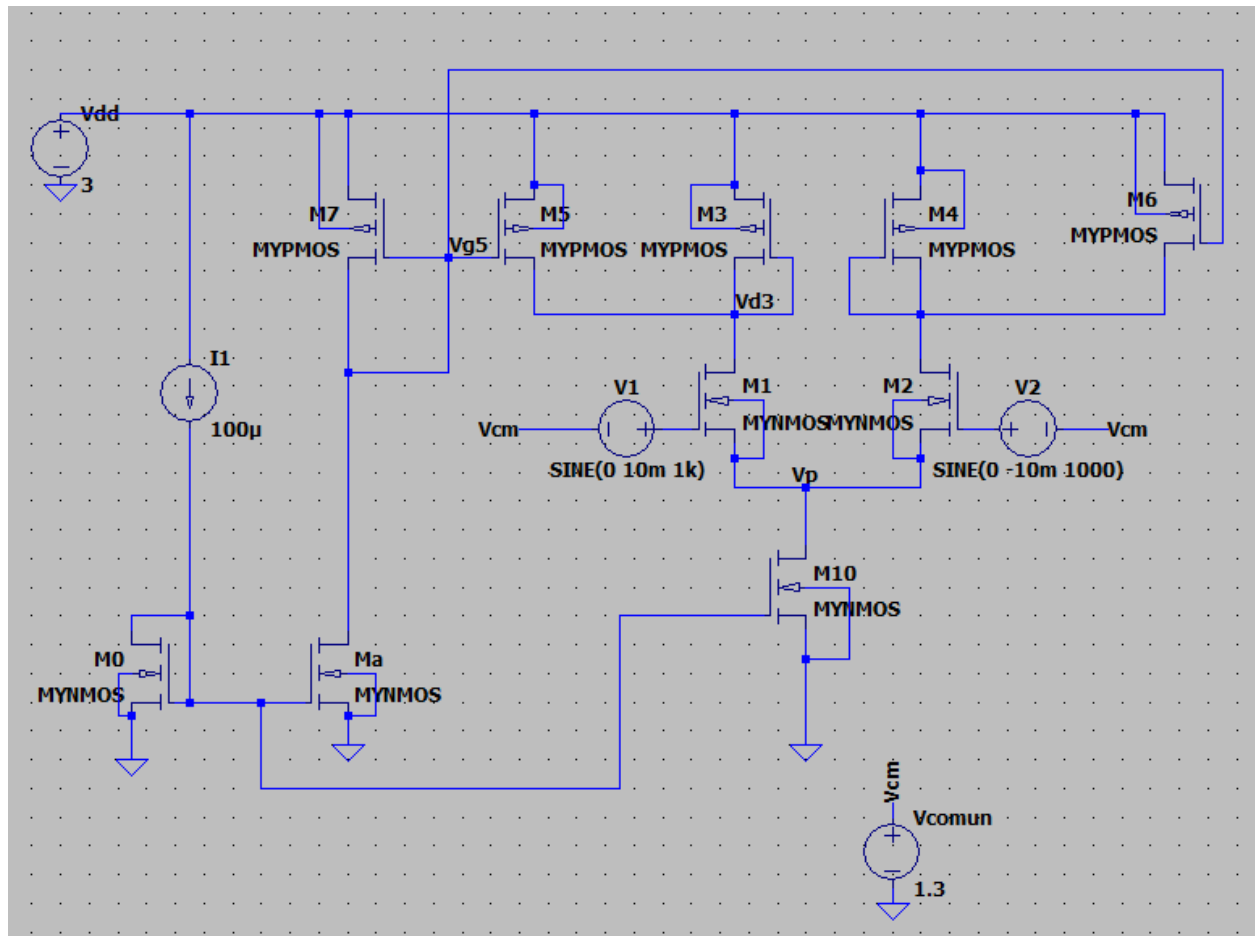
Sabiendo que $V_{GS1} = V_{GS2}$, $(W1/L1) = (W2/L2)$ y considerando que ΔV_b es 100mV

$$\frac{I_{out}}{I_{ref}} = \frac{(1 + \lambda * V_{DS2})}{(1 + \lambda * V_{DS1})} = \frac{1 + 0.1 * 1.0364}{1 + 0.1 * 0.9364} = 1.0091437$$

Entonces tenemos que finalmente la I_{DM2} para la variación dada de Vb es:

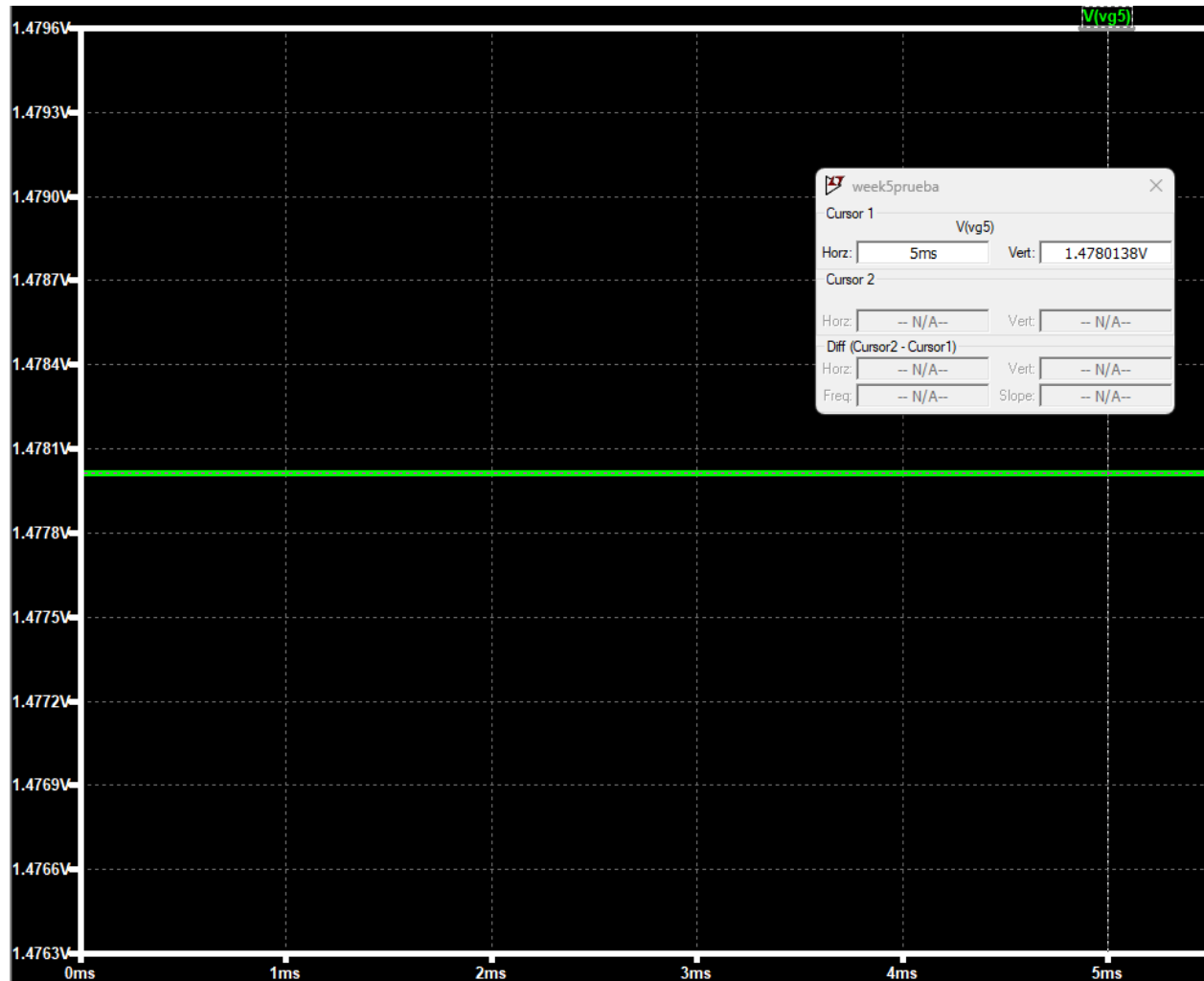
$$I_{out} = 1.01 * I_{ref} = 1.0091437 * 0.3 \text{ mA} = 302.74 \text{ uA}$$

Simulaciones:



Question 12

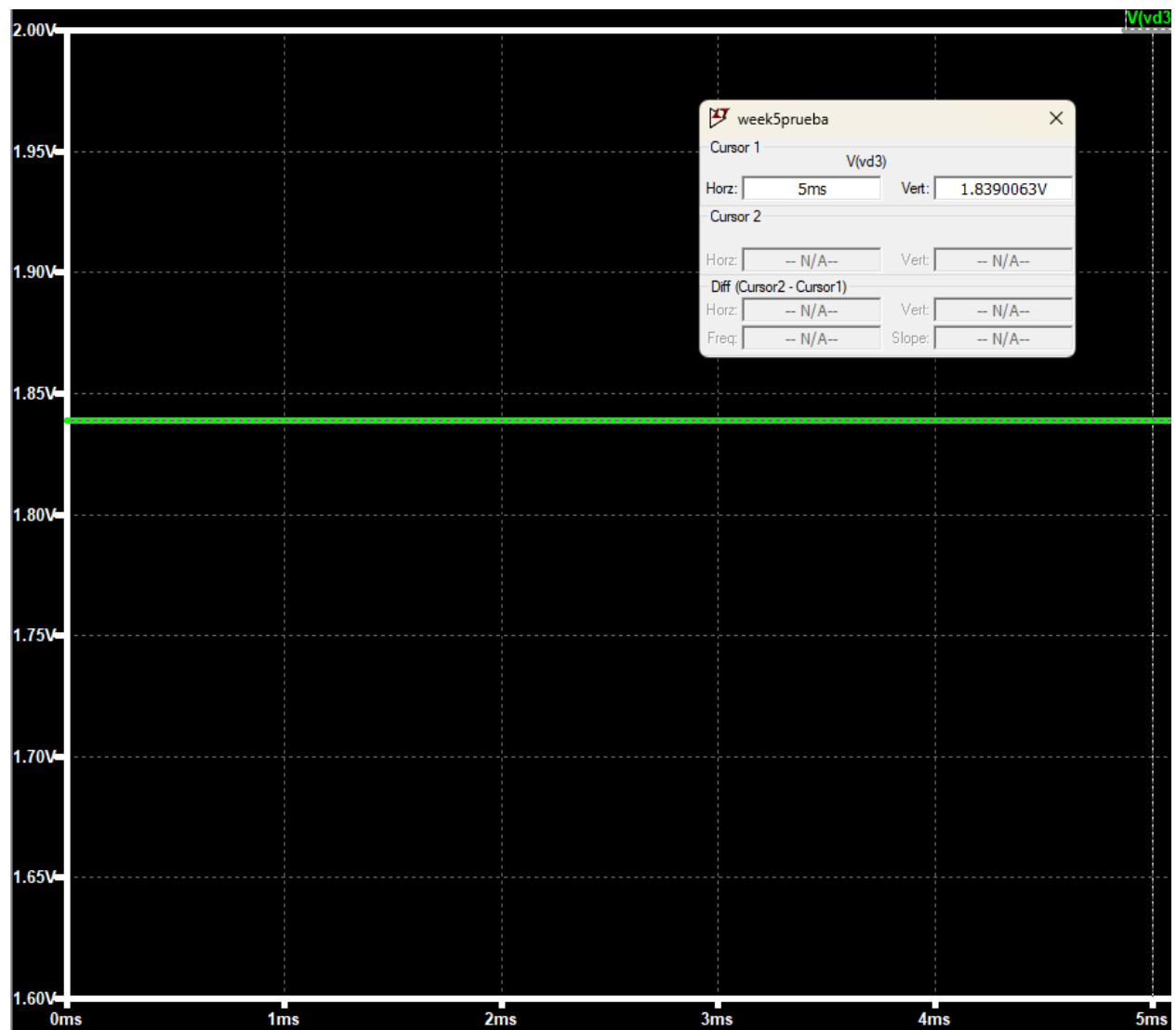
Simulation assignment of problem 5.3 circuit: enter the voltage on the gate of M5 transistor (V)



Vg5

Question 13

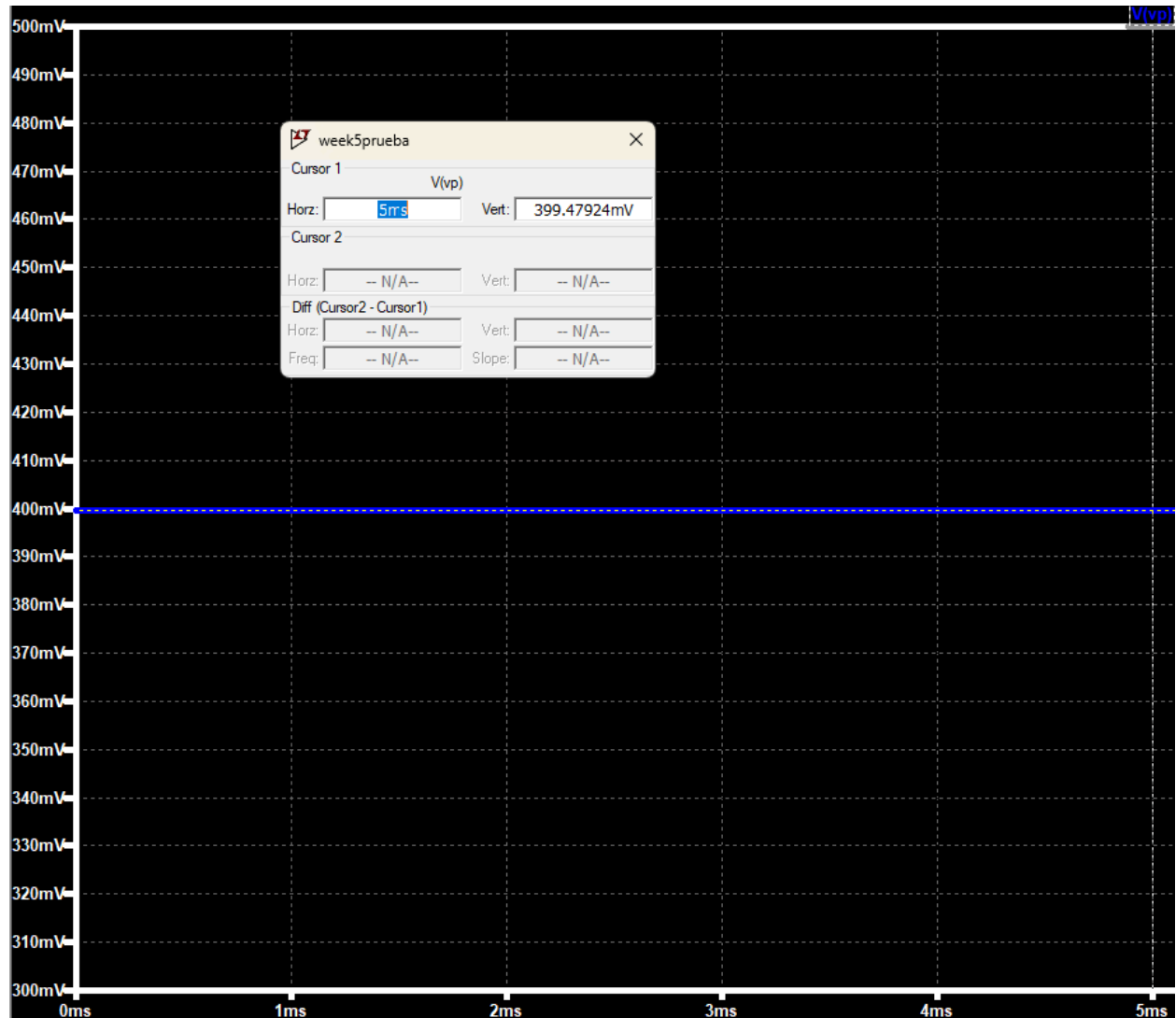
Simulation assignment of problem 5.3 circuit: enter the voltage on the drain of M3 transistor (V)



Vd3

Question 14

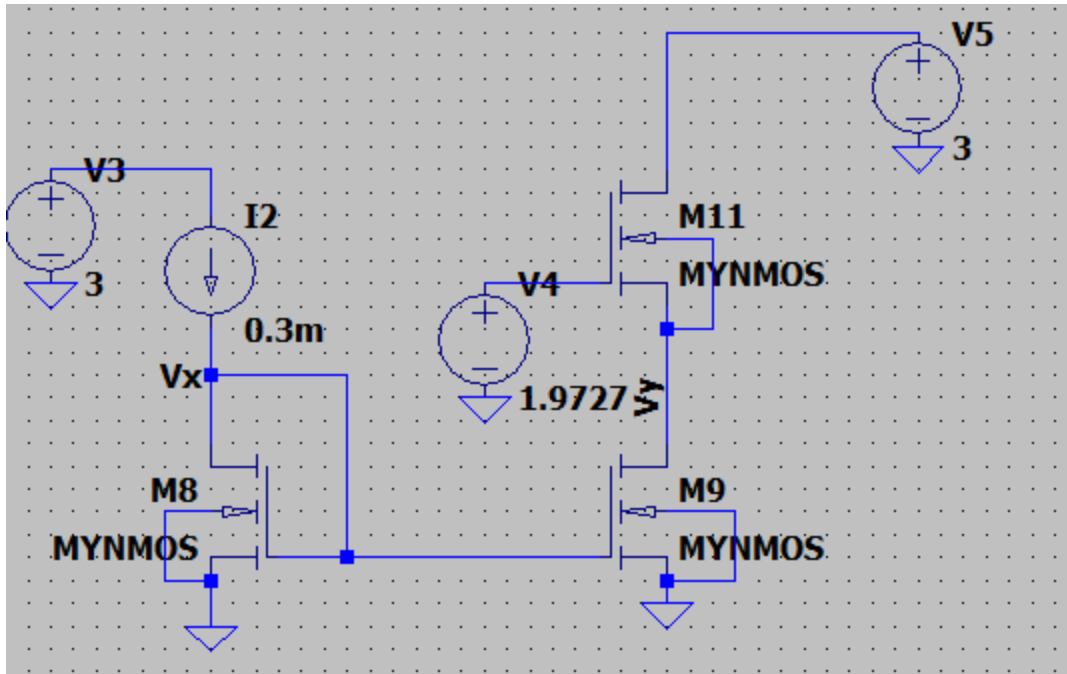
Simulation assignment of problem 5.3 circuit: enter the voltage at node P in the schematic (V)



vp

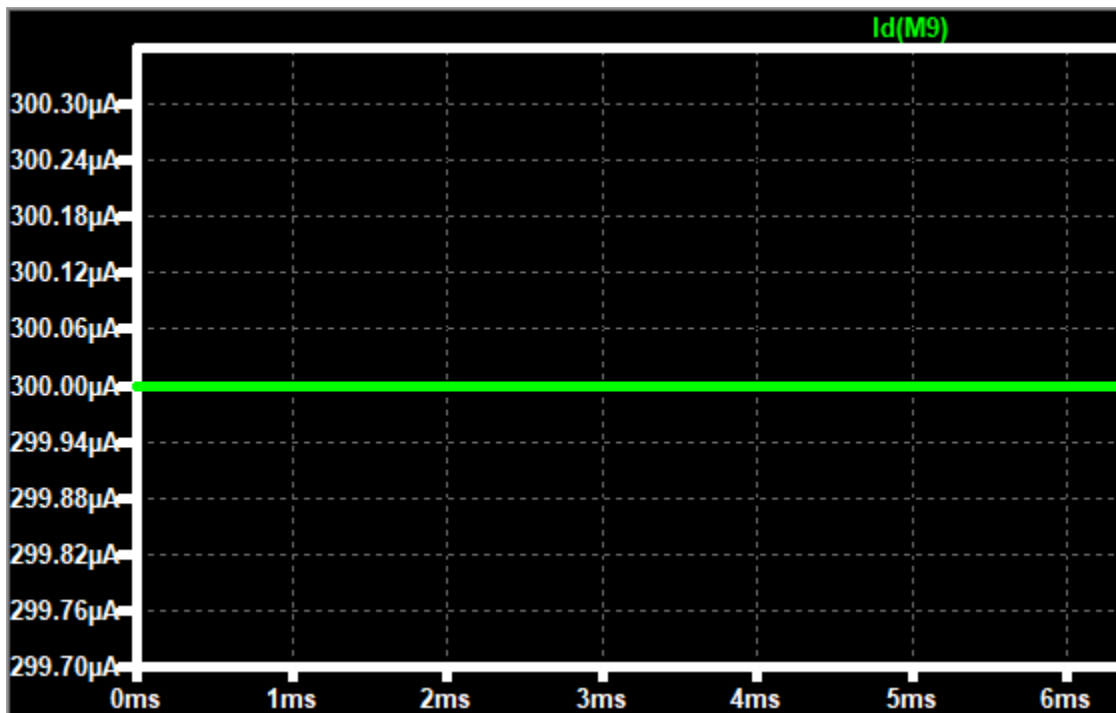
Question 15

Simulation assignment of problem 5.5 circuit: enter the drain current of M2 when V_b increases by 100mV (μA)



Se realizaron simulaciones para el caso de $\lambda=0$ y para $\lambda=0.1$.

Primer caso, $\lambda=0$:



Simulación para $\lambda=0.1$:

