

Unit 6- Frequency Response

Introduction:

This unit covers the frequency response of the basic amplifier stages that we learned so far: common-source, common-gate, source follower, cascode, and differential amplifier. At low frequency the gate and junction capacitance of MOS transistors have negligible effect on voltage gain and output impedance but as frequency increases the effect of these capacitances becomes significant.

Reading:

Razavi's textbook sections: 6.1 to 6.7

To be thought/discussed

1- What Miller's Theorem states and how we can use this theorem in circuit analysis.

El teorema de Miller expresa que el circuito de la primer figura puede convertirse en el de la segunda de tal manera que $Z_1 = Z / (1 - A_v)$ y $Z_2 = Z/(1-A_v^{-1})$, donde $A_v = V_Y/V_X$.

Este se puede probar sabiendo que la corriente que fluye a traves de Z desde X a Y es igual a $(V_X - V_Y)/Z$. Para que estos dos circuitos sean equivalentes, la misma corriente debe fluir a través de Z_1 . Esto es:

$$\frac{V_X - V_Y}{Z} = \frac{V_X}{Z_1}$$

Despejando:

$$Z_1 = \frac{Z}{1 - \frac{V_Y}{V_X}}$$

De igual manera:

$$Z_2 = \frac{Z}{1 - \frac{V_X}{V_Y}}$$

Esta descomposición de una impedancia flotante en dos derivadas a masa es muy útil en el análisis y diseño de circuitos.

Hay que tener en cuenta que el teorema de Miller no estipula las condiciones bajo las cuales esta conversión es válida. Si la impedancia Z constituye la única trayectoria de señal entre X e Y , la conversión es inválida. Por ejemplo, para un simple divisor resistivo, el teorema da una impedancia de entrada correcta pero una ganancia incorrecta. No obstante, este teorema resulta útil en los casos en que la impedancia Z aparece en paralelo con la señal principal.

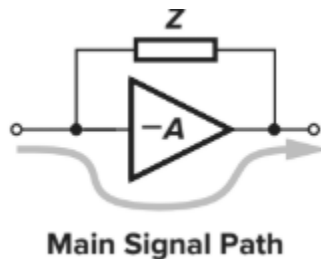


Figure 6.6 Typical case for valid application of Miller's theorem.

Es importante mencionar que el valor de $A_v = V_y/V_x$ debe calcularse en la frecuencia de interés, lo cual complica las cuentas. En muchos casos utilizamos el valor de baja frecuencia de A_v para obtener una idea del comportamiento del circuito, a esto se le conoce como “aproximación de Miller”.

Si se aplica para obtener la función de transferencia entrada–salida, el teorema de Miller no puede usarse simultáneamente para calcular la impedancia de salida. Para derivar la función de transferencia, ponemos una fuente de voltaje a la entrada del circuito, obteniendo un valor de V_y/V_x . Por otro lado, para determinar la impedancia de salida, debemos aplicar una fuente de tensión a la salida del circuito, obteniendo un valor de V_x/V_y que puede no ser igual al inverso de V_y/V_x de la primera prueba.

En resumen, la aproximación de Miller divide una impedancia flotante por la ganancia de baja frecuencia y presenta las siguientes limitaciones:

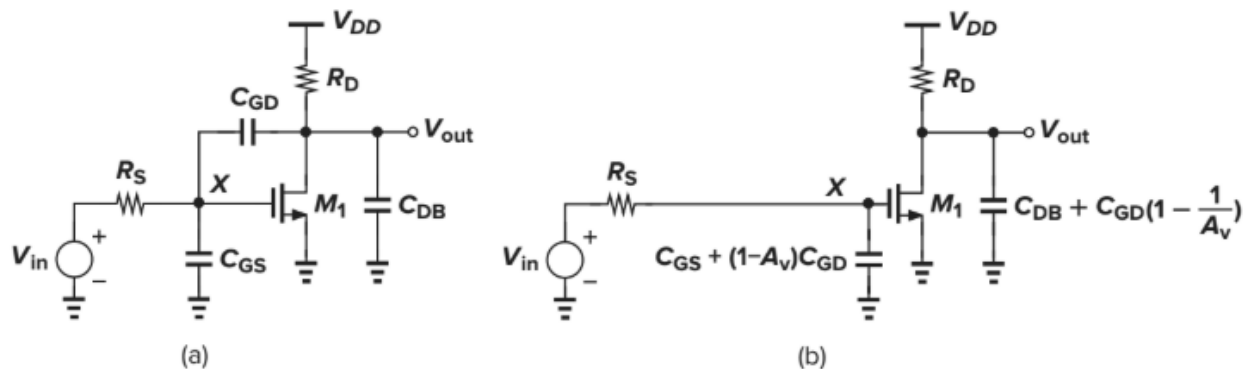
1. Puede eliminar ceros
2. Puede predecir polos adicionales
3. No calcula correctamente la impedancia de salida.

Recordar: $f_T = g_m / (2\pi \cdot C_{GS})$ para un MOS

2- Summarize the significant capacitances of basic amplifier stages that we learned so far: common-source, common-gate, source follower, cascode, and differential amplifier

Common-Source Stage:

Podemos identificar que las capacitancias del circuito C_{GS} y C_{DB} estan a tierra y que la C_{GD} aparece entre la entrada y la salida.



En la segunda figura podemos ver como se aplica la aproximación de Miller. Asumiendo que $\lambda=0$ y que M_1 esta en saturación, podemos estimar la funcion de transferencia asociando un polo con cada nodo. La capacitancia total vista desde X a tierra es igual a C_{GS} mas la multiplicación de Miller de C_{GD} , es decir, :

$$C_{GS} + (1-A_v)C_{GD}$$

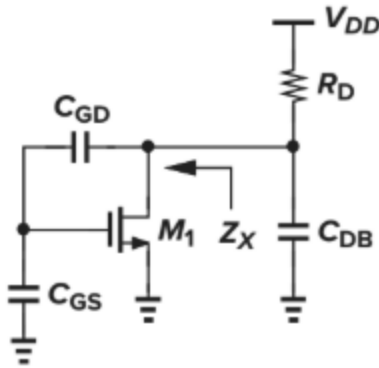
De donde conocemos que $A_v = -g_m R_D$. La magnitud del polo de entrada esta entonces dada por:

$$\omega_{in} = \frac{1}{R_S[C_{GS} + (1 + g_m R_D)C_{GD}]}$$

Para el nodo de salida, la capacidad vista hacia tierra es igual a C_{DB} sumado al efecto Miller de C_{GD} , es decir, $C_{DB} + (1-A_v^{-1})C_{GD} = C_{DB} + C_{GD}$ (Solo si $A_v \gg 1$). Esto es entonces:

$$\omega_{out} = \frac{1}{R_D(C_{DB} + C_{GD})}$$

Si R_S es relativamente grande, puede realizarse otra aproximación del polo de salida. Simplificando el circuito como en esta figura:



donde el efecto de R_S se desprecia, se puede probar que:

$$Z_X = \frac{1}{C_{eq}s} \parallel \left(\frac{C_{GD} + C_{GS}}{C_{GD}} \cdot \frac{1}{g_{m1}} \right)$$

Donde $C_{eq} = C_{GD} \cdot C_{GS} / (C_{GD} + C_{GS})$. Esto para el polo de salida es igual a:

$$\omega_{out} = \frac{1}{\left[R_D \parallel \left(\frac{C_{GD} + C_{GS}}{C_{GD}} \cdot \frac{1}{g_{m1}} \right) \right] (C_{eq} + C_{DB})}$$

Así, tenemos que la función de transferencia esta dada por:

$$\frac{V_{out}}{V_{in}}(s) = \frac{-g_m R_D}{\left(1 + \frac{s}{\omega_{in}} \right) \left(1 + \frac{s}{\omega_{out}} \right)}$$

Se puede ver que ω_{in} y cualquier capacidad de carga se puede incluir fácilmente en esta función. También es importante notar el error de que en esta estimación no consideramos la existencia de ceros en el circuito y que también la ganancia $-g_m R_D$ no es del todo correcta ya que varía con la frecuencia.

En el análisis directo del circuito, sin usar la aproximación de Miller, podemos encontrar la función de transferencia exacta, la cual es de segundo orden:

$$\frac{V_{out}}{V_{in}}(s) = \frac{(C_{GD}s - g_m)R_D}{R_S R_D s^2 + [R_S(1 + g_m R_D)C_{GD} + R_S C_{GS} + R_D(C_{GD} + C_{DB})]s + 1}$$

También podemos usar la aproximación del polo dominante, asumiendo que $\omega_{p1} \ll \omega_{p2}$.

$$D = \left(\frac{s}{\omega_{p1}} + 1 \right) \left(\frac{s}{\omega_{p2}} + 1 \right)$$

$$= \frac{s^2}{\omega_{p1}\omega_{p2}} + \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}} \right) s + 1$$

Acá vemos que s es aproximadamente igual a $1/\omega_{p1}$ si ω_{p2} está mucho más lejos del origen. Siguiendo esto, podemos encontrar el polo dominante mediante ω_{p1} :

$$\omega_{p1} = \frac{1}{R_S(1 + g_m R_D)C_{GD} + R_S C_{GS} + R_D(C_{GD} + C_{DB})}$$

El cual es diferente al calculado por la aproximación de Miller solamente por $R_D(C_{GD} + C_{DB})$, que puede ser despreciado en algunos casos. Lo importante de esto es que asociar un polo con el nodo de entrada nos da una estimación aproximada con mucho menos esfuerzo. También notamos que la multiplicación de Miller de C_{GD} por la ganancia de baja frecuencia del amplificador es relativamente precisa, pero siempre debemos verificar que $\omega_{p2} \gg \omega_{p1}$.

Para la función de transferencia conseguida del análisis directo, podemos despejar el segundo polo del Common Source. Como s^2 es igual a $(\omega_{p1}\omega_{p2})^{-1}$, llegamos a que:

$$\omega_{p2} = \frac{1}{\omega_{p1}} \cdot \frac{1}{R_S R_D(C_{GS}C_{GD} + C_{GS}C_{DB} + C_{GD}C_{DB})}$$

$$= \frac{R_S(1 + g_m R_D)C_{GD} + R_S C_{GS} + R_D(C_{GD} + C_{DB})}{R_S R_D(C_{GS}C_{GD} + C_{GS}C_{DB} + C_{GD}C_{DB})}$$

Y si $\omega_{p1} \ll \omega_{p2}$

$$\omega_{p2} \approx \frac{R_S C_{GS}}{R_S R_D(C_{GS}C_{GD} + C_{GS}C_{DB})}$$

$$= \frac{1}{R_D(C_{GD} + C_{DB})}$$

La función de transferencia tiene un cero dado por $\omega_z = g_m / C_{GD}$ en el semiplano derecho, por un efecto no predicho por la aproximación de Miller. Este cero surge del acoplamiento directo de la entrada con la salida a través de C_{GD} , el cual proporciona un

camino de paso directo que conduce la señal de entrada hacia la salida a frecuencias muy altas, resultando en una pendiente en la repuestos en frecuencia que es menos negativa que -40dB/dec. Se puede ver que $g_m/C_{GD} > g_m/C_{GS}$ porque $C_{GD} < C_{GS}$, por lo que el cero esta despues de la frecuencia de corte del transistor.

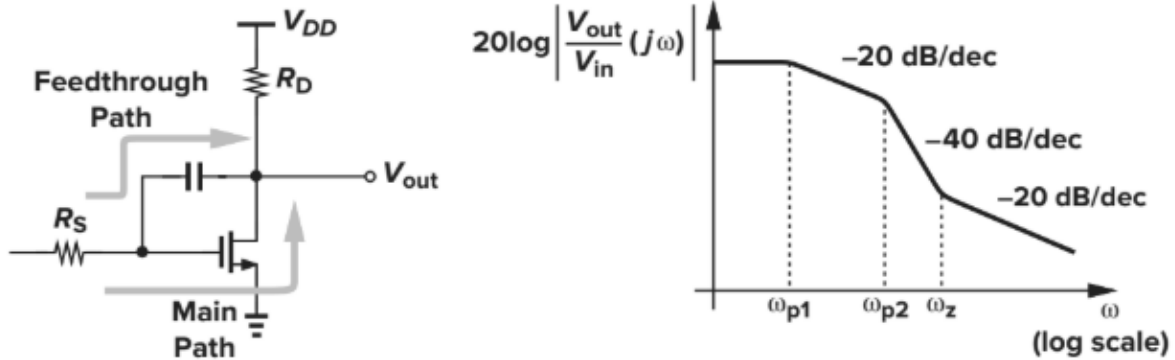


Figure 6.17 Feedforward path through C_{GD} (log-log scale).

Este cero tambien puede calcularse viendo que la función de transferencia debe caer a cero para $s=s_z$. Para un V_{in} finito, esto significa que $V_{out}(s_z)=0$, por lo que la salida puede ser cortocircuitada a tierra en esta frecuencia sin que fluya corriente a traves de R_D ni del cortocircuito. Por lo tanto las corrientes a traves de C_{GD} y M_1 son iguales y opuestas: $V_1 \cdot C_{GD} \cdot s_z = g_m \cdot V_1$, por lo que $s_z = g_m / C_{GD}$

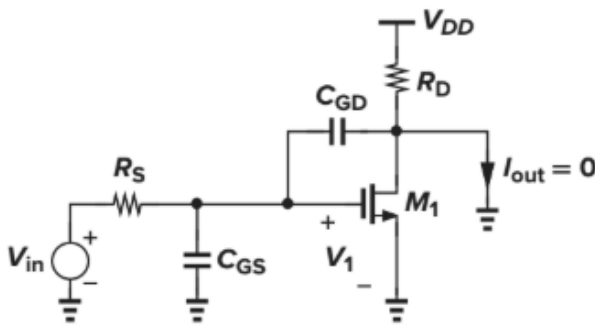


Figure 6.18 Calculation of the zero in a CS stage.

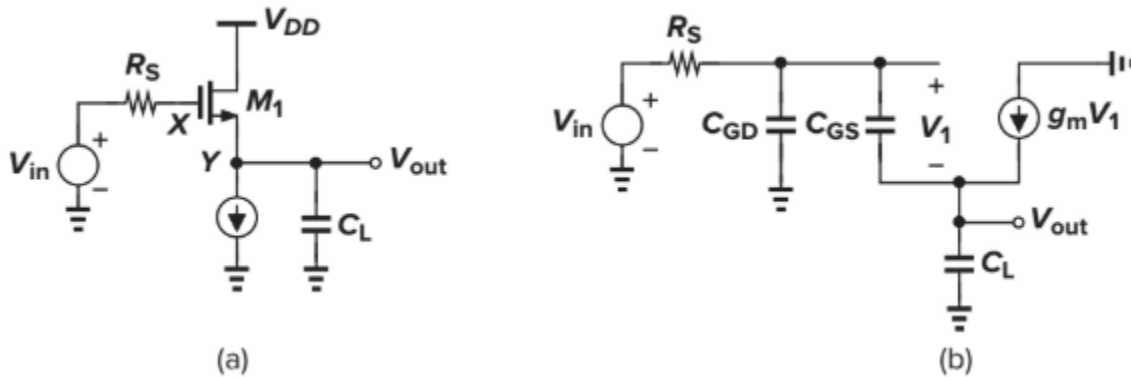
Para aplicaciones de alta velocidad, la impedancia de entrada es importante tambien. Para este tipo de etapa, usando la aproximación de Miller, tenemos que:

$$Z_{in} = \frac{1}{[C_{GS} + (1 + g_m R_D) C_{GD}]s}$$

Pero, en altas frecuencias, el efecto de la capacidad del nodo de salida debe tenerse en cuenta. Ignorando C_{GS} , agregamos la caída de tensión en el paralelo $R_D || (C_{DB} * s)^{-1}$ y C_{GD} , podemos llegar a que:

$$\frac{V_X}{I_X} = \frac{1 + R_D(C_{GD} + C_{DB})s}{C_{GD}s(1 + g_m R_D + R_D C_{DB}s)}$$

Source Followers:



Los seguidores de fuente suelen ser empleados como cambiadores de nivel o buffers, afectando la respuesta en frecuencia general. En el circuito, C_L es la capacitancia total vista desde el nodo de salida hacia tierra, incluyendo C_{SB1} . La fuerte interacción entre los nodos X e Y a través de C_{GS} hace difícil asociar un polo con cada nodo en un seguidor de fuente. Despreciando la modulación por longitud de canal y el efecto body para simplificar y usando el circuito equivalente (b), sumamos las corrientes en el nodo de salida:

$$V_1 C_{GS}s + g_m V_1 = V_{out} C_L s \quad (6.48)$$

obtaining

$$V_1 = \frac{C_L s}{g_m + C_{GS}s} V_{out} \quad (6.49)$$

Y como la tensión a través de C_{GD} es igual a $V_1 * V_{out}$ y arrancando desde V_{in} , sumamos las tensiones que cae en R_S con V_1 y V_{out}

$$V_{in} = R_S[V_1 C_{GS}s + (V_1 + V_{out})C_{GD}s] + V_1 + V_{out}$$

Sustituyendo V1:

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_m + C_{GS}s}{R_S(C_{GS}C_L + C_{GS}C_{GD} + C_{GD}C_L)s^2 + (g_m R_S C_{GD} + C_L + C_{GS})s + g_m}$$

Se ve que la función de transferencia contiene un cero en el semiplano izquierdo (cerca de F_T), esto es porque la señal conducida por C_{GS} a altas frecuencias se suma con la misma polaridad a la señal producida intrínsecamente por el transistor.

Si asumimos que los dos polos están muy lejos entre sí, el menor tiene una magnitud de:

$$\begin{aligned}\omega_{p1} &\approx \frac{g_m}{g_m R_S C_{GD} + C_L + C_{GS}} \\ &= \frac{1}{R_S C_{GD} + \frac{C_L + C_{GS}}{g_m}}\end{aligned}$$

Para calcular la impedancia de entrada del circuito, observamos que C_{GD} simplemente deriva la entrada y puede ignorarse inicialmente. Este circuito equivalente incluye el efecto body, pero la modulación por longitud de canal también puede añadirse reemplazando $1/g_{mb}$ con $(1/g_{mb}) \parallel r_o$. Sabiendo que la tensión de pequeña señal Gate-Source de M_1 es igual a $I_x/(C_{GS}s)$, dando una fuente de corriente de $g_m I_x/(C_{GS}s)$.

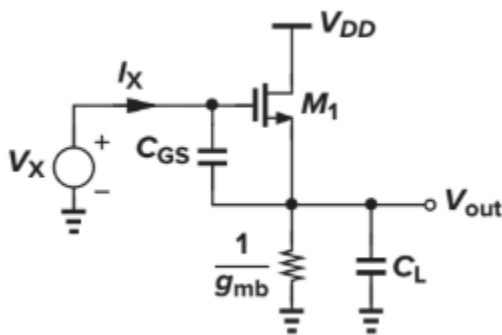


Figure 6.24 Calculation of source follower input impedance.

Empezando desde la entrada y sumando las tensiones tenemos que:

$$V_X = \frac{I_X}{C_{GS}s} + \left(I_X + \frac{g_m I_X}{C_{GS}s} \right) \left(\frac{1}{g_{mb}} \parallel \frac{1}{C_L s} \right)$$

that is

$$Z_{in} = \frac{1}{C_{GS}s} + \left(1 + \frac{g_m}{C_{GS}s} \right) \frac{1}{g_{mb} + C_L s}$$

Ahora, si $g_{mb}=0$ y $C_L=0$, entonces $Z_{in}=\infty$, porque C_{GS} esta completamente “bootstrapped” (quiere decir que esta como flotante, el voltaje entre compuerta y fuente se mantiene casi constante) por el seguidor de fuente y no extrae corriente de la entrada. A frecuencias relativamente bajas, $g_{mb} \gg C_L s$ y

$$Z_{in} \approx \frac{1}{C_{GS}s} \left(1 + \frac{g_m}{g_{mb}} \right) + \frac{1}{g_{mb}}$$

Mostrando que la capacidad de entrada equivalente es igual a $C_{GS} * g_{mb} / (g_m + g_{mb})$, bastante menor que C_{GS} . En otras palabras, la capacitancia de entrada total es igual a C_{GD} mas una fracción de C_{GS} , debido al bootstrapping.

Para altas frecuencias, $g_{mb} \ll C_L s$ y

$$Z_{in} \approx \frac{1}{C_{GS}s} + \frac{1}{C_L s} + \frac{g_m}{C_{GS} C_L s^2}$$

Para un determinado $s=j\omega$, la impedancia de entrada consiste en la combinación en serie de los capacitores C_{GS} y C_L y una resistencia negativa igual a $-g_m / (C_{GS} C_L \omega^2)$, la cual puede causar inestabilidad y es usada en osciladores.

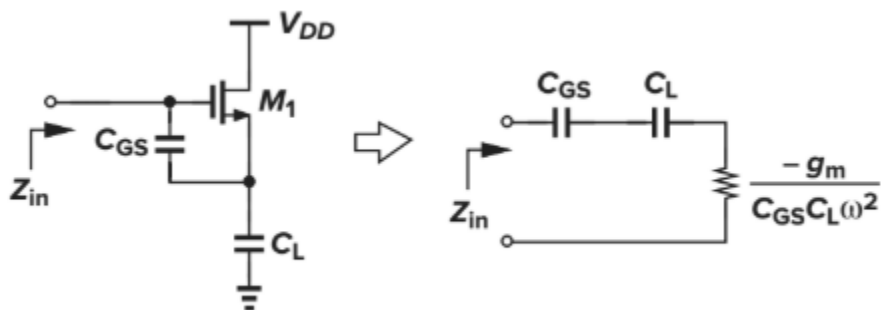
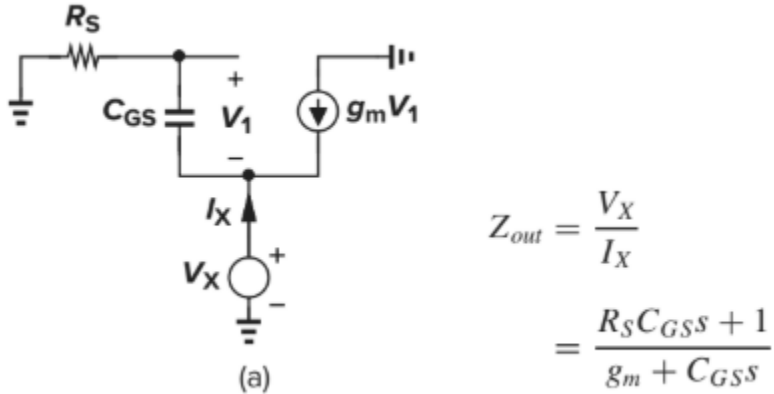


Figure 6.26 Negative resistance seen at the input of a source follower.

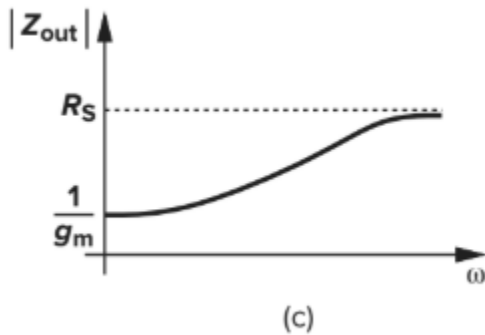
Para la impedancia de salida analizamos el siguiente circuito:



Esta impedancia de salida cambia en función de la frecuencia:

Para frecuencias bajas $\rightarrow Z_{out} = 1/g_m$

Para frecuencias muy altas $\rightarrow Z_{out} = R_S$ (C_{GS} cortocircuita gate y source)



Dado que la impedancia de salida aumenta con la frecuencia, podemos decir que esta tiene un componente inductivo. El valor de L se puede calcular representando a Z_{out} como una red pasiva de primer orden, donde luego de un desarrollo matemático

$$L = \frac{C_{GS}}{g_m} \left(R_S - \frac{1}{g_m} \right)$$

llegamos a que:

Common-Gate Stage:

En una etapa de compuerta común, los nodos de entrada y salida están aislados si se desprecia la modulación por largo de canal.

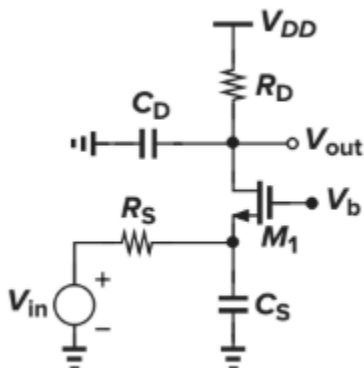


Figure 6.31 Common-gate stage at high frequencies.

La función de transferencia de este está dada por:

$$\frac{V_{out}(s)}{V_{in}} = \frac{(g_m + g_{mb})R_D}{1 + (g_m + g_{mb})R_S} \frac{1}{\left(1 + \frac{C_S}{g_m + g_{mb} + R_S^{-1}}s\right)(1 + R_D C_D s)}$$

Una propiedad interesante de este circuito es que no sufre de la multiplicación de capacitancias por el efecto Miller, logrando un ancho de banda amplio, aunque la baja impedancia de entrada puede cargar la etapa precedente. Además, dado a la caída de tensión en R_D suele maximizarse para obtener una ganancia razonable, el nivel de corriente continua de la señal de entrada debe ser bastante bajo. Por esto, este tipo de circuitos tiene dos aplicaciones principales:

- Como amplificador en casos que se requiere baja impedancia de entrada
- En etapas cascode

Si λ no es despreciable, los cálculos se vuelven bastante complejos. La impedancia de entrada de este tipo de circuitos depende de la carga de drenador cuando no se desprecia el efecto de modulación por largo de canal. Podemos expresar la impedancia de entrada como:

$$Z_{in} \approx \frac{Z_L}{(g_m + g_{mb})r_O} + \frac{1}{g_m + g_{mb}}$$

Donde $Z_L = R_D \parallel (1/C_D \cdot s)$. Como Z_{in} depende de Z_L , es difícil asociar un polo con el nodo de entrada.

El análisis que hicimos no tiene en cuenta que la red de polarización que provee la tensión de gate exhibe una impedancia finita, alterando la respuesta en frecuencia. Esta impedancia se modela como R_G .

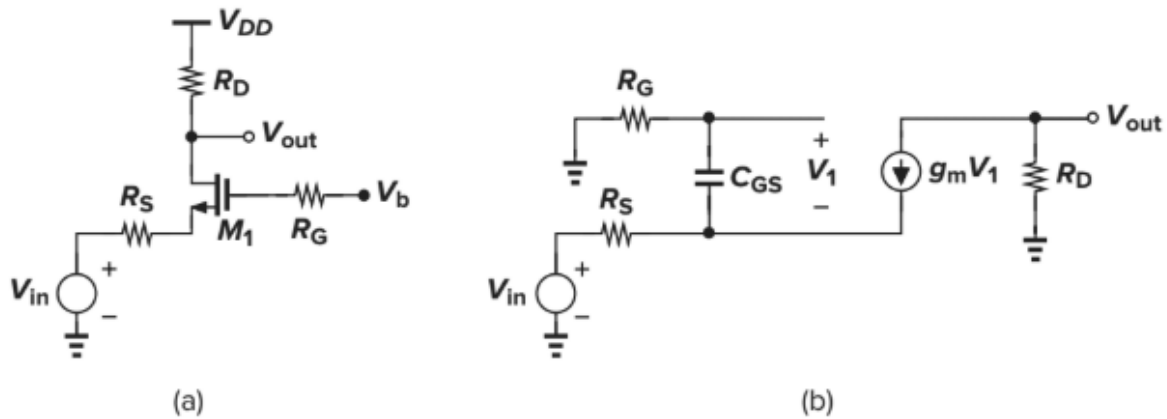


Figure 6.33 (a) CG stage with resistance in series with gate, and (b) equivalent circuit.

Si se incluyen todas las capacidades del dispositivo, la función de transferencia es de tercer orden, por lo que para simplificar consideramos solo a C_{GS} en (a) y solo C_{GD} en (b). La función de transferencia resulta ser:

$$\frac{V_{out}}{V_{in}} = \frac{g_m R_D}{(R_G + R_S)C_{GS}s + 1 + g_m R_S}$$

Y tiene un polo en:

$$\omega_p = \frac{1 + g_m R_S}{(R_G + R_S)C_{GS}}$$

Cascode Stage:

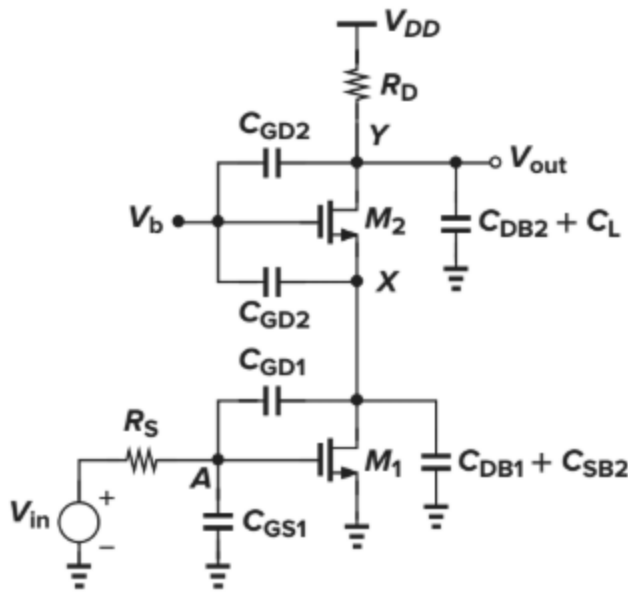


Figure 6.34 High-frequency model of a cascode stage.

Las capacidades que vemos en el nodo A son C_{GS1} conectado a tierra y C_{GD1} conectada al nodo X. En el nodo X podemos ver que C_{DB1} , C_{SB2} y C_{GS2} están conectadas a tierra y para el nodo Y, C_{DB2} , C_{GD2} y C_L están a tierra. El efecto Miller en C_{GD1} está determinado por la ganancia desde A hasta X. Como aproximación, usamos el valor de la ganancia de baja frecuencia, que para valores bajos de R_D es igual a $-g_{m1}/(g_{m2}+g_{mb2})$. Esto, si M1 y M2 son iguales, C_{GD1} es multiplicado aproximadamente por 2 en vez de serlo por la ganancia de un simple common source. Por lo tanto, decimos que el efecto Miller es menos significativo en amplificadores cascode que en etapas de fuente común. El polo asociado al nodo A se estima como:

$$\omega_{p,A} = \frac{1}{R_S \left[C_{GS1} + \left(1 + \frac{g_{m1}}{g_{m2} + g_{mb2}} \right) C_{GD1} \right]}$$

Y el polo atribuido al nodo X:

$$\omega_{p,X} = \frac{g_{m2} + g_{mb2}}{2C_{GD1} + C_{DB1} + C_{SB2} + C_{GS2}}$$

Finalmente, el nodo de salida produce un tercer polo:

$$\omega_{p,Y} = \frac{1}{R_D(C_{DB2} + C_L + C_{GD2})}$$

El plo atribuido a w_{PX} es típicamente más alto que los otros dos.

Si se cambia la resistencia R_D por una fuente de corriente, entonces la variación de la impedancia de salida es de interés, aunque la función de transferencia no se ve muy afectada por esto. Despreciando C_{GD1} y C_Y tenemos que:

$$Z_{out} = (1 + g_{m2} r_{o2}) Z_X + r_{o2}$$

$$\text{Donde } Z_X = r_{o1} \parallel (C_X s)^{-1}.$$

Por lo tanto, Z_{out} contiene un polo en $(r_{o1} C_X)^{-1}$ y decae a frecuencias más altas que este valor

Differential Pair:

Tenemos dos tipos de pares diferenciales para caracterizar en frecuencia:

Par diferencial con carga pasiva:

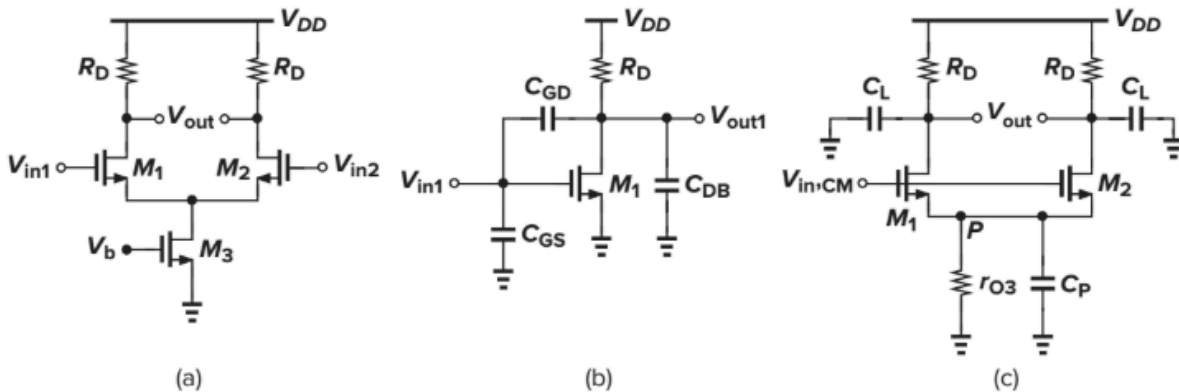


Figure 6.36 (a) Differential pair; (b) half-circuit equivalent; (c) equivalent circuit for common-mode inputs.

Para señales diferenciales, la respuesta es idéntica a la de una etapa de fuente común, exhibiendo la multiplicación por Miller de C_{GD} . Dado que $+V_{in}/2$ y $-V_{in}/2$ se multiplican por la misma función de transferencia, el número de polos en V_{out}/V_{in} es igual al de cada trayectoria (en vez de ser la suma del número de polos de las dos trayectorias).

Para señales de modo común, la capacidad total en el nodo P de la última figura determina las ganancias a altas frecuencias. Proveniente de C_{GD3} , C_{DB3} , C_{SB1} y C_{SB2} , esta capacidad puede ser bastante grande si M_1 - M_3 son transistores anchos. Si solo se

considera el mismatch entre M1 y M2, la ganancia en modo común a altas frecuencias

$$A_{CM-DM} = -\frac{\Delta g_m R_D}{(g_{m1} + g_{m2})R_{SS} + 1}$$

puede calcularse fácilmente a partir de

Si reemplazamos r_{o3} como $r_{o3} \parallel (1/C_P s)$ y R_D por $R_D \parallel (1/C_L s)$, donde C_L donde denota la capacida total vista desde el nodo de salida. Esta es:

$$A_{v,CM} = -\frac{\Delta g_m \left[R_D \parallel \left(\frac{1}{C_L s} \right) \right]}{(g_{m1} + g_{m2}) \left[r_{o3} \parallel \left(\frac{1}{C_P s} \right) \right] + 1}$$

Este resultado sugiere que el rechazo de modo común disminuye considerablemente a altas frecuencias. Para el CMRR:

$$\begin{aligned} \text{CMRR} &\approx \frac{g_m}{\Delta g_m} \left[1 + 2g_m \left(r_{o3} \parallel \frac{1}{C_P s} \right) \right] \\ &\approx \frac{g_m}{\Delta g_m} \frac{r_{o3} C_P s + 1 + 2g_m r_{o3}}{r_{o3} C_P s + 1} \end{aligned}$$

Donde $g_m = (g_{m1} + g_{m2})/2$. Esta función de transferencia contiene un cero en $(1+2g_m r_{o3})/(r_{o3} C_P)$ y un polo en $1/(r_{o3} C_P)$. Dado que $2g_m r_{o3} \gg 1$, la magnitud del cero es mucho mayor que la del polo y aproximadamente igual a $2^*g_m/C_P$. La respuesta del CMRR se ve de la siguiente manera:

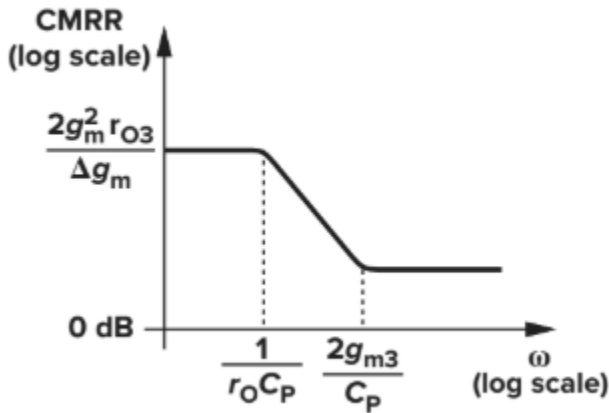


Figure 6.37 CMRR for a differential pair vs. frequency.

Es importante ver que la tensión de alimentación contiene ruido en alta frecuencia y el circuito muestra desajustes, la perturbación en modo común resultante en el nodo P se traduce en un componente de ruido diferencial en la salida. Este efecto se vuelve más pronunciado a medida que la frecuencia del ruido excede $1/(2\pi r_{o3} C_P)$. Sufre un compromiso entre el margen de voltaje y CMRR. Para minimizar el margen consumido por M3, se maximiza su ancho, introduciendo una capacitancia considerable en las fuentes de M1 y M2 y degradando el CMRR a altas frecuencias. El problema se vuelve mas grave para bajos voltajes de alimentación.

Ahora, para el caso de pares diferenciales con cargas de alta impedancia, realizamos el analisis para modo común y modo diferencial. Acá, C_L incluye la capacidad de juntura del drenador y la capacitancia de solapamiento compuerta-drenador de cada transistor PMOS también.

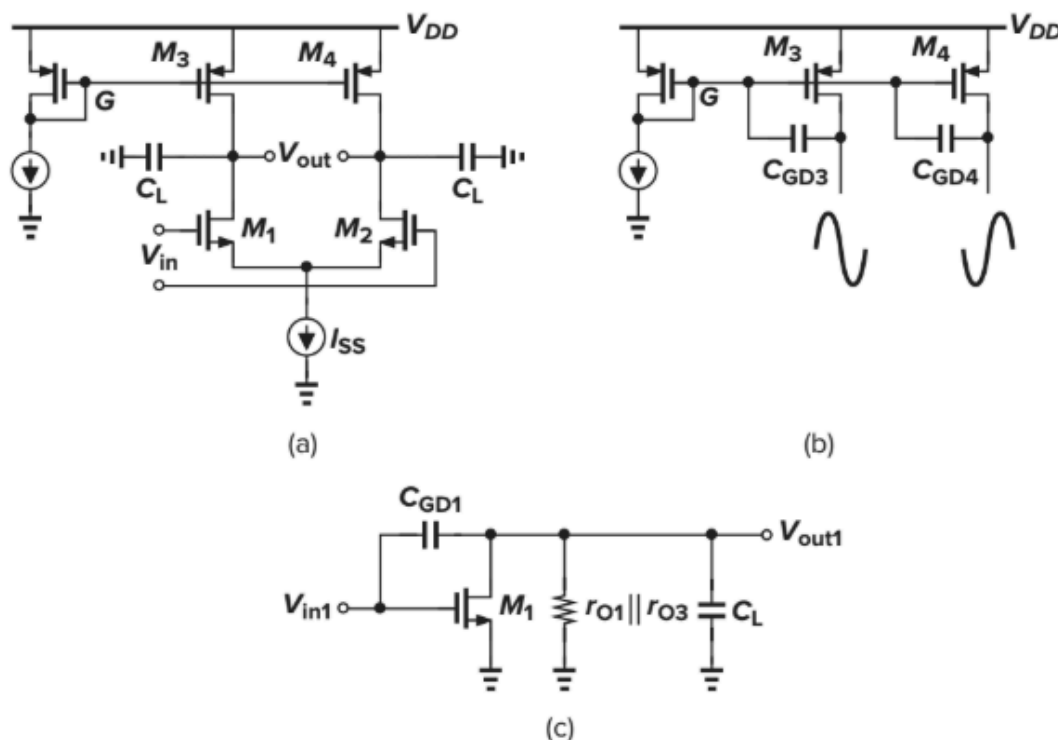


Figure 6.39 (a) Differential pair with current-source loads; (b) effect of differential swings at node G ; (c) half-circuit equivalent.

Para señales diferenciales, C_{GD3} y C_{GD4} conducen corrientes iguales y contrarias hacia al nodo G , haciendo que este nodo sea una tierra de CA. En el circuito de la ultima figura, se ven las resistencias de salida de M_1 y M_3 explícitamente, esta implica que puede aplicarse el reemplazo de R_L por $r_{o1} || r_{o3}$. En la practica, el valor relativamente alto de esta resistencia hace que el polo de salida, dado por $((r_{o1} || r_{o3}) C_L)^{-1}$, sea el polo dominante.

Par diferencial con carga activa:

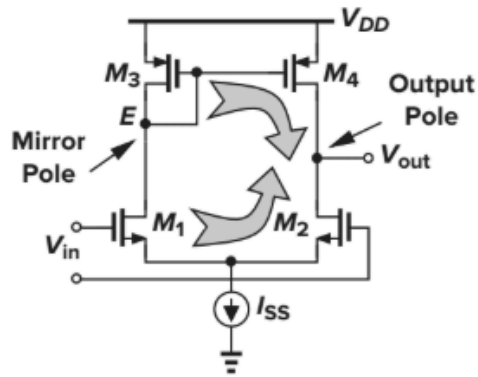


Figure 6.40 High-frequency behavior of differential pair with active current mirror.

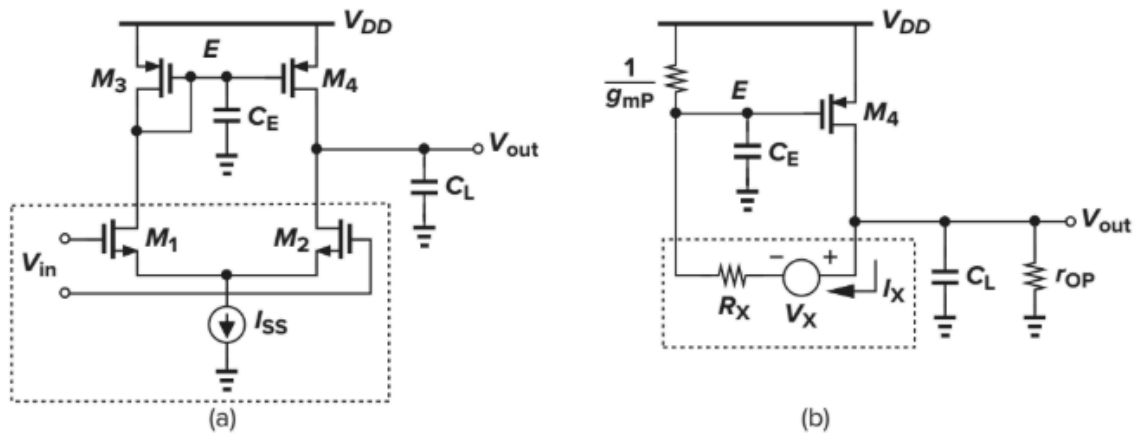


Figure 6.41 (a) Simplified high-frequency model of differential pair with active current mirror; (b) circuit of (a) with a Thevenin equivalent.

Esta topología contiene dos trayectorias de la señal con diferentes funciones de transferencia. La trayectoria que consiste en M3 y M4 incluye un polo en el nodo E, aproximadamente dado por gm_3/C_E , donde C_E es la capacitancia total desde E a masa. Esta capacidad proviene de C_{GS3} , C_{GS4} , C_{DB3} , C_{DB1} y del efecto Miller de C_{GD1} y C_{GD4} . Incluso si solo se consideran C_{GS3} y C_{GS4} , el severo compromiso entre gm y C_{GS} de los dispositivos PMOS da como resultado un polo que impacta el rendimiento del circuito. El plo asociado con el nodo E se denomina un “polo espejo”. Para estimar la repuestosta en frecuencia del par diferencial con un espejo de corriente activo, construimos el modelo simplificado mostrado en la segunda figura, donde se desprecian las demas capacidades. Desarrollando algebraicamente llegamos a la función de transferencia:

$$\frac{V_{out}}{V_{in}} = \frac{g_{mN}r_{ON}(2g_{mP} + C_E s)r_{OP}}{2r_{OP}r_{ON}C_EC_Ls^2 + [(2r_{ON} + r_{OP})C_E + r_{OP}(1 + 2g_{mP}r_{ON})C_L]s + 2g_{mP}(r_{ON} + r_{OP})} \quad (6.91)$$

Donde el polo espejo es tipicamente mucho mas alto que la magnitud del polo de salida y podemos escribir:

$$\omega_{p1} \approx \frac{2g_{mP}(r_{ON} + r_{OP})}{(2r_{ON} + r_{OP})C_E + r_{OP}(1 + 2g_{mP}r_{ON})C_L}$$

Asumiendo que $2g_{mP} \cdot r_{ON} \gg 1$, tenemos que:

$$\omega_{p1} \approx \frac{1}{(r_{ON} \parallel r_{OP})C_L}$$

$$\omega_{p2} \approx \frac{g_{mP}}{C_E}$$

El segundo polo esta dado por:

Es interesante notar que hay un polo con una magnitud de $2g_{mP}/C_E$ en el lado izquierdo del semiplano. Esto puede entenderse como una trayectoria lenta (m_1, m_3 y m_4) en paralelo con una trayectoria rapida (M_1 y M_2). Representando a las dos por $A_0/((1 + s/\omega_{p1})(1+s/\omega_{p2}))$ y $A_0/(1 + s/\omega_{p1})$, tenemos:

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{A_0}{1 + s/\omega_{p1}} \left(\frac{1}{1 + s/\omega_{p2}} + 1 \right) \\ &= \frac{A_0(2 + s/\omega_{p2})}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \end{aligned}$$

Donde el sistema exhibe un cero en $2\omega_{p2}$

Comparando los circuitos de las Figs. 6.39(a) y 6.40, concluimos que el primero no implica un **polo espejo**, otra ventaja de los circuitos totalmente diferenciales sobre las topologías de un solo extremo.

Problems from Razavi's textbook:

Solve these problems from Razavi's textbook:

Chapter 6 Problem 6.3

Chapter 6 Problem 6.5

Use Table 2.1 transistor parameters and use $E=1\mu\text{m}$ for C_{db} and C_{sb} calculations (in formula 2.40 page 29 of textbook).

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = $9e+14$	LD = $0.08e-6$	UO = 350	LAMBDA = 0.1
TOX = $9e-9$	PB = 0.9	CJ = $0.56e-3$	CJSW = $0.35e-11$
MJ = 0.45	MJSW = 0.2	CGDO = $0.4e-9$	JS = $1.0e-8$
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = $5e+14$	LD = $0.09e-6$	UO = 100	LAMBDA = 0.2
TOX = $9e-9$	PB = 0.9	CJ = $0.94e-3$	CJSW = $0.32e-11$
MJ = 0.5	MJSW = 0.3	CGDO = $0.3e-9$	JS = $0.5e-8$

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body-effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate-oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $\text{cm}^2/\text{V}\cdot\text{s}$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)

6.3. The CS stage of Fig. 6.13 is designed with $(W/L)_1 = 50/0.5$, $R_S = 1\text{ k}$, and $R_D = 2\text{ k}$. If $I_{D1} = 1\text{ mA}$, determine the poles and the zero of the circuit.

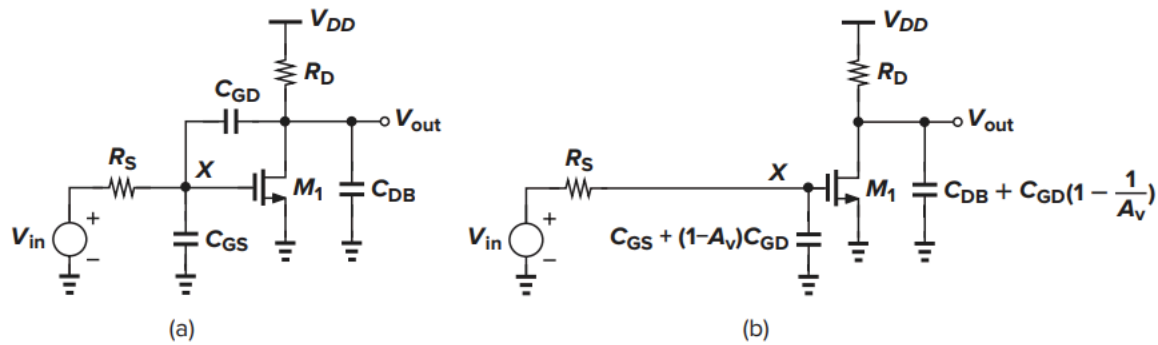


Figure 6.13 (a) High-frequency model of a common-source stage, and (b) simplified circuit using Miller's approximation.

6.5. A source follower employing an NFET with $W/L = 50/0.5$ and a bias current of 1 mA is driven by a source impedance of 10 k. Calculate the equivalent inductance seen at the output.

Simulation assignment: Construct the circuit in problem 6.3 in LTSpice and simulate the frequency response and the 3dB bandwidth. Use as example the circuit "MeasureBW" in the LTSpice example circuits that came with the installation (C:/Program Files/LTC/LTSpiceIV/examples/Educational/MeasureBW). Please read the description and the .measure statements on the schematic page.

Contact me if you have any issues using these file formats or with the submission process.

Question 1

Problem 6.3: Enter the calculated L_{eff} ($L_{eff} = L - 2 \cdot L_D$); units=um

$$L_{EFF} = 0.5 - 2 \cdot 0.08 = 0.34 \text{ um}$$

Question 2

Problem 6.3: Enter the calculated value for $\frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot (W/L_{eff})$ (mA/V²)

$$a = 0.5 \cdot \mu_{0N} \cdot 1000 \cdot C_{ox} \cdot (W/L_{eff}) = 9.8721 \text{ mA/V}^2$$

Question 3

Problem 6.3: Enter the calculated value for $(V_{gs} - V_{th})$; your calculations should include the channel length modulation λ

$$V_{DS} = V_{Drain} - V_{Source} = V_{DD} - I_{D1} \cdot R_D - 0V = 3V - 2V - 0V = 1V$$

```

Vds = 3 - 2 - 0;
Vgs1=sqrt(2*Id/(UON*Cox*W/Leff*(1+LAMBDAn*Vds)))+VTOn
Vov = Vgs1 - VTOn

```

$$V_{GS} = \sqrt{\frac{2 \cdot I_D}{U_0 \cdot C_{ox} \cdot 1000 \cdot (W/L) \cdot (1 + \lambda \cdot V_{DS})}} + V_{th} = 1.0035 \text{ V}$$

$$V_{GS} - V_{th} = 0.3035 \text{ V}$$

Question 4

Problem 6.3: Enter the calculated value for gm (units = mA/V)

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \quad (2.30)$$

$$= \sqrt{2 \mu_n C_{ox} (W/L) I_D (1 + \lambda V_{DS})} \quad (2.31)$$

Usando Leff:

```

%Question 4 sin Leff
gmeff = sqrt(2*Idm*UON*Cox*(W/Leff)*1000*(1+Vds*LAMBDAn));
gmaeff = gmeff/1000;

```

gm= 6.5907 mA/V

Question 5

Problem 6.3: Enter the calculated value for $2 \cdot W \cdot Leff \cdot Cox/3$ (fF)

```

b = 2* W1 * Leff*1e-6 * Cox/3; %en Faradios
bf = b*1e15

```

bf = b*1e15 = 43.4747 fF

Question 6

Problem 6.3: Enter the calculated value for the total overlap capacitance, Cov in fF (C_ov per unit width * W)

```
CGDOf = CGD0 * 1e15;
CGS0 = CGDOf
Coverlap= (CGD0+CGS0)*1e15 *W1; % pasamos a fentafaradios y
multiplicamos por metros
```

C_{ov} = 40 fF

Question 7

Problem 6.3: Enter the calculated value for Cgs in fF

$$C_{GS} = 2WL_{eff}C_{ox}/3 + WC_{ov}.$$

```
Cgs_prima = (2*W1*Leff*1e-6*Cox/3);
Cgs_primaF= Cgs_prima *1e15;
Cgs = Cgs_primaF + W1*CGDOf*2 %lleva Cgdof*2 porque es Coverlap
```

C_{GS}= 83.4747 fF

Question 8

Problem 6.3: Enter the calculated value for Cgd in fF

$$C_{gd} = W1*CGDOf$$

C_{GD} = W * C_{GDO} = 20 fF

Question 9

Problem 6.3: Enter the calculated value for Cdb=Csb in fF

Solution

For the transistor in Fig. 2.33(a), we have

$$C_{DB} = C_{SB} = WEC_j + 2(W + E)C_{jsw} \quad (2.40)$$

whereas for that in Fig. 2.33(b),

$$C_{DB} = \frac{W}{2}EC_j + 2\left(\frac{W}{2} + E\right)C_{jsw} \quad (2.41)$$

$$C_{SB} = 2\left[\frac{W}{2}EC_j + 2\left(\frac{W}{2} + E\right)C_{jsw}\right] \quad (2.42)$$

$$= WEC_j + 2(W + 2E)C_{jsw} \quad (2.43)$$

$$C_{dbFaradios} = W1 * E * C_J + (2 * (W1 + E) * C_{JSW})$$

$$C_{db} = C_{dbFaradios} * 1e15 = 28.3570$$

$$C_{DB} = C_{SB} = W1 * LD * C_J + 2 * (W1 + LD) * C_{JSW} = 28.3570 \text{ fF}$$

Question 10

Problem 6.3: Enter the calculated value for the frequency response zero. Enter the equivalent value in GHz instead of rad/sec.

$$w_{zero} = g_{maeff} / C_{gda};$$

$$w_z = w_{zero} / (2 * \pi * 1e9)$$

$$W_z = g_m / C_{gd} = 52.4470 \text{ GHz}$$

Question 11

Problem 6.3: Enter the calculated value for the frequency response input pole. Enter the equivalent value in GHz instead of rad/sec.

$$\omega_{in} = \frac{1}{R_S [C_{GS} + (1 + g_m R_D) C_{GD}]}$$

```
wineff = 1 / (Rs*(Cgsa + (1+gmaeff*Rd)*Cgda));
winaeff = win/ (2*pi*1e9)
```

Win = 0.4335 GHz

Question 12

Problem 6.3: Enter the calculated value for the frequency response output pole. Enter the equivalent value in GHz instead of rad/sec.

$$\omega_{out} = \frac{1}{R_D(C_{DB} + C_{GD})}$$

```
wout = 1 / (Rd* (CdbFaradios + Cgda))
wouta = wout / (2*pi*1e9)
```

Wout = 1.6456 GHz

6.5. A source follower employing an NFET with $W/L = 50/0.5$ and a bias current of 1 mA is driven by a source impedance of 10 k. Calculate the equivalent inductance seen at the output.

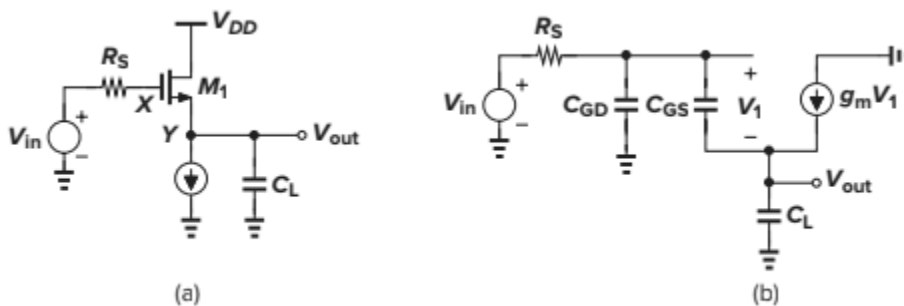


Figure 6.22 (a) Source follower; (b) high-frequency equivalent circuit.

Question 13

Problem 6.5: Enter the calculated value for L_{eff} ($L_{eff} = L - 2*LD$), use units of μm

```
Leff = L - 2*LD;
```


$$L_{EFF} = 0.34 \text{ } \mu\text{m}$$

Question 14

Problem 6.5: Enter the calculated value for $(V_{gs}-V_{th})$; neglect channel length modulation for this calculation. Use units of (V).

$$\begin{aligned} V_{gs2} &= \sqrt{2 \cdot I_d / (U_{ON} \cdot C_{ox} \cdot W / L_{eff})} + V_{T0n}; \\ V_{ov} &= V_{gs2} - V_{T0n}; \\ V_{ov} &= 0.3183 \text{ V} \end{aligned}$$

Question 15

Problem 6.5: Enter the calculated value for g_m in (mA/V)

$$\begin{aligned} g_{m2eff} &= \sqrt{2 \cdot U_{ON} \cdot C_{ox} \cdot 1000 \cdot (W_1 / L_{effm}) \cdot I_{dm}} \\ g_m &= 6.2840 \text{ mA/V} \end{aligned}$$

Question 16

Problem 6.5: Enter the calculated value for overlap capacitance, C_{ov} in fF (C_{ov} per unit width * W)

$$\begin{aligned} CGD0f2 &= CGD0 \cdot 1e15; \\ Coverlap2 &= (CGD0f2^2) \cdot 1e15 \cdot W_1 \text{ \% pasamos a fentafaradios y} \\ &\text{multiplicamos por metros} \end{aligned}$$

$$C_{OVERLAP} = 40 \text{ fF}$$

Question 17

Problem 6.5: Enter the calculated value for C_{gs} in fF

$$\begin{aligned} C_{gs_prima} &= (2 \cdot W_1 \cdot L_{eff} \cdot 1e-6 \cdot C_{ox} / 3); \\ C_{gs_prima f} &= C_{gs_prima} \cdot 1e15; \\ C_{gs} &= C_{gs_prima f} + W_1 \cdot CGD0f2; \\ C_{gsa} &= C_{gs} \cdot 1e-15; \end{aligned}$$

$$C_{GS} = 83.4747 \text{ fF}$$

Question 18

Problem 6.5: Enter the calculated value for the equivalent inductance (you may find useful the formula 6.67 in the textbook). Use units of nH.

$$L = \frac{C_{GS}}{g_m} \left(R_S - \frac{1}{g_m} \right)$$

%Question 18

```
gm2aeff= gm2eff/1000;
```

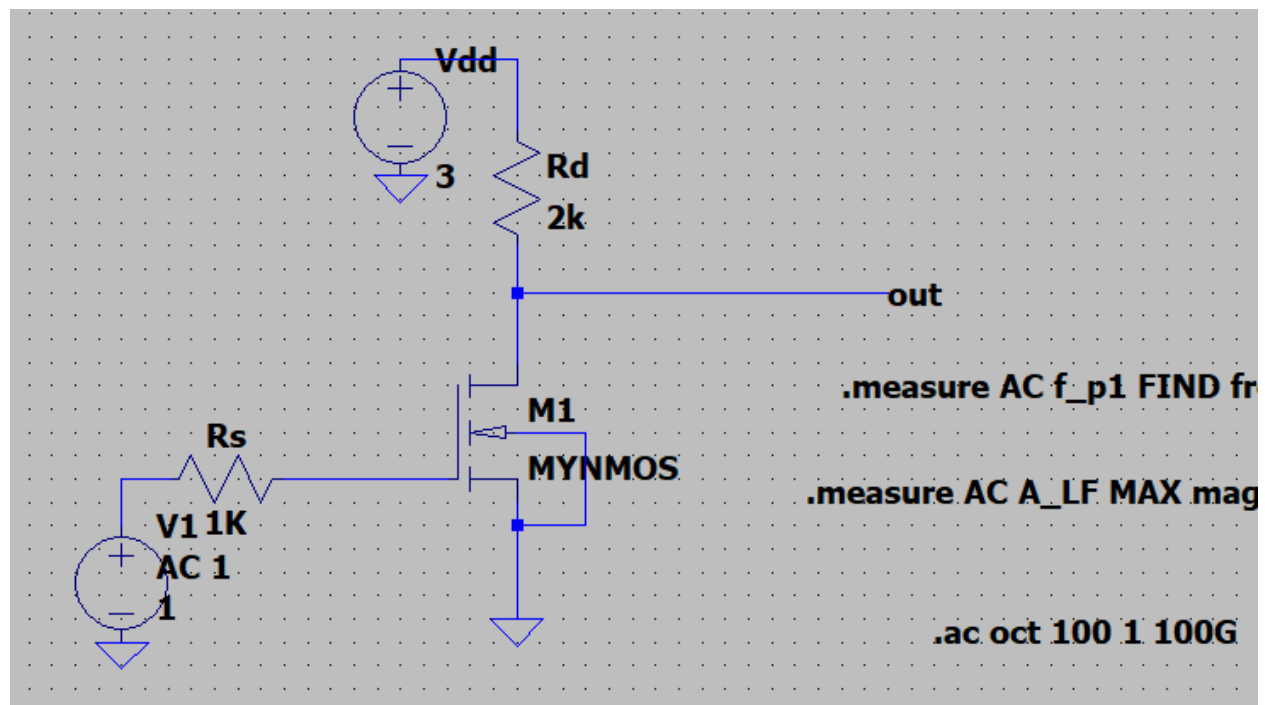
```
L_gmeff = (Cgsa/ gm2aeff)*(10000 - (1/gm2eff));
```

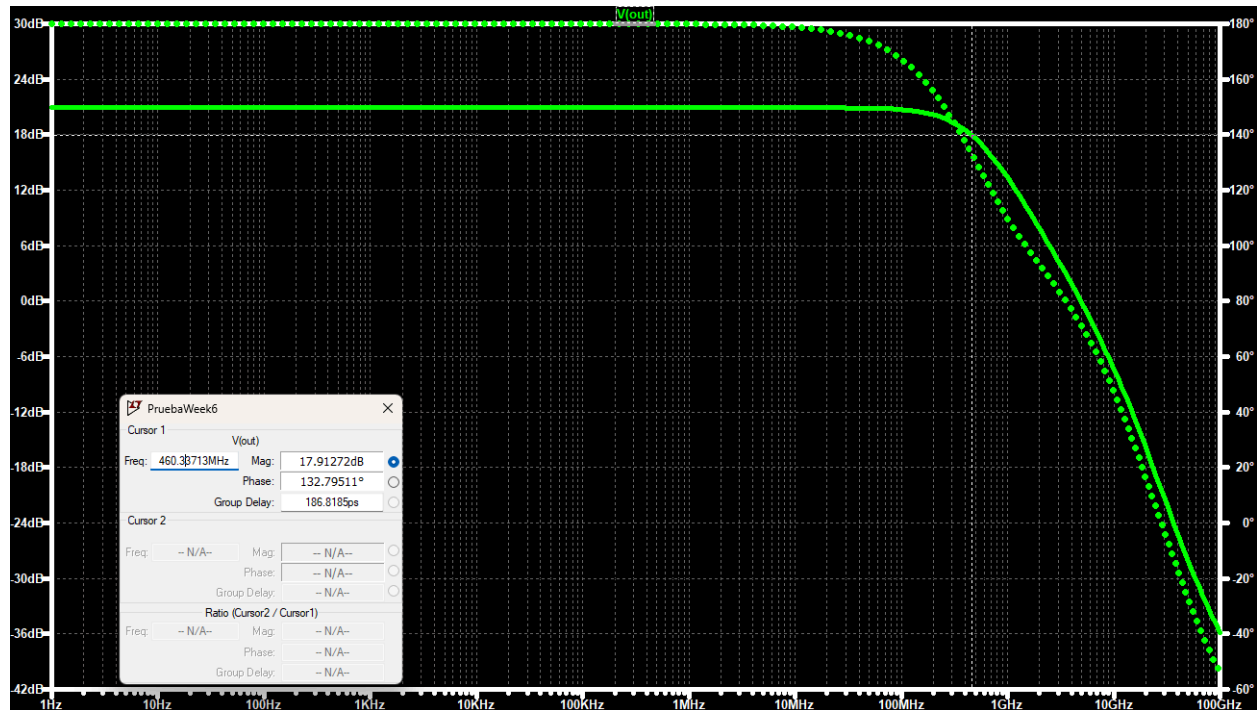
```
Ln= L_gmeff * 1e9
```

Ln = 132.8354 nHy

Question 19

Simulation assignment: Enter the simulated 3dB bandwidth of the circuit. Use units of GHz





El ancho de banda es de aproximadamente 460MHz, desde 0Hz a 460MHz, donde caen 3dB.