

2E200 : Electronique Numérique, Combinatoire et Séquentielle

Bertrand Granado

LIP6 / Sorbonne Université / Faculté des Sciences
Contact : Bertrand.Granado@sorbonne-universite.fr

March 29, 2019



Plan

1 Les composants séquentiels

Plan

- 1 Les composants séquentiels
 - Le contrôle, le traitement Pipeliné
 - What else ?

Plan

- 1 Les composants séquentiels
 - Le contrôle, le traitement Pipeliné
 - What else ?

Le contrôle

- Contrôle du flux des données

Le contrôle

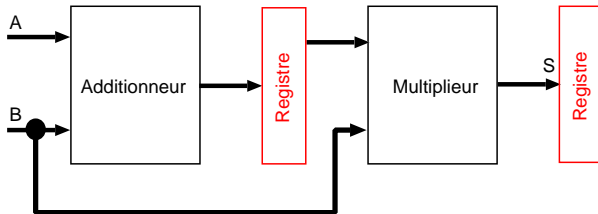
- Contrôle du flux des données
- Un registre entre 2 opérateurs

Le contrôle

- Contrôle du flux des données
- Un registre entre 2 opérateurs
- Réalisation d'un pipeline

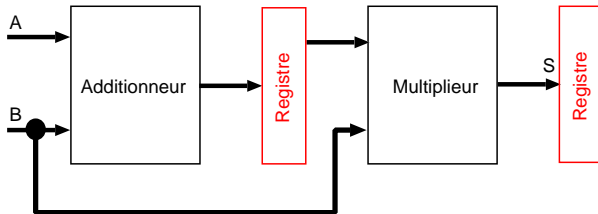
Le contrôle

- Contrôle du flux des données
- Un registre entre 2 opérateurs
- Réalisation d'un pipeline



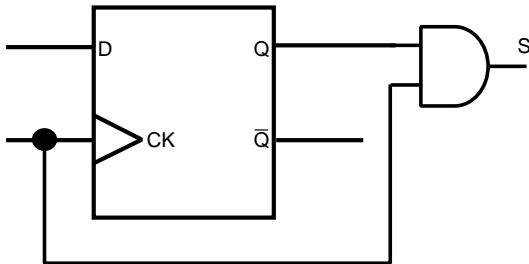
Le contrôle

- Contrôle du flux des données
- Un registre entre 2 opérateurs
- Réalisation d'un pipeline



- $S_n = (A_{n-1} + B_{n-1}) * B_n$

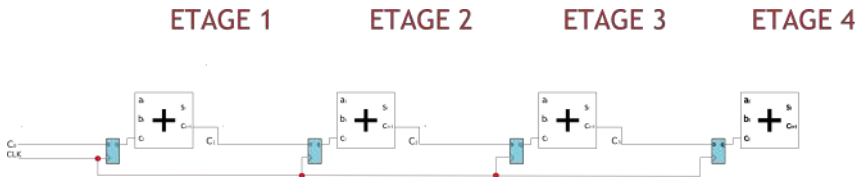
Les Aléas



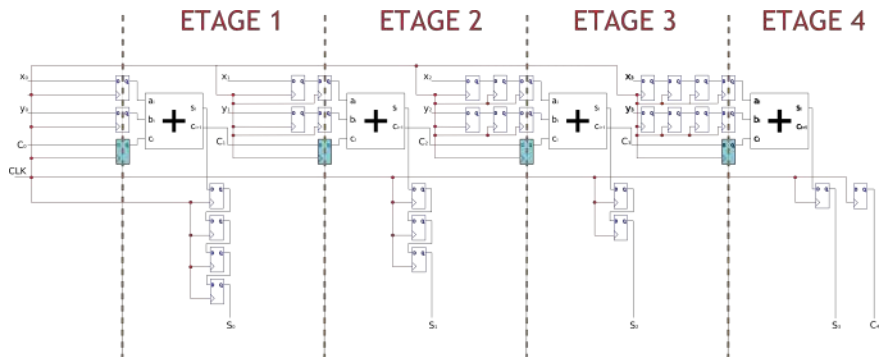
Pipeline



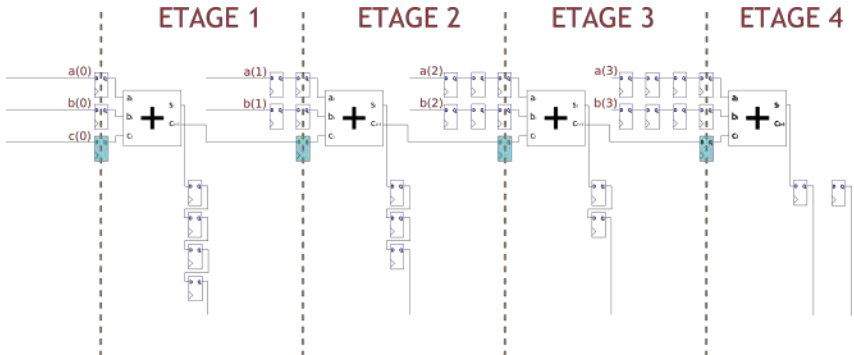
Pipeline



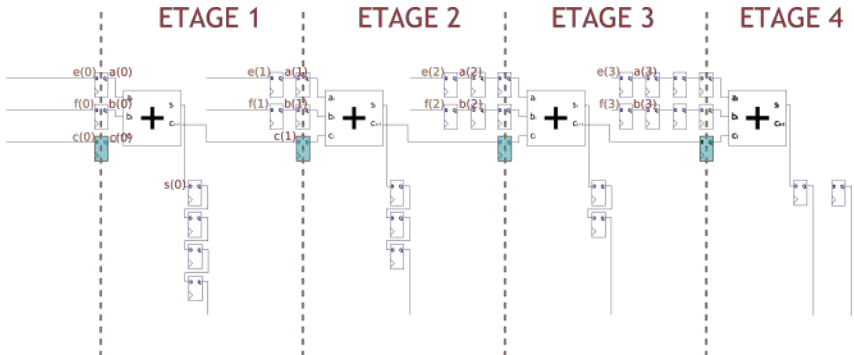
Pipeline



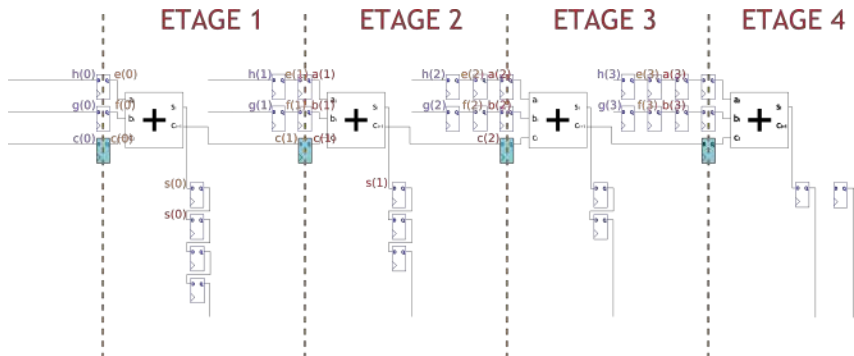
Pipeline - Simulation



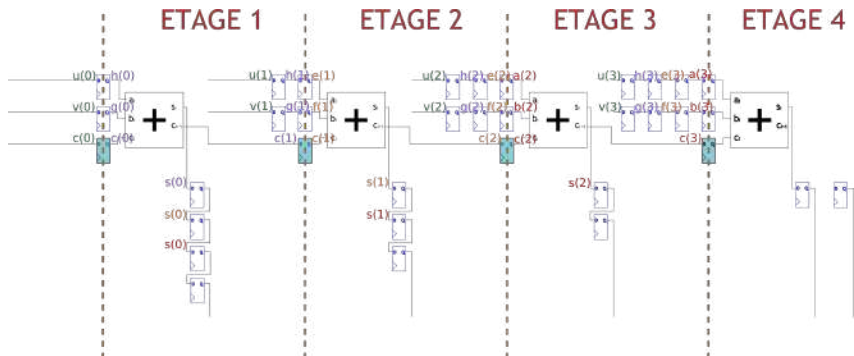
Pipeline - Simulation



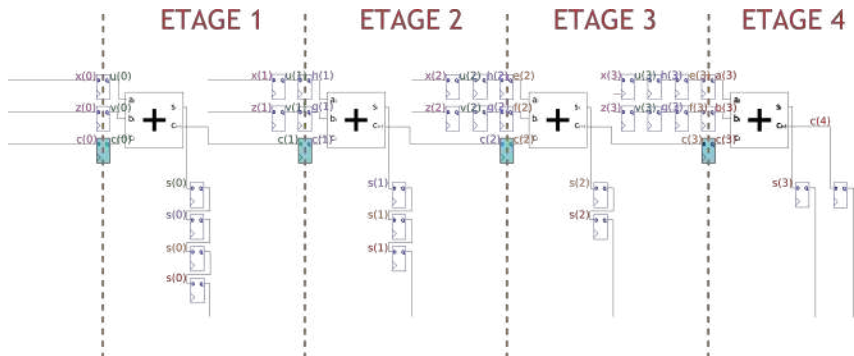
Pipeline - Simulation



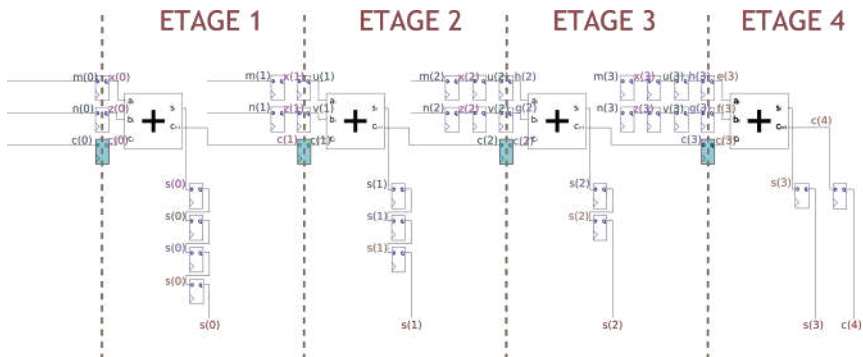
Pipeline - Simulation



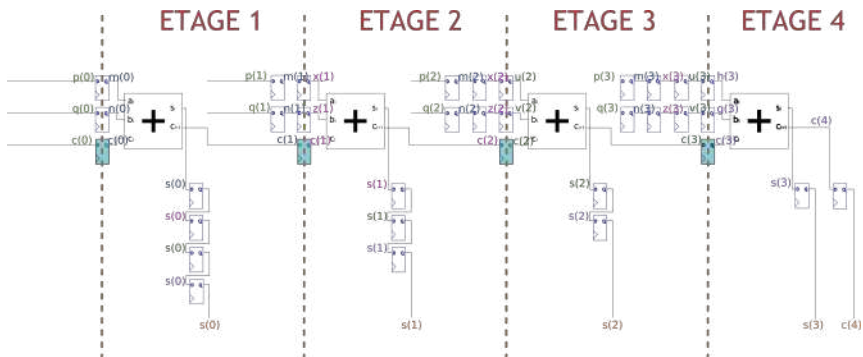
Pipeline - Simulation



Pipeline - Simulation



Pipeline - Simulation



Pipeline

Principe :

Découper l'opérateur en plusieurs étages isolés les uns des autres. C'est le signal d'horloge qui autorise le transfert des données d'un étage à l'autre. Cette technique permet d'accélérer la cadence de production des résultats.

Latence

La latence (durée d'exécution totale) de l'opérateur est supérieure d'au moins ϵ à celle d'un opérateur non pipelinée. Si la durée maximale d'un étage de l'opérateur pipeliné est de t_{max} et qu'il y a n étages, alors la latence de l'opérateur est $T = n * t_{clk}$ avec $t_{clk} > t_{max} + t_h + t_s$ avec t_s et t_h les temps de prépositionnement et de maintien des bascules.

Plan

- 1 Les composants séquentiels
 - Le contrôle, le traitement Pipeliné
 - What else ?

Les portes 3 états

- Boole = 2 états : 0 et 1

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution :

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution : multiplexeur

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution : multiplexeur **encombrant**

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution : multiplexeur **encombrant**
- Troisième Solution : Composant d'interface

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution : multiplexeur **encombrant**
- Troisième Solution : Composant d'interface La porte 3 états

Les portes 3 états

- Boole = 2 états : 0 et 1
- Connexion de 2 composants sur le même fil ?
- Première Solution : Court Circuit **PERDU**
- Seconde Solution : multiplexeur **encombrant**
- Troisième Solution : Composant d'interface La porte 3 états **GAGNE**

Les portes 3 états

- Introduction d'un Etat Z

Les portes 3 états

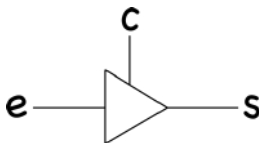
- Introduction d'un Etat Z
- Etat Haute Impédance

Les portes 3 états

- Introduction d'un Etat Z
- Etat Haute Impédance
- Tout ce passe comme si le fil n'était pas connecté

Les portes 3 états

- Introduction d'un Etat Z
- Etat Haute Impédance
- Tout ce passe comme si le fil n'était pas connecté



- Table de vérité

e	c	s
0	0	Z
0	1	0
1	0	Z
1	1	1

Vhdl : registre

```
library ieee;
use ieee.std_logic_1164.all;

entity reg8generic is
generic (N : natural := 8);
port ( d :in std_logic_vector(N-1 downto 0);
      en, clk : in std_logic;
      q: out std_logic_vector(N-1 downto 0) );
end entity reg8generic;

architecture comport of reg8generic is
begin
  stockage : process(d,en,clk) is
  begin
    if (clk='1' and clk'event) then
      if en = '1' then
        q <= d;
      else
        q<= (others=>'Z');
      end if;
    end if;
  end process stockage;
end architecture comport;
```

Les mémoires

- Association de plusieurs Registres

Les mémoires

- Association de plusieurs Registres
- Utilisation de Bascules D souvent

Les mémoires

- Association de plusieurs Registres
- Utilisation de Bascules D souvent
- Mémoires Asynchrones \Rightarrow Bascules Asynchrones

Les mémoires

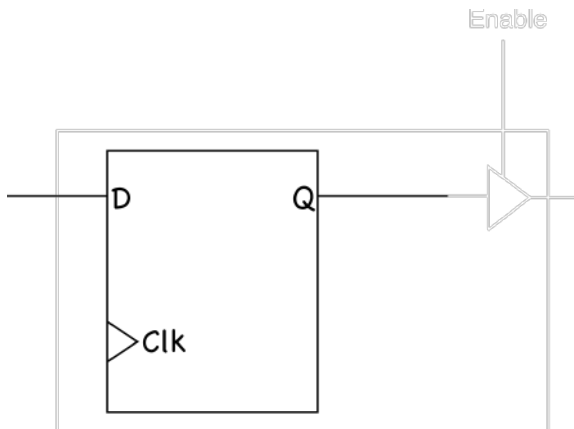
- Association de plusieurs Registres
- Utilisation de Bascules D souvent
- Mémoires Asynchrones \Rightarrow Bascules Asynchrones
- Mémoires Synchrones \Rightarrow Bascules Synchrones

Les mémoires

- Association de plusieurs Registres
- Utilisation de Bascules D souvent
- Mémoires Asynchrones \Rightarrow Bascules Asynchrones
- Mémoires Synchrones \Rightarrow Bascules Synchrones
- Ajout d'une entrée de sélection

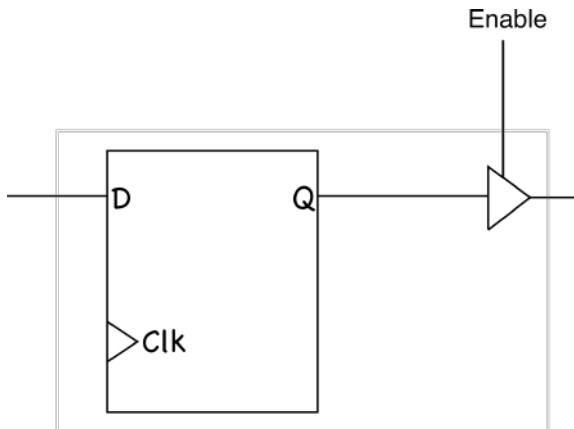
Les mémoires

- Sélection \Rightarrow sortie 3 états



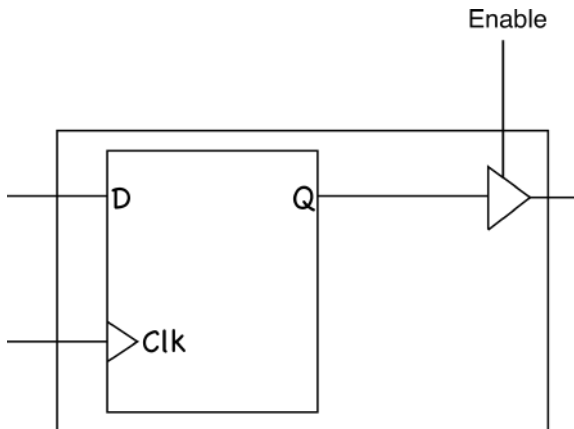
Les mémoires

- Sélection \Rightarrow sortie 3 états



Les mémoires

- Sélection \Rightarrow sortie 3 états

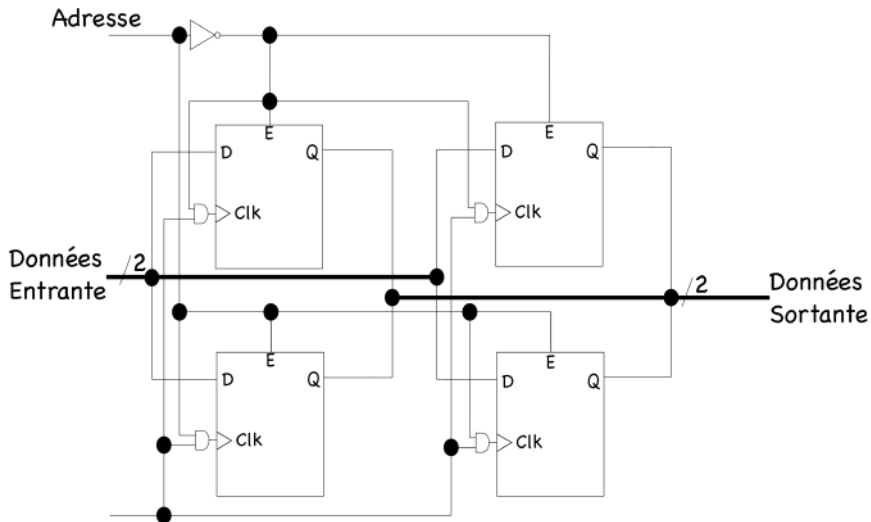


Les mémoires

- Mémoire 2 mots de 2 bits

Les mémoires

- Mémoire 2 mots de 2 bits



Les monostables

Monostable simple

- Circuit ne possédant qu'un état stable

Monostable simple

- Circuit ne possédant qu'un état stable
- Souvent :

Monostable simple

- Circuit ne possédant qu'un état stable

	Q	\overline{Q}	Etat
• Souvent :	0	1	Stable
	1	0	Quasi Stable

Monostable simple

- Circuit ne possédant qu'un état stable

	Q	\overline{Q}	Etat
• Souvent :	0	1	Stable
	1	0	Quasi Stable

- Etat Quasi Stable est momentané

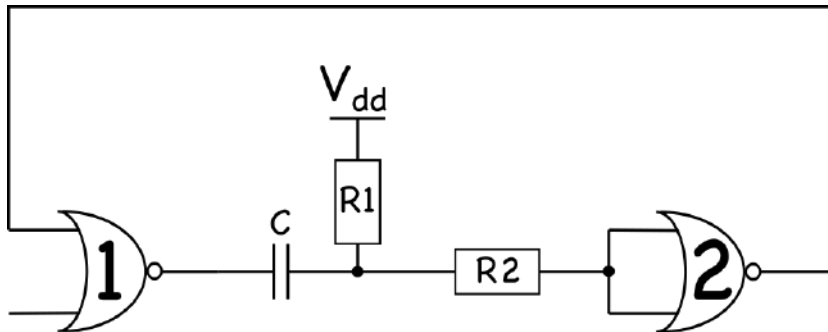
Monostable simple

- Circuit ne possédant qu'un état stable

	Q	\overline{Q}	Etat
• Souvent :	0	1	Stable
	1	0	Quasi Stable

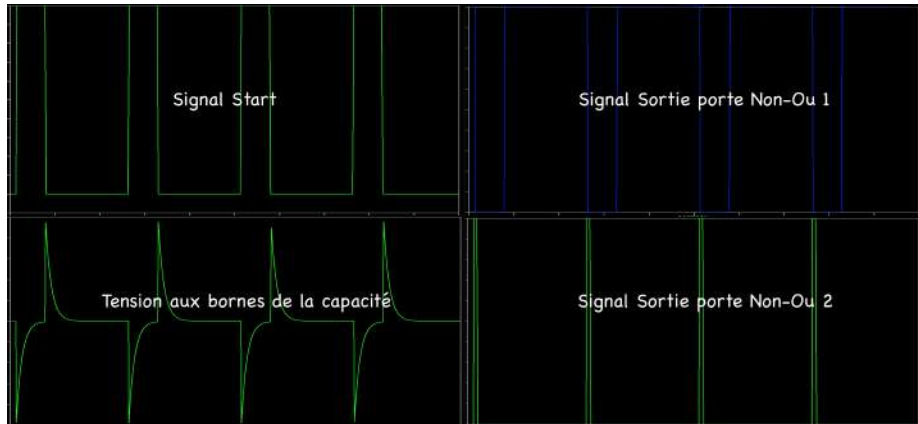
- Etat Quasi Stable est momentané
- Durée Quasi Stable fixée par circuit RC, durée proportionnelle au temps de charge de la capacité C à travers une résistance R.

Monostable à base de portes non-ou et d'éléments passifs

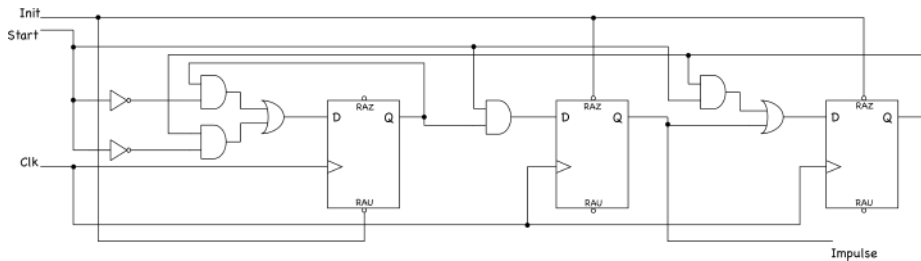


Monostable à base de portes non-ou et d'éléments passifs

- Montage avec $C = 0,01nF$ et $R1 = R2 = 10k\Omega$



Monostable à base de bascules D



Monostable à base de bascules D

- Simulation en utilisant des bascules D actives sur front montant et une horloge Clk de période $T_{Clk} = 20ns$

