

Proyecto Integrador



Autor

Gomez, Roberto Pablo - Lovaisa Micheliní Valeria

Tema

**Implementación de un sistema SoC con microprocesado
Soft-Core soporte Linux**

—

ÍNDICE GENERAL

1. Introducción	4
1.1. Descripción General	4
1.2. Objetivos	4
1.2.1. Objetivo General	4
1.2.2. Objetivo Específico	4
1.3. Motivación	4
1.4. Importancia del Problema	5
1.5. Modelo de Desarrollo	6
1.6. Alcance de Estudio	7
1.7. Metodología	7
2. FPGA y microprocesadores Soft-Core	8
2.1. FPGAs	8
2.1.1. Introducción	8
2.1.2. Arquitectura	9
2.2. Microprocesadores Soft-Core	9
2.2.1. IP-Core	9
2.2.2. Tipos de IP-Core	9
2.2.3. Soft-Core	9
3. Estudio del Problema	10
3.1. Introducción	10
3.2. Requerimientos del Usuario	10
3.2.1. En cuanto al Hardware	11
3.2.2. En cuanto a las Licencias	11
3.2.3. En cuanto a las Herramientas de Desarrollo	11
3.2.4. En cuanto Sistema Operativo	12
3.3. Estudio de componentes y viabilidad para el proyecto	12

3.3.1.	Objetivo	12
3.3.2.	Selección del Microprocesador Soft-Core	12
3.3.3.	Selección de la Placa de Desarrollo	12
3.3.4.	Selección de las herramientas de desarrollo	13
3.3.5.	Selección del Sistema Operativo	13

ÍNDICE DE FIGURAS

1.1. Etapas del modelo de desarrollo en espiral	6
2.1. Etapas del modelo de desarrollo en espiral	9

CAPÍTULO 1

INTRODUCCIÓN

1.1. Descripción General

1.2. Objetivos

1.2.1. Objetivo General

Implementar un system on chip OpenSource con un microprocesador embebido Soft-core que soporte un sistema operativo libre , con la finalidad de entregar un sistema integral FPGA-SoC-Sistema Operativo completamente funcional y bajo licencia GPL v2.

1.2.2. Objetivo Específico

- Seleccionar, analizar y determinar un microprocesador Soft-Core.
- Establecer un system on chip Open Source donde poder implementar un Soft-Core.
- Determinar sistemas operativo con licencia GPL v2 que tengan las prestaciones funcionales adecuadas.

1.3. Motivación

Existe un grupo de cores Soft-Core de código abierto que no están limitados por la tecnología. Los cores destacados de microprocesadores de 32 bits, son los procesadores SPARC LEON OpenRISC 1200 , y el core de LatticeMico32. Usar cores de código abierto, va unido a una serie de conceptos como:

- *Flexibilidad* Si el código fuente está disponible, los desarrolladores pueden modificar el código de acuerdo a sus necesidades. Además, se produce un flujo constante de ideas que mejora la calidad del código.
- *Fiabilidad y seguridad* Con muchos programadores a la vez escrutando el mismo trabajo, los errores se detectan y corrigen antes, por lo que el producto resultante es más fiable y eficaz que el comercial.
- *Rapidez de desarrollo* Las actualizaciones y ajustes se realizan a través de una comunicación constante vía Internet.
- *Relación con el usuario* El programador se acerca mucho más a las necesidades reales de su cliente, y puede crear un producto específico para él

Obtener un sistema integral de código abierto en donde se tiene código HDL, assembler y C disponible para adaptarse de acuerdo a los requerimientos del proyecto. Además de la capacidad de migrar de una plataforma a otra. Logrando menor dependencia entre el código fuente y la plataforma objetivo. La portabilidad del código abierto nos permite implementarlo sobre una ASICs (Application-specific integrated circuit) o con modificaciones menores en cualquier FPGA (Field Programmable Gate Array) de Xilinx, Altera, Lattice, etc. Estos tres de los más grandes proveedores de FPGA, Xilinx, Altera y Lattice, ofrecen sus propios micro core RISC de 32bits los dos mayores proveedores de dispositivos FPGA, Altera y Xilinx, proporcionan el micro core Nios y Microblaze, respectivamente. Son micro cores en donde el código fuente RTL no se encuentra disponible y solo pueden ser implementados en sus respectivas FPGA.

Una de las principales ventajas de usar plataformas con FPGA, es que son flexibles así que pueden adaptarse a diferentes funciones. Los componentes de hardware ofrecen mucho mayor rendimiento que el software equivalente. Los cuellos de botella de procesamiento del sistema pueden identificarse y sustituirse por hardware, de manera que se evita la costosa optimización del software.

1.4. Importancia del Problema

En el diseño del sistema embebido se usan diferentes procesos depende del tipo de sistema, el hardware disponible y la organización que desarrolle el sistema. Una de las actividades principales en un proceso de diseño de software es la elección del hardware y del sistema operativo que se efectúa antes del comienzo del software. Ante tal situación, se debe diseñar el software para considerar las restricciones impuestas por las capacidades del hardware. Los efectos que influyen dichas elecciones comprenden restricciones de temporización sobre el sistema, limitación en la energía disponible, experiencia del equipo de desarrollo y límites en los costos del sistema entregable.

Se está explorando una línea donde se busca dar al diseñador del sistema embebido una solución flexible en la primera etapa de la elección de plataforma. Donde a través del análisis de diferentes plataformas de desarrollo OpenSource y privativas pueda elegir la mejor opción para el tipo de sistema a desarrollar y requerimientos de proceso.

Una vez que se ha elegido la plataforma de ejecución para el sistema, se ha diseñado una arquitectura de proceso y se ha determinado una política de planeación, es necesario comprobar que el sistema cumplirá sus con sus requerimientos.

1.5. Modelo de Desarrollo

El modelo de desarrollo a utilizar es el Modelo en Espiral tipificado por Ian Sommerville[1]. El modelo en espiral de ingeniería de software, mostrado en la figura 1.1, fue originalmente propuesto por Boehm en año 1988, en su artículo A Spiral Model of Software Development and Enhancement. Propuso un marco del proceso de software dirigido por el riesgo. Aquí, el proceso de software se representa como una espiral, cada ciclo en la espiral representa una fase del proceso de software. Por ende el, ciclo más interno puede relacionarse con la factibilidad del sistema, el siguiente ciclo con la definición de requerimientos, el siguiente ciclo al diseño del sistema, y así sucesivamente.

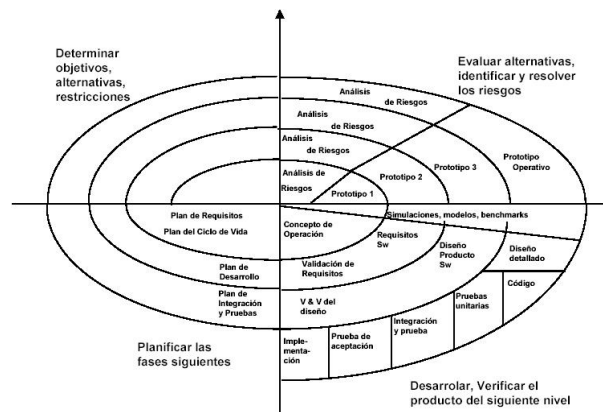


Figura 1.1: Etapas del modelo de desarrollo en espiral

Cada ciclo del espiral se divide en 4 sectores:

- *Establecimiento de objetivo* Se definen objetivos específicos para dicha fase del proyecto. Se identifican restricciones en el proceso y el producto, y se traza un plan detallado de gestión. Se identifican los riesgos del proyecto. Dependiendo de estos riesgos, se planean estrategias alternativas
- *Validación y reducción del riesgo* En cada uno de los riesgos identificados del proyecto, se realiza un análisis minucioso. Se dan acciones para reducir el riesgo.
- *Desarrollo y validación* Después de una evaluación del riesgo, se elige un modelo de desarrollo para el sistema.
- *Planeción* El proyecto se revisa y se toma una decisión sobre si hay que continuar con otro ciclo de la espiral. Si se opta por continuar, se trazan los planes para la siguiente fase del proyecto.

Como característica principal de esta metodología es que posee una consideración explícita del riesgo. Informalmente, el riesgo significa sencillamente que algo puede ir mal. Los riesgos originan problemas en el proyecto, como los de confección de agendas y excesos en los costos; por lo tanto, la disminución de riesgos es una actividad sumamente importante en la gestión del proyecto. Un ciclo en la espiral comienza con la elaboración de objetivos, como el rendimiento y la funcionalidad. Entonces se enumeran formas alternativas de alcanzar estos objetivos y las

restricciones impuestas en cada una de ellas. Cada alternativa se evalúa contra cada objetivo y se identifican las fuentes de riesgos del proyecto. El siguiente paso es resolver estos riesgos mediante actividades de recopilación de información como la de detallar más el análisis, la construcción de prototipos y la simulación. Una vez que se han evaluado los riesgos se llevará a cabo cierto desarrollo, seguido de una actividad de planificación para la siguiente fase del proceso.

1.6. Alcance de Estudio

Debido al plazo estipulado para el desarrollo del proyecto, el mismo involucra tres etapas:

- Especificación y Análisis de requerimientos.
- Implementación.
- Testing.

1.7. Metodología

Considerando que el objetivo planteado es un desarrollo que se realiza por primera vez, se aplicará un desarrollo experimental y de simulación. La falta de documentación al respecto y al ser un desarrollo de vanguardia son factores que acentúan en esta decisión. Sumado a lo anteriormente dicho, en el laboratorio donde se desarrolla este proyecto no existen antecedentes de trabajos similares.

Se utilizó como metodología en este desarrollo el modelo de componentes, donde se define estándares para la implementación, documentación y el despliegue de componentes.

CAPÍTULO 2

FPGA Y MICROPROCESADORES SOFT-CORE

2.1. FPGAs

2.1.1. Introducción

La fabricación de dispositivos semiconductores es un proceso complicado de plazos largos y costoso. Esto lleva a que los diseños destinados para la implementación en chip de silicio tengan poca oportunidad de ser prototipados antes de que comience la producción en grandes volúmenes. Esto supone una gran importancia en las fases de prueba y verificación de un diseño antes de ser fabricado.

Basándose en la predicción de la ley de Moore donde expresa que aproximadamente cada dos años se duplica el número de transistores en un circuito integrado[2], Ross Freeman postuló que los transistores serían menos costosos cada año, haciendo asequible la fabricación de chips programables personalizables [3]. La compañía Xilinx, ofreció su primer chip en 1984, que contiene arrays de celdas lógicas (LCAs), programables por el usuario en casi cualquier configuración que quisieran. Estos se conocen como Field Programmable Gate Array (*FPGAs*).

Las *FPGAs* desempeñan un papel dual, uno como objetivo final de ejecución en un diseño y otro papel como prototipo para la implementación definitiva de un diseño. Su capacidad de reconfigurar el diseño parcial o totalmente para su actualización o corrección de errores tiene un costo relativamente bajo a diferencia del prototipado sobre ASICs. Actualmente las *FPGA* cuentan con una gran cantidad de recursos disponibles (Compuertas lógicas, Bloques de RAM) para implementar diseños digitales complejos.

Una desventaja de las *FPGA* es debido a la naturaleza inherente de las arquitecturas de *FPGA*, los diseños implementados en *FPGA* comparados con una ASICs en general tienen más

area, menos performance y consumen mas energía.

2.1.2. Arquitectura

Los componentes de una *FPGA* se pueden dividir en cinco grupos:

- Bloques lógicos configurables y *Lookup Tables*.
- Bloques de entrada y salida.
- Bloques multiplicadores
- Bloques Manejadores de Clock Digitales.

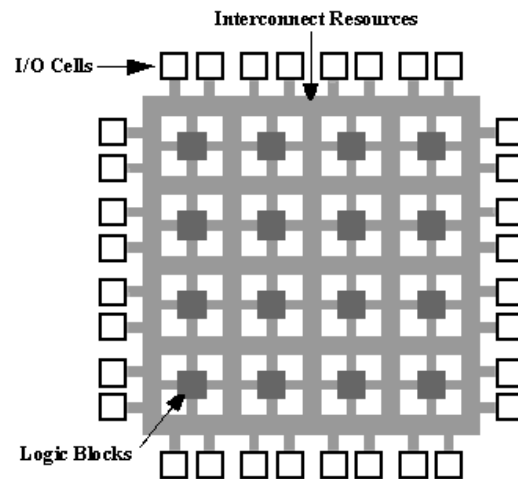


Figura 2.1: Etapas del modelo de desarrollo en espiral

2.2. Microprocesadores Soft-Core

2.2.1. IP-Core

intro definición y licencias

2.2.2. Tipos de IP-Core

2.2.3. Soft-Core

CAPÍTULO 3

ESTUDIO DEL PROBLEMA

3.1. Introducción

Como primera acción se analizó la factibilidad de implementación de un SoC con licencia OpenSource en FPGA, razón que condujo a la investigación del tópico en búsqueda de información necesaria que determine si existe tal factibilidad. Las características relevadas durante la investigación aportaron información respecto al hardware, las herramientas de desarrollo y el sistema operativo necesario para llevar a cabo la implementación.

Se debió discernir entre las diversas alternativas de hardware que se tenían disponibles al momento del desarrollo de este trabajo. Esta situación derivó en una valoración de los diferentes entornos de desarrollo y sistemas operativos asociados que cumplan con el paradigma del software libre.

3.2. Requerimientos del Usuario

Se presenta en este apartado un listado de los requerimientos elecitados que tienen como objetivo comprender el dominio del problema y permiten trabajar en la realización de una solución eficiente.

3.2.1. En cuanto al Hardware

NºReq	Descripción	Tipo
RQX-HW 1	Se debe implementar un Microprocesador Soft-core de núcleo simple	Cantidad y tipo de núcleos.
RQX-HW 2	El SoC seleccionado debe poseer la menor cantidad de restricciones respecto de su implementación en placas de desarrollo de diversos fabricantes.	Portabilidad a nivel Hardware
RQX-HW 3	La placa de desarrollo elegida debe poseer al menos 32 MB de memoria RAM disponible que permita al ejecución del kernel de linux.	Memoria Disponible
RQX-HW 4	La placa de desarrollo elegida debe poseer al menos 8 MB de memoria flash disponible que permita guardar la configuración de la FPGA y un bootloader	Memoria Disponible

3.2.2. En cuanto a las Licencias

NºReq	Descripción	Tipo
RQX-LC 1	Todo el hardware implementado debe tener licencia LGPL o GPLv2 en su defecto	Licencias de hardware
RQX-LC 2	Las herramientas de desarrollo utilizadas deben poseer licencias LGPL o GPLv2 en su defecto	Licencias de Software
RQX-LC 3	El sistema operativo elegido debe poseer licencia LGPL o GPLv2	Licencias de Software

3.2.3. En cuanto a las Herramientas de Desarrollo

NºReq	Descripción	Tipo
RQX-HD 1	Las herramientas de desarrollo elegidas en base a la arquitectura a implementar deben tener la menor cantidad de restricciones respecto del sistema operativo donde serán ejecutadas	Portabilidad
RQX-HD 2	Las herramientas de desarrollo deben brindar la capacidad de desarrollar y depurar programas para la arquitectura seleccionada	XXXXXXXXXXXXXX
RQX-HD 3	Las herramientas de desarrollo de la placa seleccionada deben proveer soporte para el acceso a sus periféricos on board	XXXXXXXXXXXXXX

3.2.4. En cuanto Sistema Operativo

NºReq	Descripción	Tipo
RQX-SO 1	El sistema operativo elegido debe disponer de drivers y librerías que permitan el acceso a todos los dispositivos incluidos en el SoC	XXXXXXXXXXXXXX
RQX-SO 2	El sistema operativo elegido debe tener la capacidad de ejecución multitarea e hilos	XXXXXXXXXXXXXX
RQX-SO 3	El sistema operativo elegido debe posibilitar la ejecución de aplicaciones de tiempo real	XXXXXXXXXXXXXX

3.3. Estudio de componentes y viabilidad para el proyecto

3.3.1. Objetivo

Se estudiaron los componentes del proyecto y sus diversas alternativas de implementación por medio de un análisis comparativo que permitió evidenciar las características relevantes de cada uno de ellas. Inicialmente se realizó una comparativa de las prestaciones de los microprocesadores softcore más importantes para evaluar su capacidad de procesamiento

3.3.2. Selección del Microprocesador Soft-Core

Comparación de Microprocesadores Soft-Core

Conclusiones de la elección del micro Soft-Core

3.3.3. Selección de la Placa de Desarrollo

Análisis de las alternativas

Los proyectos MinSoC y OrpSoc cuentan actualmente con soporte para diversas placas de desarrollo.

Xilinx La empresa Xilinx provee kits de desarrollo de diversas características y prestaciones. A continuación se detallan algunas de las alternativas que son soportadas por los SoC elegidos.

S3ADSP1800A El dispositivo XtremeDSP™ Starter Platform cuenta con una FPGA de la familia Spartan®-3A que permite la evaluación diseños para diferentes aplicaciones tales como Prototipado General, Sistemas Embebidos, Video Digital, DSP, Procesamiento de Imágenes, Comunicaciones digitales y Coprocesamiento. Esta plataforma provee acceso a las capacidades de la familia de FPGA Spartan®-3A y cuenta con periféricos, conectores e interfaces estándar de la industria. Fue diseñada para para ser utilizada con Xilinx System Generator para aplicaciones DSP y las herramientas de diseño ISE® provistas por el fabricante.

Las características generales del kit son:

Característica	Descripción
FPGA	XC3SD1800A-4FGG676C Spartan-3A DSP FPGA
Clocks	125 MHz LVTTL SMT oscillator
	LVTTL oscillator socket
	25.175 MHz LVTTL SMT oscillator (video clock)
	25 MHz Ethernet clock (accessible to FPGA)
Memory	128 MB (32M x 32) DDR2 SDRAM
	16Mx8 parallel / BPI configuration flash
	64 Mb SPI configuration / storage flash (with 4 extra SPI selects)
Interfaces	10/100/1000 PHY
	JTAG programming/configuration port
	RS232 Port
	Low-cost VGA
	4 SPI select lines
Buttons and Switches	8 user LEDs
	8-position user DIP switch
	4 user push button switches
	Reset push button switch
User I/O and Expansion	Digilent 6-pin header
	EXP expansion connector
	30-pin GPIO connector: can be used for System ACE™ Compact Flash daughter card (not included)
Configuration and Debug	JTAG
	System ACE module connector

Las implementaciones MinSoC y ORPSoC proveen soporte nativo para los siguientes periféricos:

- Ethernet
- GPIO (Solo ORPSoC)
- DDR2 SDRAM (128MB) (Solo ORPSoC)
- SPI
- UART

Digilent

Altera

Conclusiones de la elección de la Placa de Desarrollo

3.3.4. Selección de las herramientas de desarrollo

3.3.5. Selección del Sistema Operativo

BIBLIOGRAFÍA

- [1] Somemerville Ian, 2011 . *Software engineering, 9th edition*.
- [2] D. A. Patterson y J. L. Hennessy , 2012. *Computer Architecture A Quantitative Approach, 9th edition*.
- [3] Wikipedia, the free encyclopedia, Free and open source software. <http://en.wikipedia.org>