

Índice

1. Introducción	4
1.1. Descripción General	4
1.2. Objetivos	4
1.2.1. Objetivo General	4
1.2.2. Objetivo Específico	4
1.3. Motivación	4
1.4. Importancia del Problema	5
1.5. Alcance del Estudio	5
1.6. Alcance del Estudio	5
1.7. Modelo de Desarrollo	5
1.8. Metodología	5
2. FPGA y microprocesadores Soft-Core	5
2.1. FPGAs	5
2.1.1. Topología	6
2.1.2. Bloques Lógicos Configurables y Lookup Tables	7
2.1.3. Bloques de Entrada y Salida	7
2.1.4. Bloques de Memoria	7
2.2. Microprocesadores Soft-Core	7
2.2.1. IP-Core	7
2.2.1.1. Tipos de IP-Core	7
2.2.2. Soft-Core	7
3. Benchmark	7
3.1. Introducción	7
3.2. CPU core benchmarking	8
3.3. CoreMark	8
4. Software OpenSource y Libre	8
4.1. Deferencias	8
4.2. GPL	8
4.3. LGPL	8
4.4. OpenSource	8
4.5. ¿Quien tiene el Hardware?	9
4.6. OpenRISC	9
5. Microprocesadores Soft-Core	11
5.1. LEON3	11
5.1.1. Características	11
5.1.2. Benchmarking	11
5.2. OpenRISC	11
5.2.1. Características	11
5.2.2. Benchmarking	11
5.3. Nios II	11
5.3.1. Características	11
5.3.2. Benchmarking	11
5.4. MicroBlaze	11
5.4.1. Características	11
5.4.2. Benchmarking	11

6. Análisis de el OpenRISC	11
6.1. Arquitectura	11
6.2. Implementación	11
6.2.1. ORPSoC	11
6.2.2. MinSoc	11
6.3. Toolchain	11
6.4. Software	11
6.4.1. Librerías	11
6.4.2. Sistema Operativo	11
7. Estudio del Problema	11
7.1. Introducción	11
7.2. Requerimientos del Usuario	11
7.2.1. En cuanto al Hardware	11
7.2.2. En cuanto al las licencias	11
7.2.3. En cuanto Sistema Operativo	11
7.3. Estudio de componentes y de la viabilidad para el proyecto	11
7.3.1. Objetivo	11
7.3.2. Comparación de los Soft-Core	11
7.4. Conclusiones de la elección del micro Soft-Core	11
7.4.1. Placas de Desarrollo	11
7.4.1.1. Xilinx	11
7.4.1.2. Digilent	12
7.4.1.3. Altera	12
7.4.2. CONCLUSIONES DE LA ELECCIÓN DE LA PLACA DE DESARROLLO	14
7.4.3. SELECCIÓN DE LAS HERRAMIENTAS DE DESARROLLO	14
7.4.4. Elección de Sistema Operativo	14
8. Requerimientos y Riesgos Del Sistema	14
9. Implementación	14
9.1. Introducción	14
9.2. Arquitectura	14
9.3. Criterio para la realización de testing	14
9.4. Entorno de ejecución	14
9.4.1. Entorno de ejecución Standalone	14
9.4.2. Entorno de ejecución linux	14
9.5. PROTOTIPO UNO: Implementación del SoC MinSoc en FPGA	14
9.5.1. Introducción	14
9.5.2. Requerimientos del prototipo	14
9.5.3. Implementación	14
9.5.4. Diagrama de Secuencia	14
9.5.5. Testing	14
9.6. Conclusión	14
9.7. PROTOTIPO DOS: Implementación del SoC OrpSoc en FPGA	14
9.7.1. Introducción	14
9.7.2. Requerimientos del prototipo	14
9.7.3. Implementación	14
9.7.4. Diagrama de Secuencia	14
9.7.5. Testing	14
9.8. Conclusión	14

9.9.	PROTOTIPO TRES: Implementación del SoC OrpSoc en FPGA con Sistema Operativo eCos	14
9.9.1.	Introducción	14
9.9.2.	Requerimientos del prototipo	14
9.9.3.	Implementación	14
9.9.4.	Diagrama de Secuencia	14
9.9.5.	Testing	14
9.10.	Conclusión	14
9.11.	PROTOTIPO tres: Implementación OrpSoc en FPGA con Linux	14
9.11.1.	Introducción	14
9.11.2.	Requerimientos del prototipo	14
9.11.3.	Implementación	14
9.11.4.	Diagrama de Secuencia	14
9.11.5.	Testing	14
9.12.	Conclusión	14
10.	Bibliografía	14
10.1.	Documentos	14
10.2.	sitios web	14

1. Introducción

1.1. Descripción General

Descripción por arriba del trabajo. por ejemplo la industria dispone de herramientas que nosotros usamos para un fin determinado.

1.2. Objetivos

1.2.1. Objetivo General

Implementar un system on chip OpenSource con un microprocesador embebido Soft-core que soporte un sistema operativo libre , con la finalidad de entregar un sistema integral FPGA-SoC- Sistema Operativo completamente funcional y bajo licencia GPL v2.

1.2.2. Objetivo Específico

- Seleccionar, analizar y determinar un microprocesador Sof-Core.
- Establecer un system on chip Open Source donde poder implementar un Soft-Core.
- Determinar sistemas operativo con licencia GPL v2 que tengan las prestaciones funcionales adecuadas.

1.3. Motivación

Existe un grupo de cores Sof-Core de código abierto que no están limitados por la tecnología. Los cores destacados de microprocesadores de 32 bits, son los procesadores SPARC LEON OpenRISC 1200 , y el core de LatticeMico32. Usar cores de código abierto, va unido a una serie de conceptos como:

- Flexibilidad. Si el código fuente está disponible, los desarrolladores pueden modificar el código de acuerdo a sus necesidades. Además, se produce un flujo constante de ideas que mejora la calidad del código.
- Fiabilidad y seguridad. Con muchos programadores a la vez escrutando el mismo trabajo, los errores se detectan y corrigen antes, por lo que el producto resultante es más fiable y eficaz que el comercial.
- Rapidez de desarrollo. Las actualizaciones y ajustes se realizan a través de una comunicación constante vía Internet.
- Relación con el usuario. El programador se acerca mucho más a las necesidades reales de su cliente, y puede crear un producto específico para él

Obtener un sistema integral de código abierto en donde hay código HDL, assembler y C. Con la principal ventaja del acceso al código pudiendo personalizarlo como por ejemplo en la descripción RTL del SoC para implementar la optimización o funcionalidad deseada y la ausencia de restricciones sobre lo que se puede hacer sobre el sistema final. Además de la portabilidad con la que obtengo la capacidad de migrar de una plataforma a otra. Logrando menor dependencia entre el código fuente y la plataforma objetivo. Pudiendo ser usado sobre una ASICs (Application-specific integrated circuit) o con modificaciones menores en cualquier FPGA (Field Programmable Gate Array) de Xilinx, Altera, Lattice, etc. Estos tres de los más grandes proveedores de FPGA , Xilinx , Altera y Lattice , ofrecen sus propios micro core RISC de 32bits los dos mayores proveedores de dispositivos FPGA , Altera y Xilinx , proporcionan el micro core Nios y Microblaze, respectivamente. Son micro cores en donde el código fuente RTL no se encuentra disponible y solo pueden ser implementados en sus respectivas FPGA.

1.4. Importancia del Problema

El problema es el acceso a la tecnología

El problema que ustedes están resolviendo es el que cualquier diseñador que va a plantear un sistema embebido y dice bueno con q micro vamos a trabajar? estamos explorando una líneas de esas opciones que vos podes tener cuando planteas un sistema embebido

lo que están haciendo es explorar una línea donde lo que quieres es dar al diseñador una solución muy flexible. que no tenga que pagar y que tenga libertad de usar lo que tenga

ante la creación de un sistema embebido que opciones tengo? el problema es ese las opciones de desarrollo para sistemas embebidos donde ustedes van a ofrecer una respuesta entonces es importante tener muchas opciones para poder desarrollar gregaria algo nuevo ? o una solución no tan aprovechada?

hoy en día vos te sentas a hacer sistemas embebidos y vas te compras una placa con un micro tal con nose q cosa con una FPGA tenes un ARM ahí metido esa es tu única solución? hay lugar para otras opciones?

puedo pensar en un sistema embebido soc fuera de lo que son micros comprados comercialmente o puedo pensar en algo q sea mas independiente del hardware? me puedo abstraer del hardware? en definitiva pueden usar cosas de altera xilinx litix sobre AISIC

el alcance del problema? de donde hasta donde vamos a ir primero elegimos un micro después lo embebemos en un soc y después le metimos un sistema operativo

1.5. Alcance del Estudio

de donde hasta donde vamos a ir primero elegimos un micro después lo embebemos en un soc y después le metimos un sistema operativo

1.6. Alcance del Estudio

aca la realización de lo q se plantea. Por ejemplo Primero implementamos el Soc base y luego se procede a montar sistemas operativos open source en los Soc tb open source sobre las herramientas que me da la industria

1.7. Modelo de Desarrollo

aca voy a hablar del modelo en espiral

1.8. Metodología

voy a escribir que usamos un desarrollo experimental y de simulación.

2. FPGA y microprocesadores Soft-Core

2.1. FPGAs

problema q resuelven.papel dual que cumplen como prototipo y otro como objetivo final de ejecución

Entre las alternativas para diseñar e implementar un hardware específico encontramos ASICs (Application-specific integrated circuit), FPGAs (Fieldprogrammable gate array), CPLDs (Complex Programmable Logic Device) entre otros. El uso de ASICs posibilita desarrollos con producción a gran escala a bajo costo y es de masiva utilización en este tipo de aplicaciones. Los CPLD y las FPGA son circuitos de de alta densidad programables por el usuario en un tiempo reducido y sin la necesidad de verificación de sus componentes, tarea ya realizada por el fabricante al tratarse de un producto estándar. El procesamiento digital de señales , prototipado de ASICs ,

tratamiento de imágenes , reconocimiento de voz , glue logic son algunas de las aplicaciones de este tipo de dispositivos. Existen diferentes formas de llevar adelante el diseño e implementación de un sistema digital para FPGA, entre ellas tenemos la realización de un diseño esquemático , herramientas específicas (provistas por el fabricante) y la utilización de un lenguaje de descripción de hardware HDL (Hardware description language) entre los que se encuentran lenguajes como Verilog y VHDL, ambos de gran aceptación en los ambientes industrial y académico. Estos lenguajes proporcionan gran versatilidad para el desarrollo de hardware, permitiendo especificar, diseñar, simular y verificar sistemas digitales complejos, mediante el apoyo de un universo de herramientas EDA (Electronic Design Automation).

Actualmente las FPGA cuentan con una gran cantidad de recursos disponibles (Compuertas lógicas , Bloques de RAM) para implementar diseños digitales complejos. Las FPGA pueden ser usadas para implementar cualquier función lógica que un ASIC pueda realizar. Una de las grandes ventajas del uso de FPGA en la etapa de prototipado es su capacidad de reconfigurar el diseño parcial o totalmente para su actualización o corrección de errores con un costo relativamente bajo a diferencia del prototipado sobre ASICs. Durante la etapa de producción los ASIC resultan de muy bajo costo respecto de la producción de FPGA y esto se traduce en una gran ventaja para desarrollos que deben ser producidos a gran escala. Las arquitecturas reconfigurables combinan parte de la flexibilidad del software con la gran performance del hardware utilizando chips reconfigurables como FPGAs. Una opción de gran potencialidad son las arquitecturas reconfigurables run-time o dinámicas que se sostienen en DRL (Dynamically reconfigurable logic). Un ejemplo de esto es la familia Virtex de Xilinx, que es parcialmente reconfigurable en tiempo de ejecución, este método se conoce como run-time. Claramente este tipo de dispositivos puede ser usado como arquitecturas destino de codiseños hardware/software (HW/SW) que proveen la flexibilidad de los procesadores software y la eficiencia y rendimiento de los coprocesadores hardware. El desarrollo de aplicaciones de software se ve limitado a los recursos disponibles en los microprocesadores comerciales. El software necesita del soporte de un procesador para su ejecución, así la elección de este elemento conlleva algunas dependencias respecto de las herramientas a utilizar , algunas de estas son : compiladores , ensambladores , depuradores y herramientas de simulación. Con ellas se logra trasladar el software a un entorno de ejecución adecuado dentro del procesador y depurarlo . El lenguaje de programación elegido debe permitir trabajar con el nivel de abstracción necesario para simplificar la tarea de desarrollo de software. El lenguaje C es uno de los más utilizados para desarrollar aplicaciones que requieran ,por ejemplo , de compilación cruzada (Cross-compiling) y se complementa con las herramientas libres de compilación y depuración como son GCC y GDB. Los nuevos proyectos a veces requieren nuevas características de los cores existentes. El proveedor del núcleo puede hacer estas modificaciones (solución comercial) con un incremento sustancial del coste del núcleo. Otra posibilidad (Solución Ad-hoc) es el uso de cores de código abierto con el fin de crear un núcleo de desarrollo adaptable. El enfoque de código abierto tiene varias ventajas: el núcleo posee un costo muy bajo e inclusive cero, los usuarios puede tener acceso al código fuente y hay un grupo de desarrolladores que proporcionan conocimientos para mantener y mejorar el núcleo. Sin embargo, también puede tener varias desventajas como la inestabilidad (el grupo de cambio o de desarrollo desaparece), desarrollo incompleto, deficiente , documentación pobre y una mala metodología de verificación. Los microprocesadores "softcore"(núcleo software

2.1.1. Topología

arquitectura de una fpga

2.1.2. Bloques Lógicos Configurables y Lookup Tables

2.1.3. Bloques de Entrada y Salida

2.1.4. Bloques de Memoria

2.2. Microprocesadores Soft-Core

2.2.1. IP-Core

intro definición y licencias

2.2.1.1. Tipos de IP-Core hard soft y intermedios

2.2.2. Soft-Core

intro, deferencias entre micros soft y hard. fabricantes.ventajas de uno sobre el otro. Ejemplo: En la industria existe un grupo ligeramente diferente de microprocesadores Soft-Core , apuntando principalmente al hardware reconfigurable . Tres de los más grandes proveedores de FPGA , Xilinx , Altera y Lattice , ofrecen sus propios núcleos de microprocesadores RISC de 32 bits. Los dos mayores proveedores de dispositivos FPGA , Altera y Xilinx , proporcionan la Nios y Microblaze núcleos , respectivamente. Ellos se consideran hard-core en los que la fuente RTL no se encuentra disponibles y sólo pueden ser implementadas en sus Tecnologías FPGA .

Existe un grupo de cores opensource que no están limitados por la tecnología, y son cores intrínsecamente soft . Los cores mas destacados en esta categoría son los microprocesadores de 32 bits SPARC LEON OpenRISC 1200 , y el núcleo LatticeMico32 de la empresa Lattice.

Para el desarrollo de una aplicación reconfigurable existe los micro cores de 32bist que ofrece los proveedores de las FPGA y los micro soft-core opensource disponibles de forma gratuita.

Sin embargo , cuando se trata de ser capaz de desarrollar y vender un producto a base de estos núcleos , hay consideraciones adicionales sobre la concesión de licencias de los diseños. Estas cuestiones relacionadas con licencias voluntad se discutirá en una sección posterior.

3. Benchmark

Este capitulo lo puse para darle una intro a el estudio de los test que voy a poner en el estudio de los micor soft-core

3.1. Introducción

explico un poco para q los uso y en que se usan

En informática , un punto de referencia es el acto de ejecutar un programa de ordenador, un conjunto de programas , u otras operaciones , a fin de evaluar el rendimiento relativo de un objeto , normalmente mediante la ejecución de una serie de pruebas estándar y los ensayos en contra de ella . El término ' benchmark ' también se utiliza sobre todo para los fines de los propios programas de benchmarking elaboradamente diseñados.

Benchmarking se asocia generalmente con la evaluación de las características de rendimiento de hardware , por ejemplo , el rendimiento de punto flotante de funcionamiento de una CPU , pero hay circunstancias en que la técnica también es aplicable al software . Puntos de referencia de software están , por ejemplo, van en contra de los compiladores o sistemas de gestión de bases de datos .

3.2. CPU core benchmarking

A pesar de que no se corresponde con la forma en que utilizaría un procesador en una aplicación real , a veces es importante aislar el núcleo de la CPU de los otros elementos del procesador y centrarse en un elemento clave. Por ejemplo , es posible que desee tener la capacidad de hacer caso omiso de la memoria y los efectos de E / S y se centran principalmente en la operación de el pipeline. Este es el dominio de CoreMark . CoreMark es capaz de probar la estructura de pipeline básica de un procesador , así como la capacidad de prueba de lectura / escritura de operaciones básicas , operaciones de enteros y operaciones de control

3.3. CoreMark

CoreMark es un punto de referencia que tiene como objetivo medir el rendimiento de las unidades centrales de procesamiento (CPU) utilizados en sistemas embebidos. Fue desarrollado en 2009 por Shay Gal -On en EEMBC y está destinado a convertirse en un estándar de la industria , en sustitución de la referencia Dhrystone anticuada . El código está escrito en código C y contiene las implementaciones de los algoritmos siguientes : procesamiento de lista (encontrar y ordenar) , Matrix (matemáticas) manipulación (operaciones con matrices comunes) , máquina de estados (determinar si un flujo de entrada contiene números válidos) y CRC

4. Software OpenSource y Libre

la intro al tema contando un poco las comunidades de código abierto y por último de Open-Core

Ejemplo: A medida que la popularidad y la utilidad de Internet ha crecido , también lo han hecho las comunidades de opensource. La comunicación fue el inicio para las grandes comunidades de opensource. Lo que dio como resultado un sinnúmero de comunidades y grupos que contribuye a abrir el desarrollo fuente de casi cualquier cosa.

Sitios web de gran tamaño para que las comunidades se centraron en el desarrollo de software de aplicaciones informáticas , como SourceForce , freshmeat , Ohloh y hacia arriba de acogida CPAN de decenas de miles de proyectos . Un grupo llamado Freenode proporciona Internet Relay Chat (IRC) servidores donde decenas de miles de desarrolladores de código abierto se reúnen para interactuar .

Hay una serie de pequeños servicios de alojamiento de proyectos libres dirigidos a grupos desarrollo de software como Google Code, Launchpad, GitHub, GNU Savannah, así como los sitios de la comunidad antes mencionados.

OpenCores es sitio/ comunidad más grande para el desarrollo de los IP core de hardware como de código abierto del mundo. OpenCores.org proporciona el código fuente de los diferentes proyectos HW digitales (IP-cores, SoC, boards, etc) y apoyar a los usuarios con diferentes herramientas, plataformas, foros y otras informaciones útiles.

4.1. Referencias

Aca vamos a poner las libertades que permiten uno y otro

4.2. GPL

4.3. LGPL

4.4. OpenSource

intro a opensource

EJ La apertura del código de la propiedad intelectual desarrollada para el proyecto OpenRISC, y otros en OpenCores, ha sido a la vez un obstáculo y una ayuda, pone a la vista el estado de el desarrollo, pero es útil, ya que permite que cualquiera pueda participar en el continuo desarrollo de cores.

4.5. ¿Quien tiene el Hardware?

la idea es poner pro y contra de trabajar con open source EJ El uno de los problemas que enfrentan los desarrolladores del opensource que no lo tiene lo desarrolladores de software es la necesidad de usar plataformas privativas para implementar el diseño. Estas plataformas que como elemento base una FPGA, contienen múltiples periféricos ICs , que tienen que ser comprados , así como la depuración y la programación de hardware. Se suma a esto que generalmente las complicadas herramientas de programación de los proveedores,

4.6. OpenRISC

aca vamos a poner el objetivo del proyecto openRisc

EJ: La mayoría de los proyectos de software libre tienen por objeto poner en práctica soluciones relativamente bien conocidas de una manera que permite la apertura y elimine las restricciones que se encuentran en otra implementaciones propietarias .

El objetivo del proyecto OpenRisc de codigo abierto es proporcionar algo útil , productivo y abierto. Los objetivos de estos proyectos de código abierto por lo general están alineados. Por ejemplo , considere el éxito obtenido por el proyecto del kernel de Linux, con miles de colaboradores y decenas de empresas que participan regularmente en el desarrollo . El kernel Linux compite claramente con el propietario variantes de UNIX y de los productos de Microsoft y Apple en todos los casos está experimentando un enorme éxito.

5. Microprocesadores Soft-Core

5.1. LEON3

5.1.1. Características

5.1.2. Benchmarking

5.2. OpenRISC

5.2.1. Características

5.2.2. Benchmarking

5.3. Nios II

5.3.1. Características

5.3.2. Benchmarking

5.4. MicroBlaze

5.4.1. Características

5.4.2. Benchmarking

6. Análisis de el OpenRISC

6.1. Arquitectura

6.2. Implementación

6.2.1. ORPSoC

6.2.2. MinSoc

6.3. Toolchain

6.4. Software

6.4.1. Librerías

6.4.2. Sistema Operativo

7. Estudio del Problema

7.1. Introducción

7.2. Requerimientos del Usuario

7.2.1. En cuanto al Hardware

7.2.2. En cuanto al las licencias

7.2.3. En cuanto Sistema Operativo

7.3. Estudio de componentes y de la viabilidad para el proyecto

7.3.1. Objetivo

7.3.2. Comparación de los Soft-Core

7.4. Conclusiones de la elección del micro Soft-Core

7.4.1. Placas de Desarrollo

7.4.1.1. Xilinx

7.4.1.2. [Digilent](#)

7.4.1.3. [Altera](#)

7.4.2. CONCLUSIONES DE LA ELECCIÓN DE LA PLACA DE DESARROLLO

7.4.3. SELECCIÓN DE LAS HERRAMIENTAS DE DESARROLLO

7.4.4. Elección de Sistema Operativo

8. Requerimientos y Riesgos Del Sistema

9. Implementación

9.1. Introducción

9.2. Arquitectura

9.3. Criterio para la realización de testing

9.4. Entorno de ejecución

9.4.1. Entorno de ejecución Standalone

9.4.2. Entorno de ejecución linux

9.5. PROTOTIPO UNO: Implementación del SoC MinSoc en FPGA

9.5.1. Introducción

9.5.2. Requerimientos del prototipo

9.5.3. Implementación

9.5.4. Diagrama de Secuencia

9.5.5. Testing

9.6. Conclusión

9.7. PROTOTIPO DOS: Implementación del SoC OrpSoc en FPGA

9.7.1. Introducción

9.7.2. Requerimientos del prototipo

9.7.3. Implementación

9.7.4. Diagrama de Secuencia

9.7.5. Testing

9.8. Conclusión

9.9. PROTOTIPO TRES: Implementación del SoC OrpSoc en FPGA con Sistema Operativo eCos

9.9.1. Introducción

9.9.2. Requerimientos del prototipo

9.9.3. Implementación

9.9.4. Diagrama de Secuencia

9.9.5. Testing

9.10. Conclusión

9.11. PROTOTIPO tres: Implementación OrpSoc en FPGA con Linux

9.11.1. Introducción

9.11.2. Requerimientos del prototipo

9.11.3. Implementación