



**POLITECNICO**  
**MILANO 1863**



# ELECTRONIC SYSTEMS

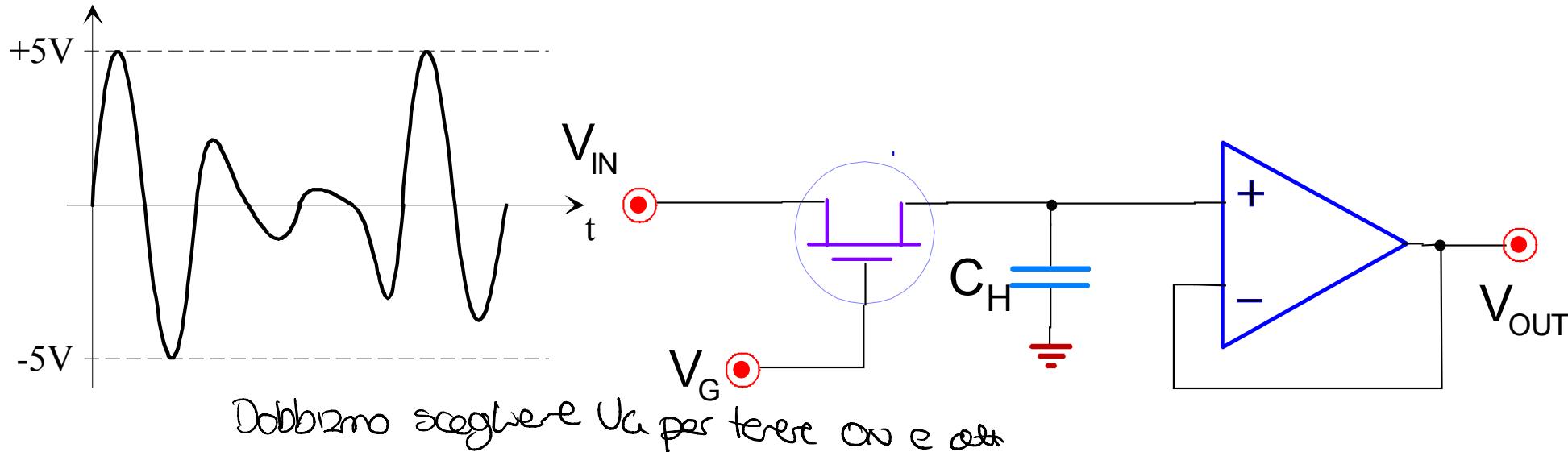
2021-22 academic year  
prof. Franco ZAPPA



- Basic Sample&Hold circuit
- Static and dynamic errors
- Advanced S&H
- Stability issues



# Basic Sample & Hold circuit



## Specs:

Input signal:  $-5V \div +5V$  20kHz bandwidth  
maximum admitted error:  $< 0.01\% \text{ FSR} = 1\text{mV}$   
sampling frequency: 100kHz

## Components:

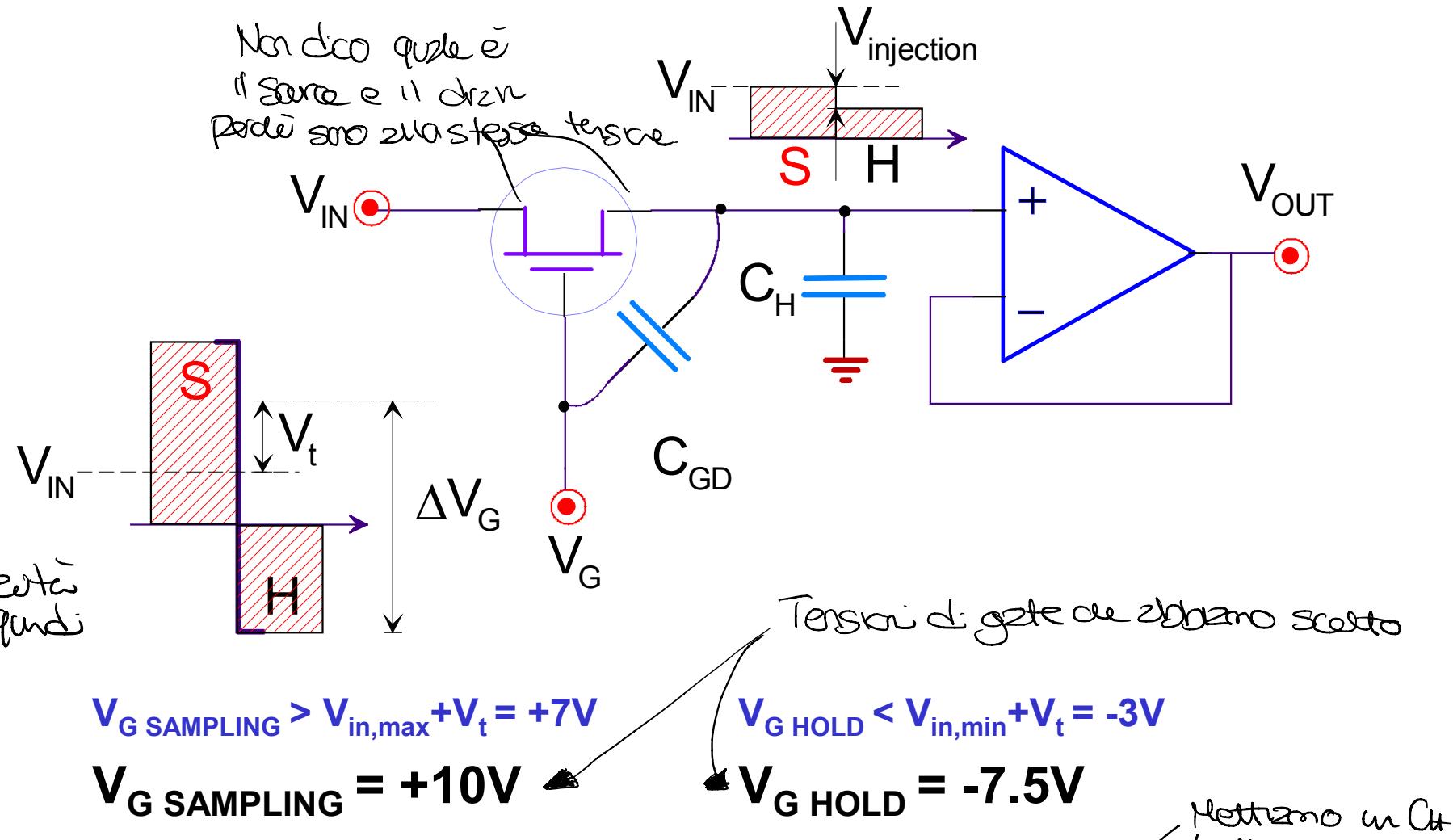
OpAmp:  $A_O=110\text{dB}$   $I_{bias}=50\text{pA}$   
MOSFET:  $V_t=2\text{V}$   $R_{on}=50\Omega$   $C_{gs}=0.5\text{pF}$   $C_{ds}=0.1\text{pF}$



$$V_{\text{injection}} = \Delta V_G \cdot \frac{C_{\text{gd}}}{C_{\text{gd}} + C_H}$$

Quando faccio una transistore tra  $V_{\text{SAMP}}$  e  $V_{\text{HOLD}}$  ho che lo switch si va ad aprire ma ci sono 2 capi tra di si toccano e quindi ho un cortocircuito resistivo.

Let's chose:



To guarantee  $V_{\text{injection}} \leq 1\text{mV}$  with  $\Delta V_G = \Delta V_{\text{G max}} = 17.5\text{V}$  we chose  $C_H \geq 9\text{nF} \dots$

Potrebbe non avere detto da  $R_{\text{ON}}$  e  $C_{\text{tr}}$

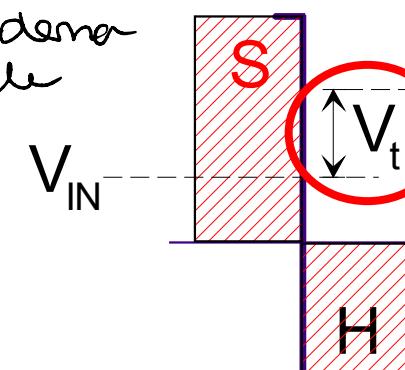
... hence the bandwidth is set to just **354kHz**



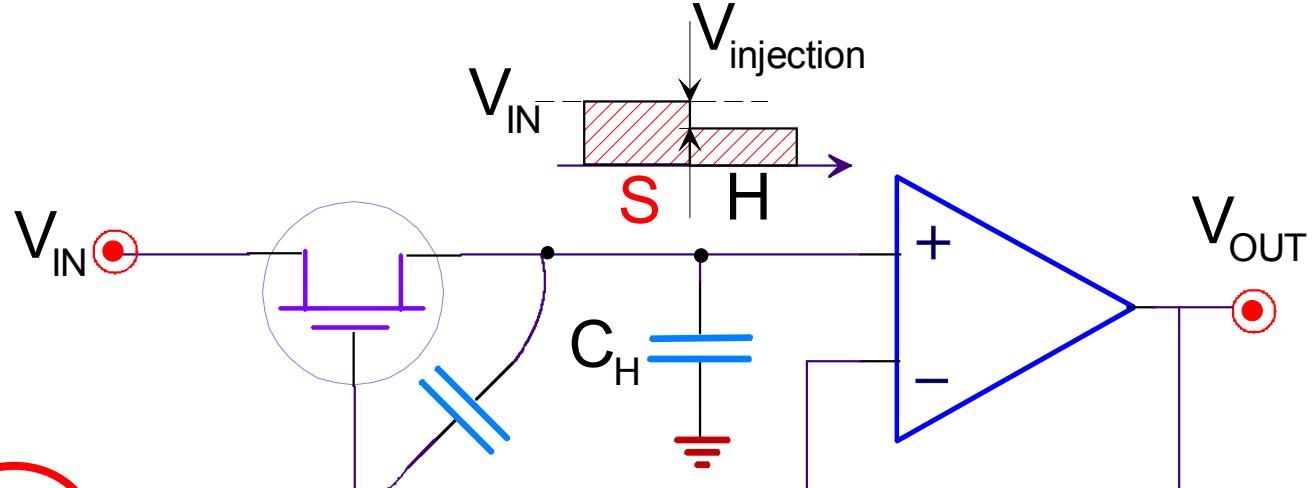
# S&H errors Aperture-induced non linearity

$$V_{\text{injection}} = \Delta V_G \cdot \frac{C_{\text{gd}}}{C_{\text{gd}} + C_H}$$

No altresì, la charge injection si ha solo quando superato il valse d'threshold. Il problema c'è se  $V_{\text{IN}}$  è legato al segnale in ingresso, quindi l'errore non è costante ma dipende da  $V_{\text{IN}}$ .



$$\Delta V_G = V_{\text{IN}} + V_t - V_{G \text{ HOLD}} = V_{\text{IN}} + 7.5V$$



It is not constant, but depends on  $V_{\text{IN}}$  !

Charge injection error is not constant:

$$\Delta V_{G \text{ min}} = V_{\text{IN min}} + V_t - V_{G \text{ HOLD}} = -5 + 2 + 7.5 = +4.5V \quad V_{\text{injection}} = 250\mu\text{V}$$

:

$$\Delta V_{G \text{ max}} = V_{\text{IN max}} + V_t - V_{G \text{ HOLD}} = +5 + 2 + 7.5 = 14.5V \quad V_{\text{injection}} = 806\mu\text{V}$$

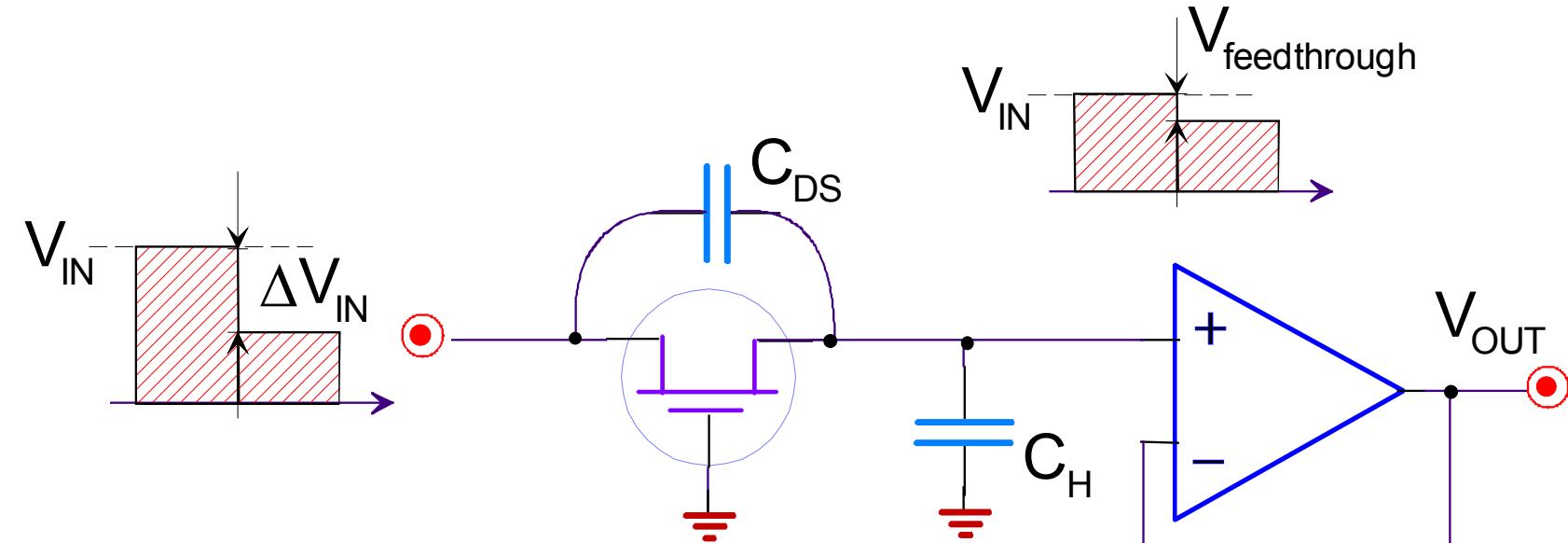


# S&H errors Signal-feedthrough

POLITECNICO  
MILANO 1863

$$V_{\text{feedthrough}} = \Delta V_{\text{IN}} \cdot \frac{C_{\text{ds}}}{C_{\text{ds}} + C_H}$$

Abbiamo 2 node un errore d'  
Feedthrough



With  $\Delta V_{\text{IN max}} = 10\text{V}$  we get  $V_{\text{injection}} = 111\mu\text{V}$

... negligible (in this case) compared to the requirements of  $<1\text{mV}$

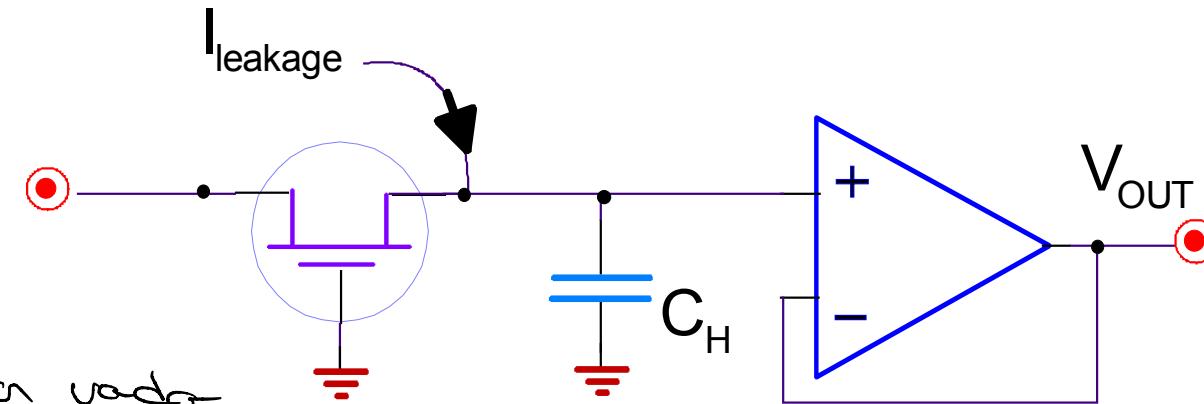


## S&amp;H errors     Droop

$$\Delta V_C = \frac{I_{\text{leakage}}}{C_H} \cdot t$$

Vogliamo che questo Droop sia minore  $\downarrow$  1 LSB in modo da non vada a deformare la m.a quantizzazione.

$$t = \Delta V_C \cdot \frac{C_H}{I_{\text{LEAK}}} = 1 \text{ LSB} \cdot \frac{C_H}{I_{\text{LEAK}}} = \text{tempo per il quale il condensatore può stare aperto, se superano questi tempo allora la tensione su C_H del condensatore decresce troppo e abbasso converde sbagliata}$$

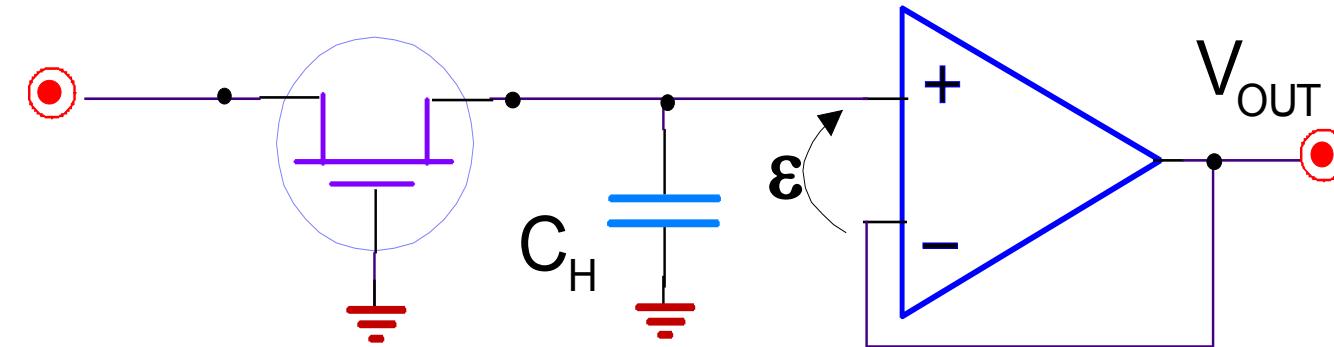


With  $I_{\text{leakage}}=100\text{pA}$  and  $C_H=9\text{nF}$ , the stored voltage will drop by  $11\text{mV/s}$

Hence with  $f_S=100\text{kHz}$  we get  $\Delta V_C=0.11\mu\text{V}$  every  $10\mu\text{s}$  Hold duration



In teoria gesta non è mato  
Unitante come cosa.



To guarantee  $\varepsilon < 1\text{mV}$  we must have  $A_0 > V_{out,max}/\varepsilon = 5,000 = 74\text{dB}$

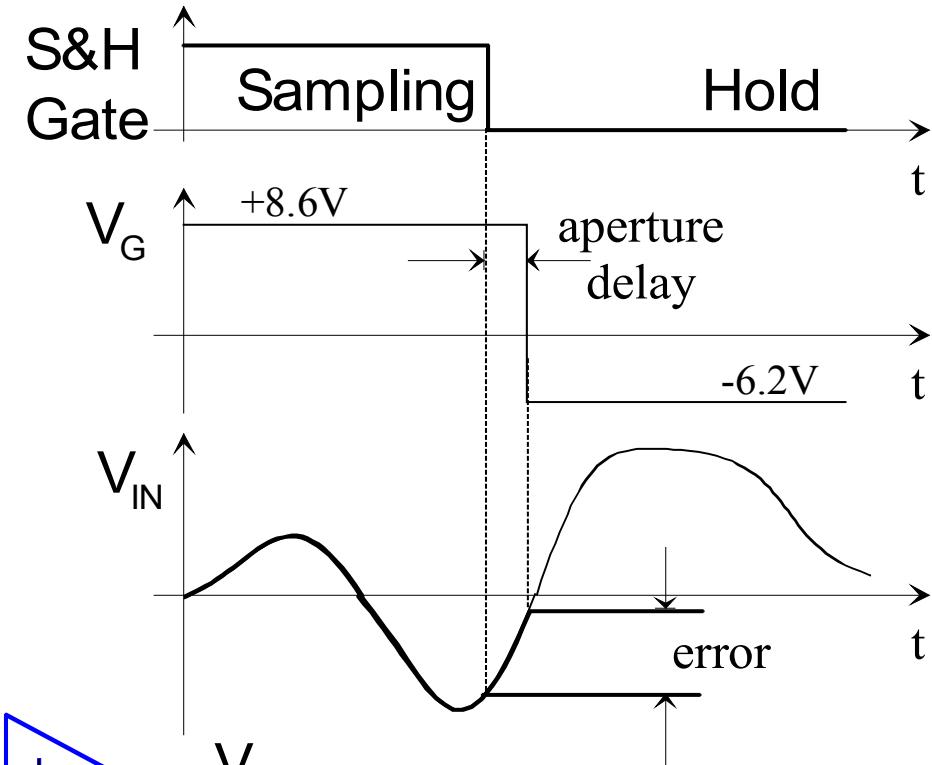
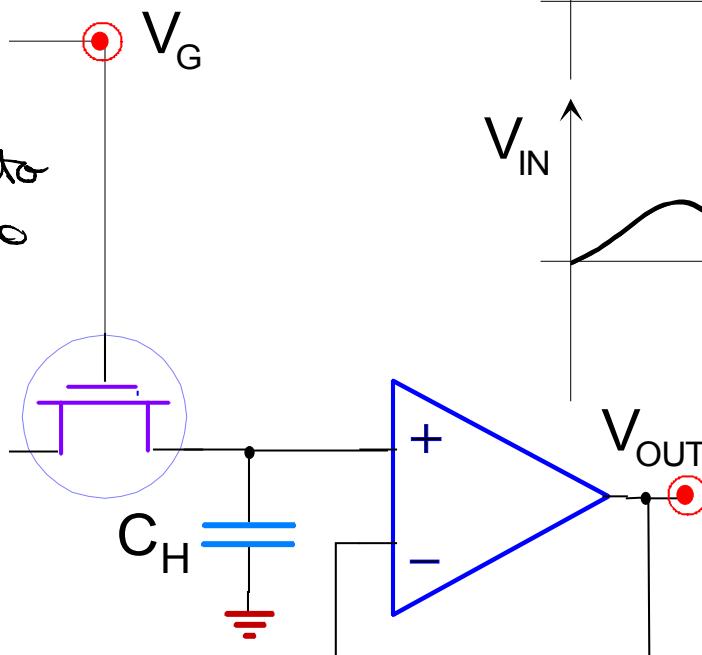


$$\Delta V_{\text{aperture}} = \frac{dV_{\text{in}}}{dt} \Big|_{\text{max}} \cdot T_{\text{aperture}} =$$

IMPORANTE

$$= 2\pi \cdot f_{\text{max}} \cdot V_{\text{in,max}} \cdot T_{\text{aperture}}$$

L'errore massimo d'apertura è dato per il tempo di apertura multiplicato per la derivata massima del segnale. Poiché in quel punto non c'è segnale e il più vicino è quindi zero, l'errore



With  $T_{\text{aperture}} = 1\text{ns}$

we get

$$\Delta V_{\text{aperture}} = 2\pi \cdot 20\text{kHz} \cdot 5\text{V} \cdot 1\text{ns} = 0.63\text{ mV}$$



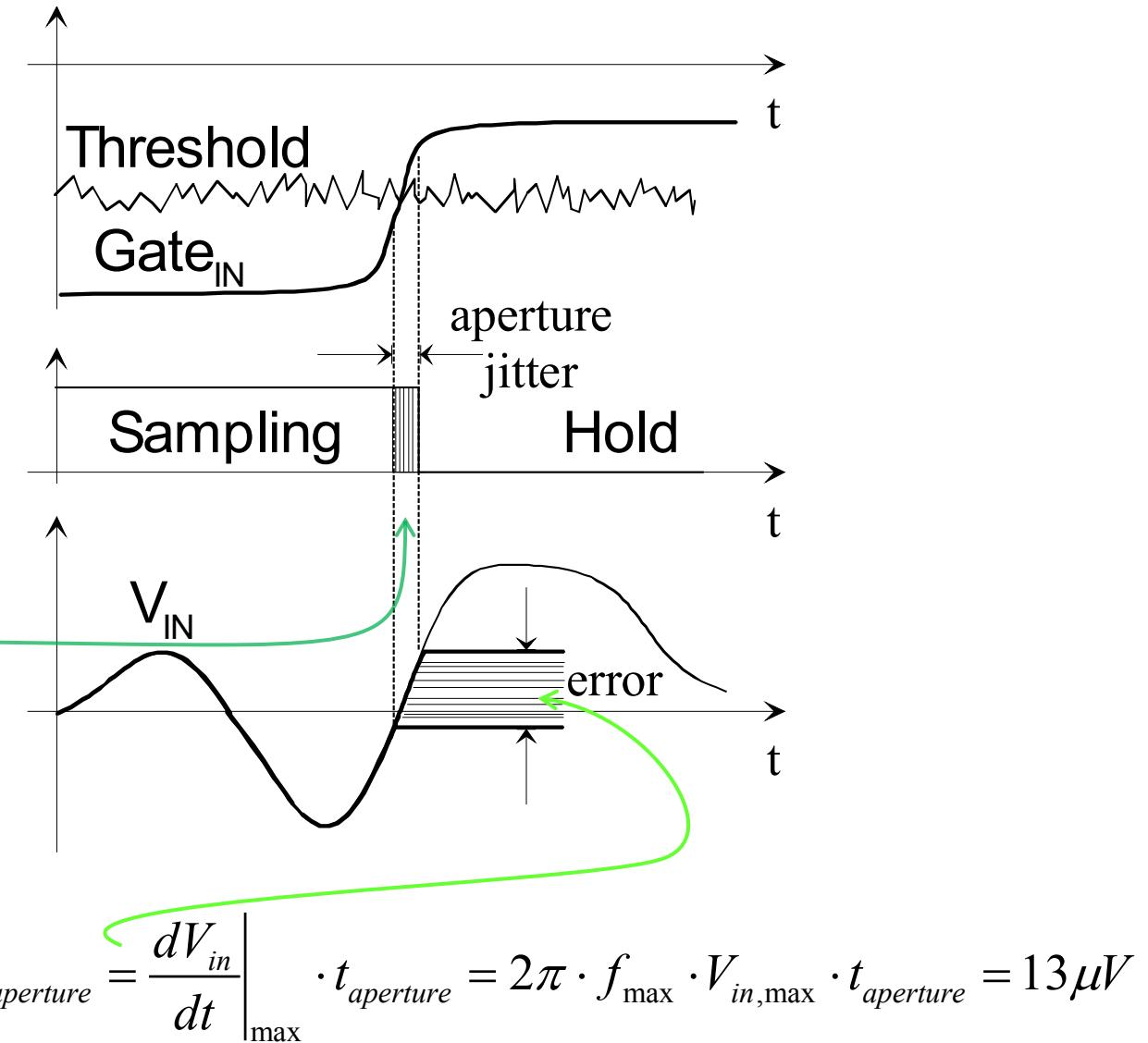
# S&H errors Aperture time jitter

POLITECNICO  
MILANO 1863

Dato el jitter nel tempo di apertura di un MOS

Il jitter relativo a  $V_{IN}$  è molto peggiore  
rispetto a quella della variabilità di  $V_T$  nei  
mos (che è solo 20 p)

$$t_{aperture} = \frac{\sigma_{threshold}}{\left. \frac{dV_{command}}{dt} \right|_{min}} = \frac{10mV}{\frac{5V}{10ns}} = 20ps$$



$$\sigma_{aperture} = \left. \frac{dV_{in}}{dt} \right|_{max} \cdot t_{aperture} = 2\pi \cdot f_{max} \cdot V_{in,max} \cdot t_{aperture} = 13\mu V$$

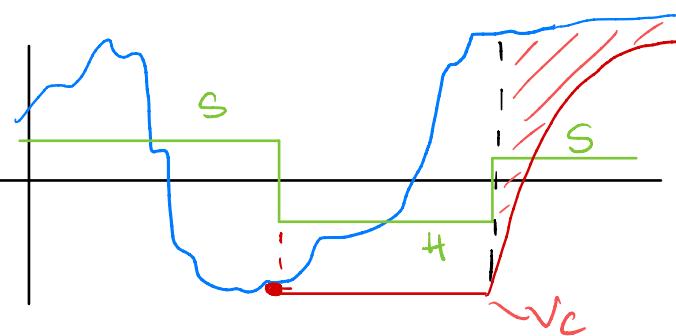
In case of a CMOS drive:  $\Delta V = 6 \cdot \sigma_{apertura} = 75\mu V_{pp}$  (18bit) trascurabile



# S&H errors    Acquisition time

Qui studiamo il transitorio tra Hold e Sample (contrario d'prima).

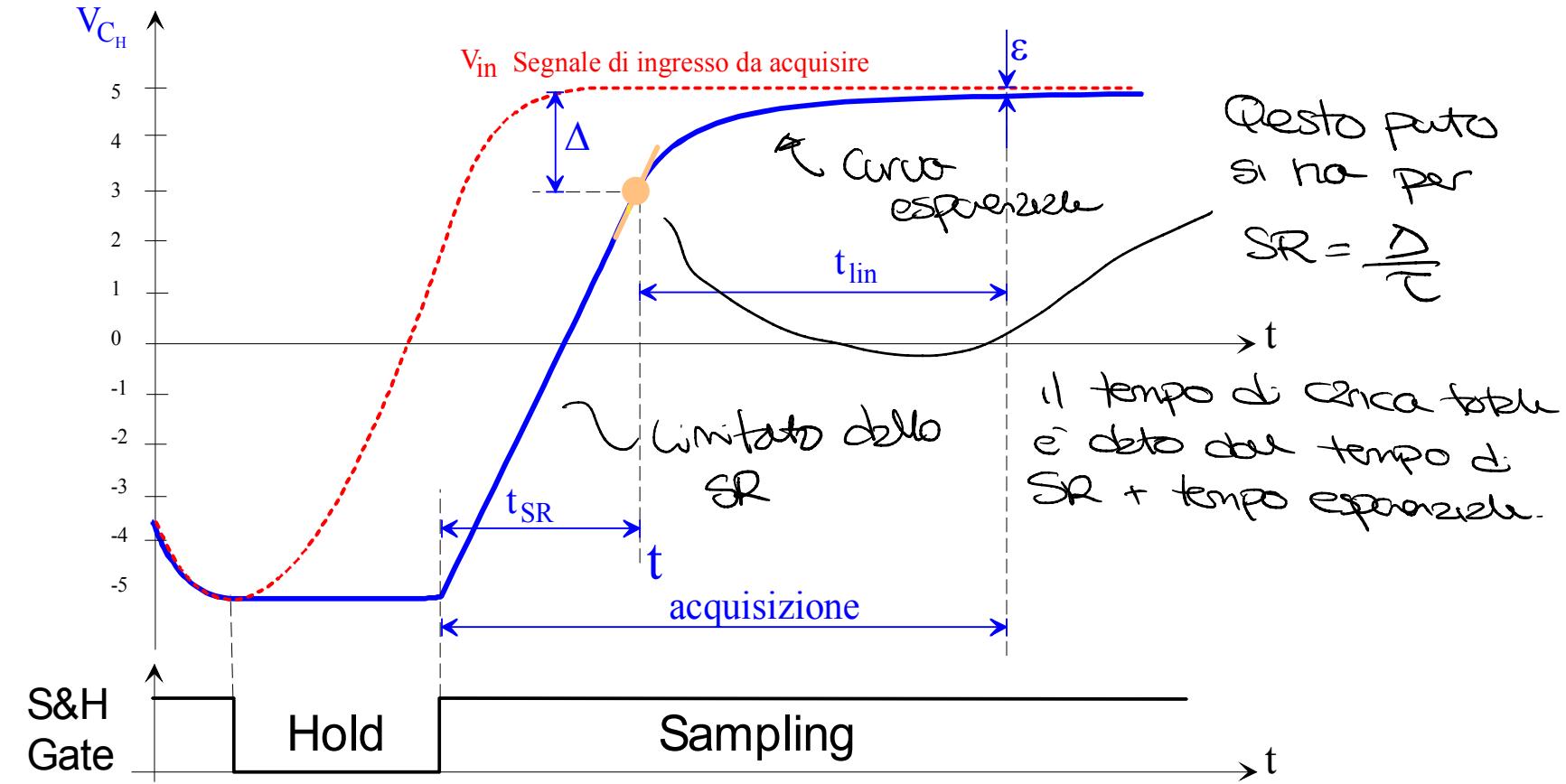
Supponiamo di aver scelto nel condensatore il minimo valore (-5V) e supponiamo di aver scelto il max (5V). Dobbiamo studiare quanto tempo ci mette



## Acquisition (Sampling):

Ho il tempo di salita può anche essere controllato dalla slow rate dell'opamp

For example: with  $I_{\text{Out},\max} = 25\text{mA}$  we get  $\Delta = 50\Omega \cdot 25\text{mA} = 1.25\text{V}$



$$t_{SR} = \frac{10 - \Delta}{SR} = \frac{(10 - 1.25)\text{V}}{2.8\text{V}/\mu\text{s}} = 3.1\mu\text{s}$$

and exponential charge

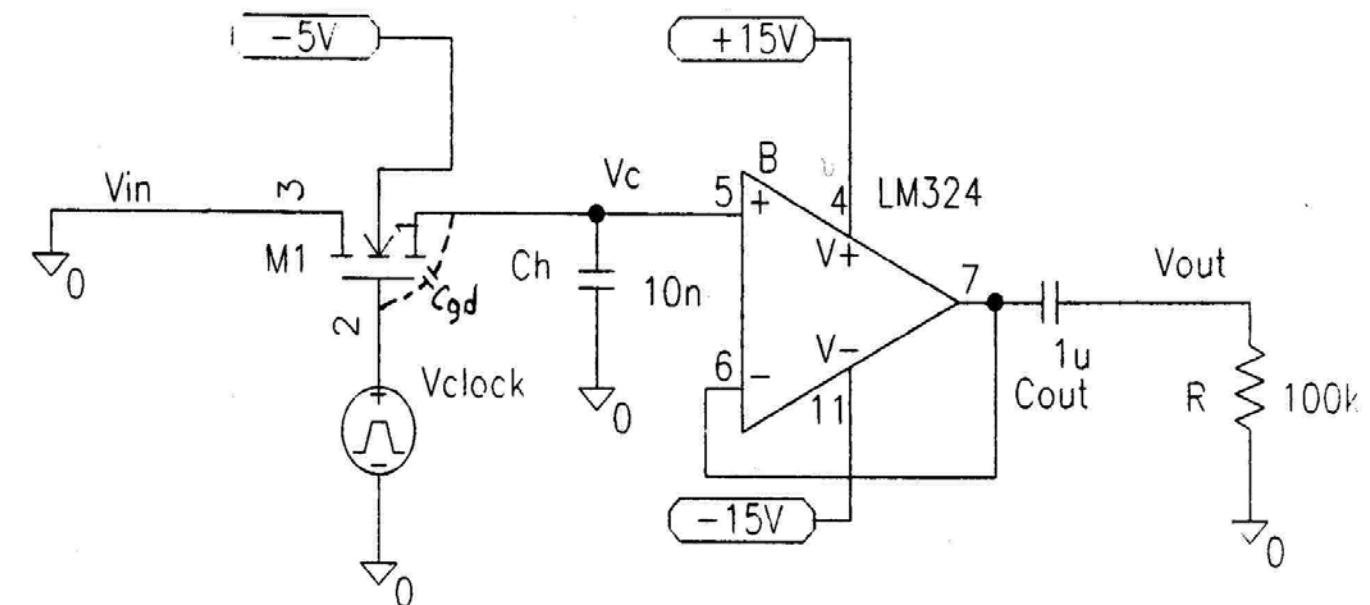
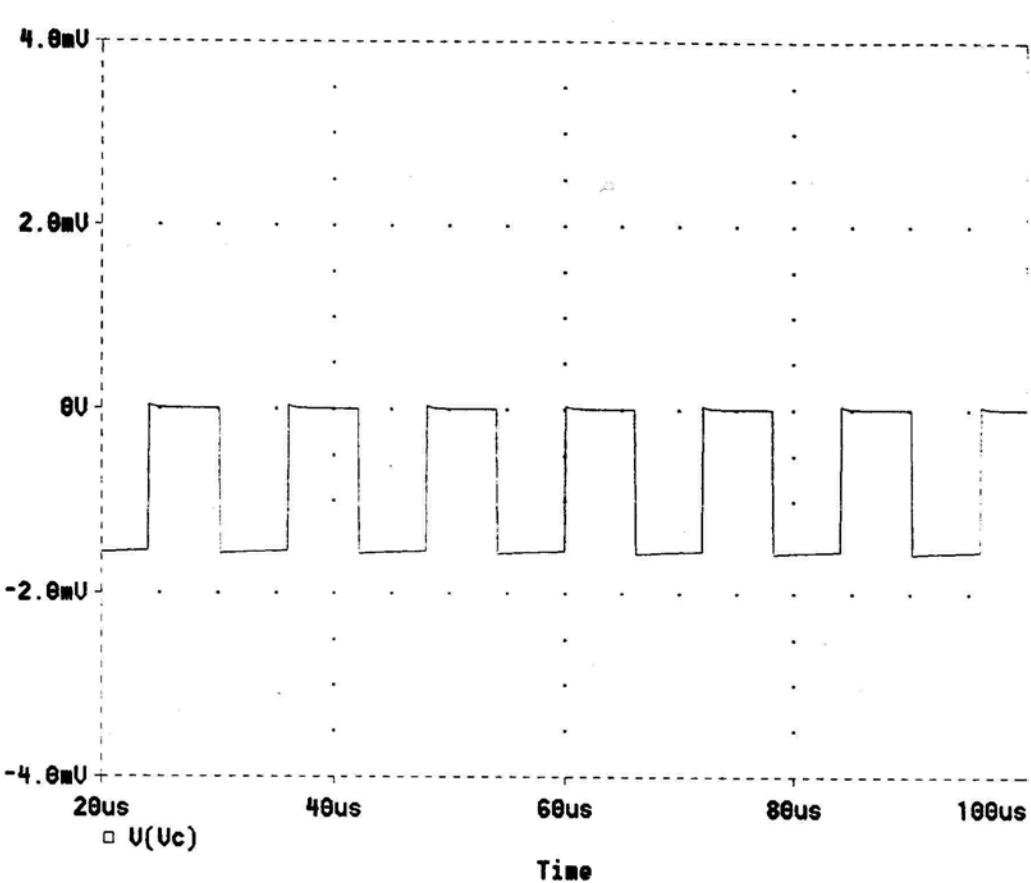
$$t_{lin} = \tau \cdot \ln \frac{\Delta}{\varepsilon}$$

D di tensione  
E di corrente



# Example of SPICE simulations

POLITECNICO  
MILANO 1863

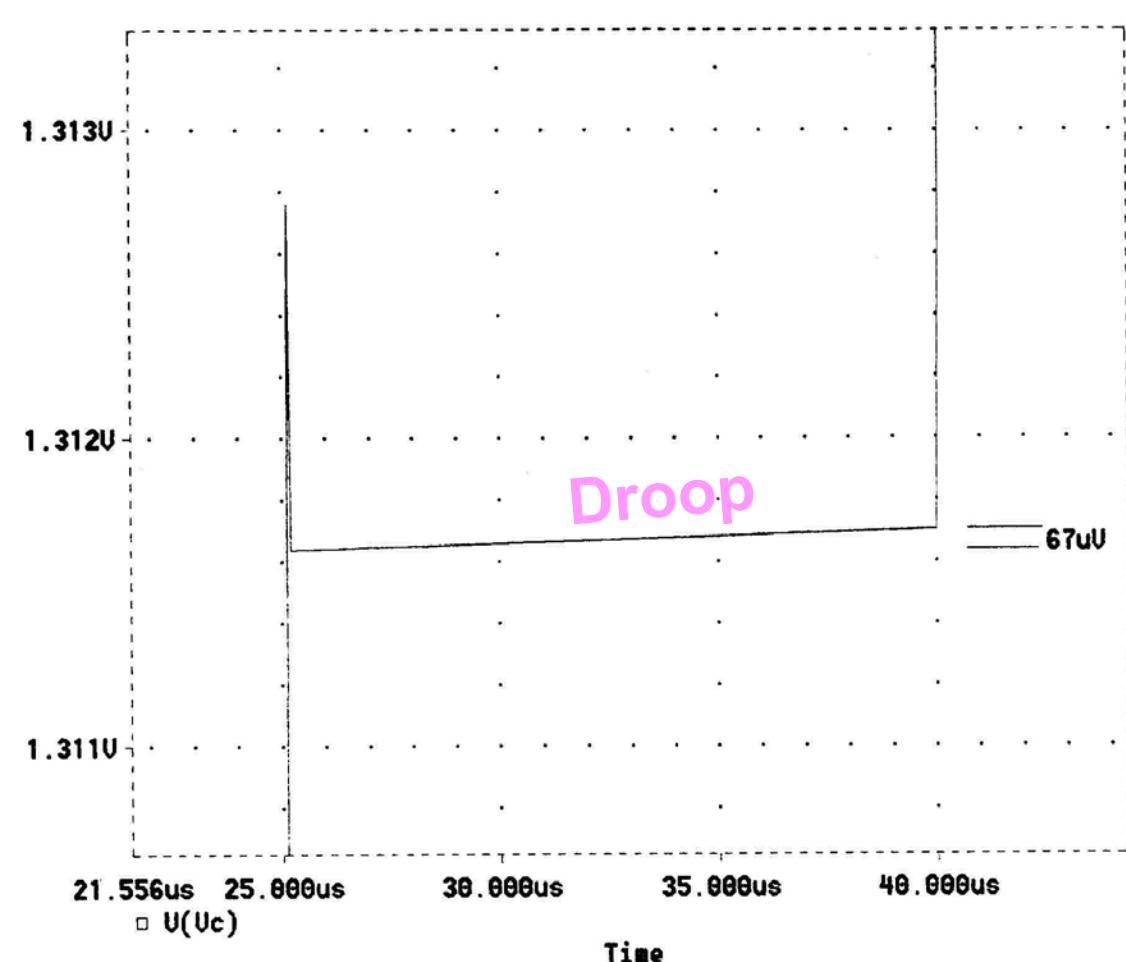
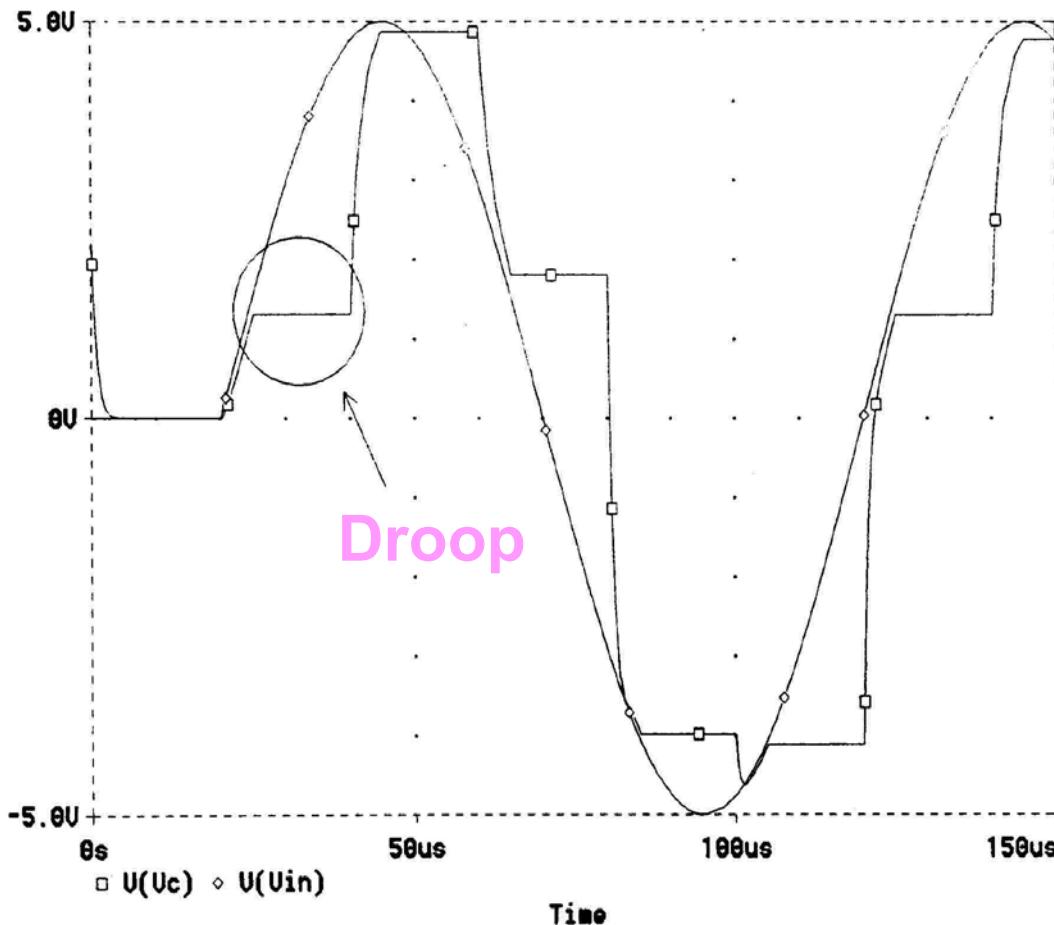


Charge injection



# Example of SPICE simulations

POLITECNICO  
MILANO 1863

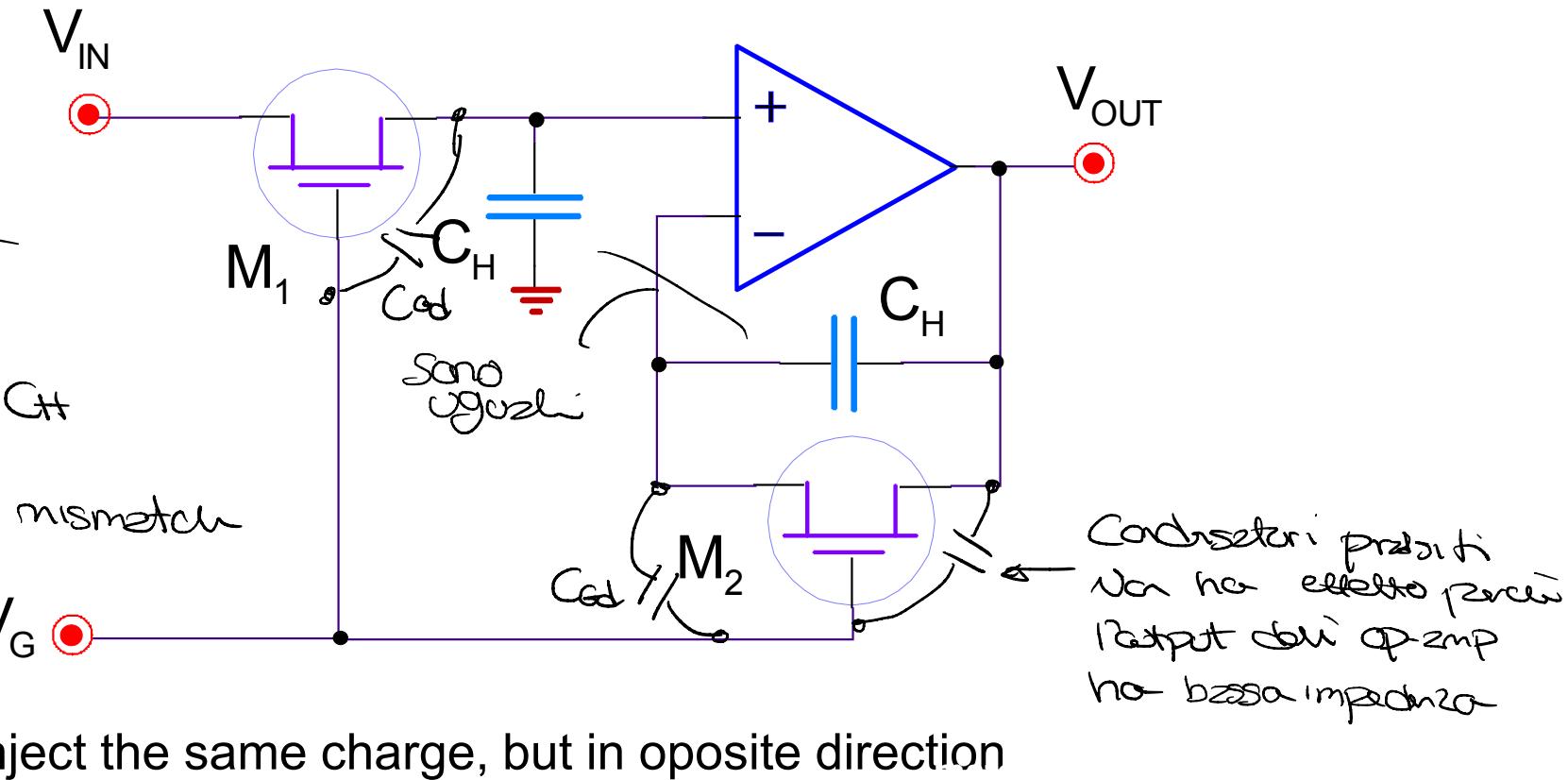




Compenso la charge injection

Su + zero° errore di V<sub>injection</sub>  
znde su V<sub>+</sub> così no un V<sub>out</sub>  
non subisce la charge injection  
e visto che posso znde ridine C<sub>H</sub>

Sfortunatamente però ci sono dei mismatch  
rimane un errore residuo

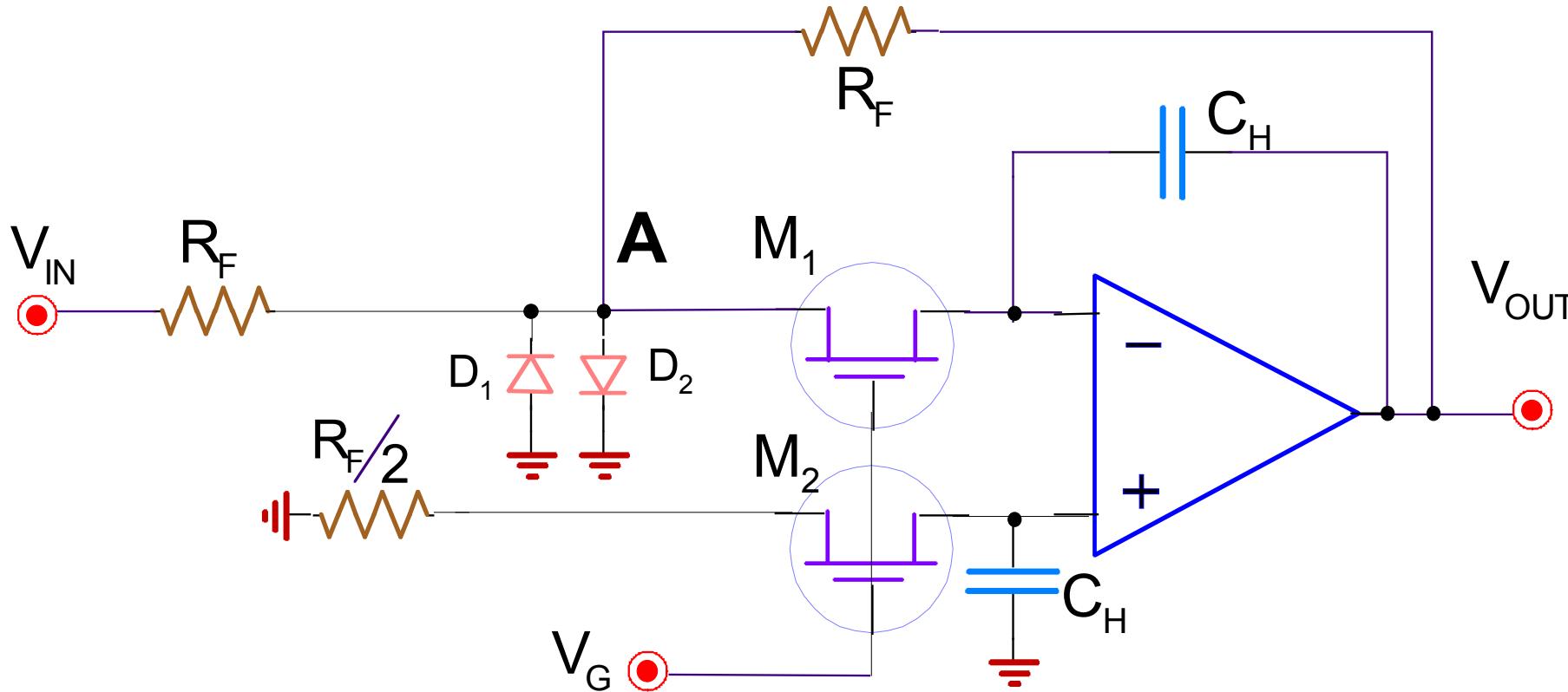


M2 mimics M1 and eventually inject the same charge, but in opposite direction

Only the residual contribution due to the mismatches remains

$$V_{\text{injection}} = \Delta V_G \cdot \frac{C_{\text{gd}}}{C_H} \cdot \left( \frac{\Delta C_{\text{gd}}}{C_{\text{gd}}} + \frac{\Delta C_H}{C_H} \right)$$

In this way it is possible to reduce C<sub>H</sub> from 9nF down to just 450pF, with the same charge injection.  
So the **acquisition time improves** (300ns instead of 6.3μs); the **signal-feedthrough worsens**



- $V_G$  can have simple low-voltage CMOS levels (0-3.3V), independent of  $V_{IN}$
- the *Aperture-Induced non-linearity* can be drastically reduced



# Advanced S&H circuits

# Speed up the switch

POLITECNICO  
MILANO 1863

Utilizziamo il ponte di Jodi come uno switch



Noi non sappiamo bene la tensione A e B sappiamo solo che la ddp tra i 2 è  $\frac{1}{2}V$

Se ca un buffer impongo una tensione su C zillora so ce no la stessa tensione anche su D, ma questo succede solo se i gen di corrente sono attivati

il vantaggio di questa configurazione e' che la Ron e esattamente  $R_{ON}(\frac{g_{m1}}{2} + \frac{g_{m2}}{2})$  che e' molto

piccola rispetto quella del mos. Inoltre anche le capacità parassite possono essere estremamente ridotte.

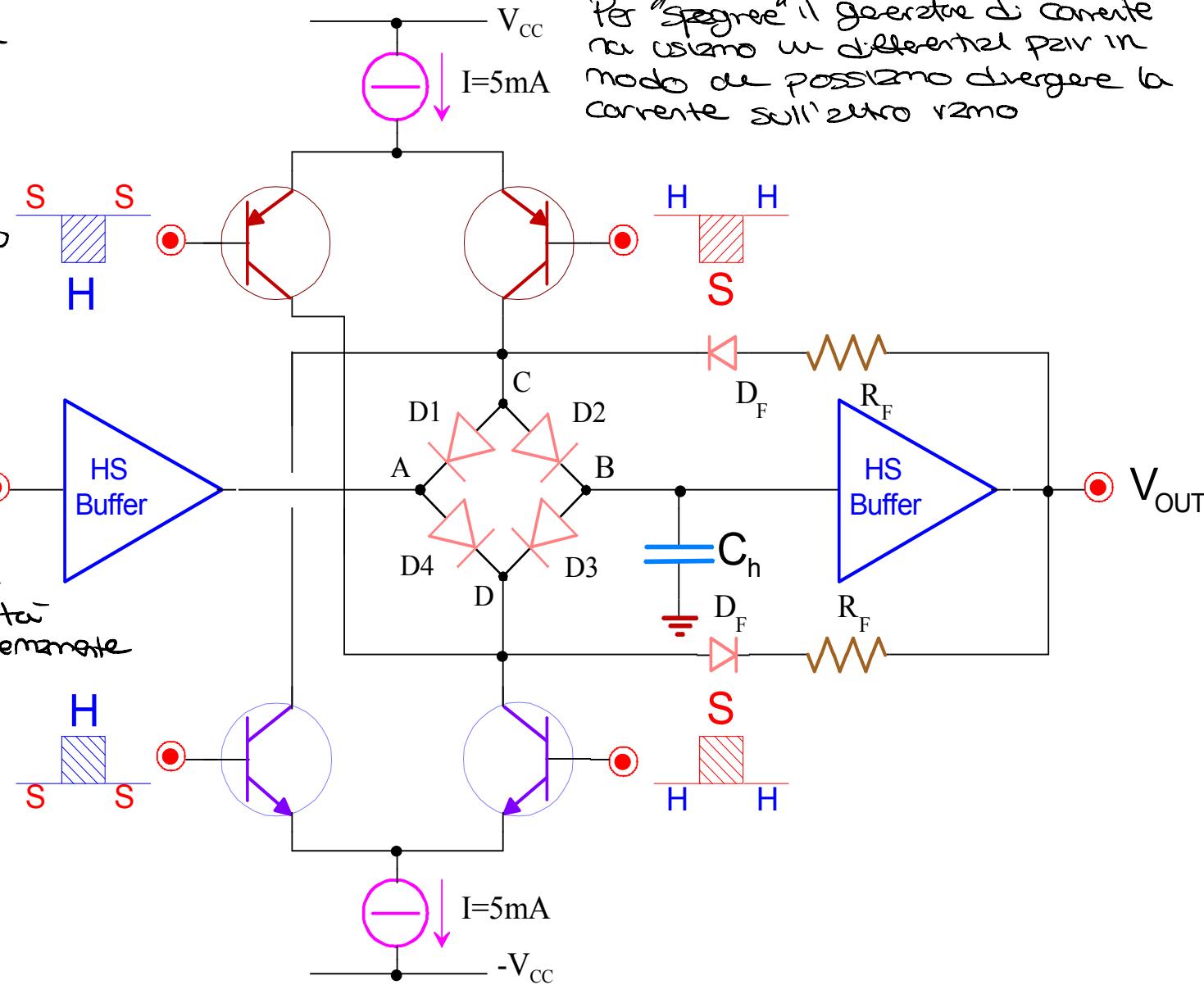
- fast diodes

- criss-cross

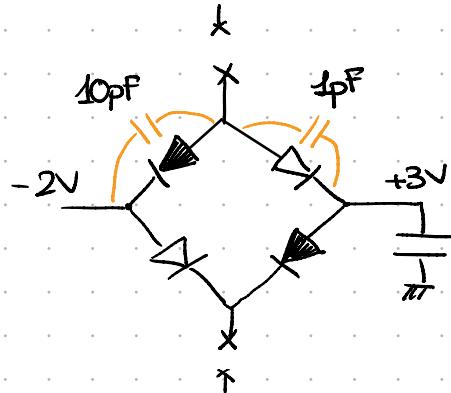
- poor accuracy

- timing issues to solve

Per "spegnere" il generatore di corrente noi usiamo un differential pair in modo da possiamo dirigere la corrente sull'altro v2mo



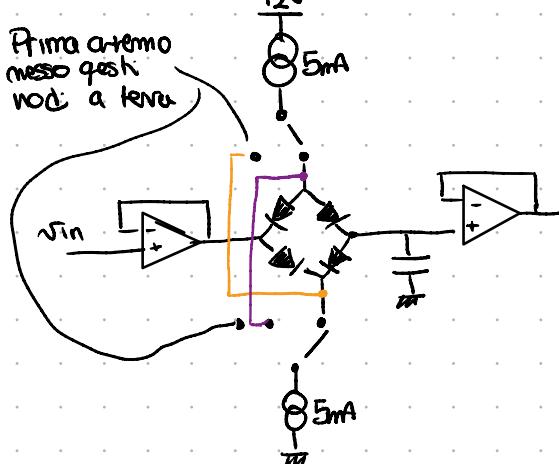
le capacità parassite sono



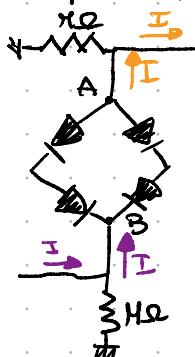
le 2 capacità sono diverse perché un diodo è polarizzato in dritta e uno in inversa

Sfortunatamente la tensione è 2 volte tra un lato e l'altro, noi vorremmo che la ddp sia più bassa così che le capacità parassite siano minori.  
Per questo usiamo la tecnica a croce che c'è nel circuito sopra sul ramo delle correnti.

In pratica facciamo tipo:



Facciamo questo incrocio perché



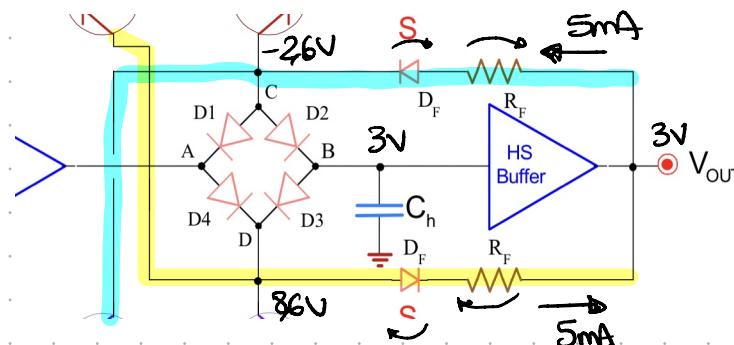
Ma così vedo che lo switch è spento perché la corrente non può scorrere in verso contrario e visto che vedo impedenza molto alta allora la tensione ai nodi A e B si alza di molto e quindi il reverse bias si alza di molto e la capacità si riduce un bello.

Tuttavia in questo caso le transizioni ON-OFF possono impegnare molto tempo perché nel circuito hanno fatto sì che:

La tensione su C e D non possa aumentare indifinitamente ma la leggeamo al valore di tensione del condensatore attraverso un buffer e un diodo.

Tuttavia questa configurazione è poco accurata perché le V<sub>f</sub> dei diodi non sono sempre uguali; tuttavia c'è un circuito molto veloce.

Un ulteriore problema è che il timing del perio differenziale.





# Feedback S&H circuits      Feedback S&H configurations

POLITECNICO  
MILANO 1863

Un'altra configurazione per fare il sample & hold. Possono usare la retroazione.

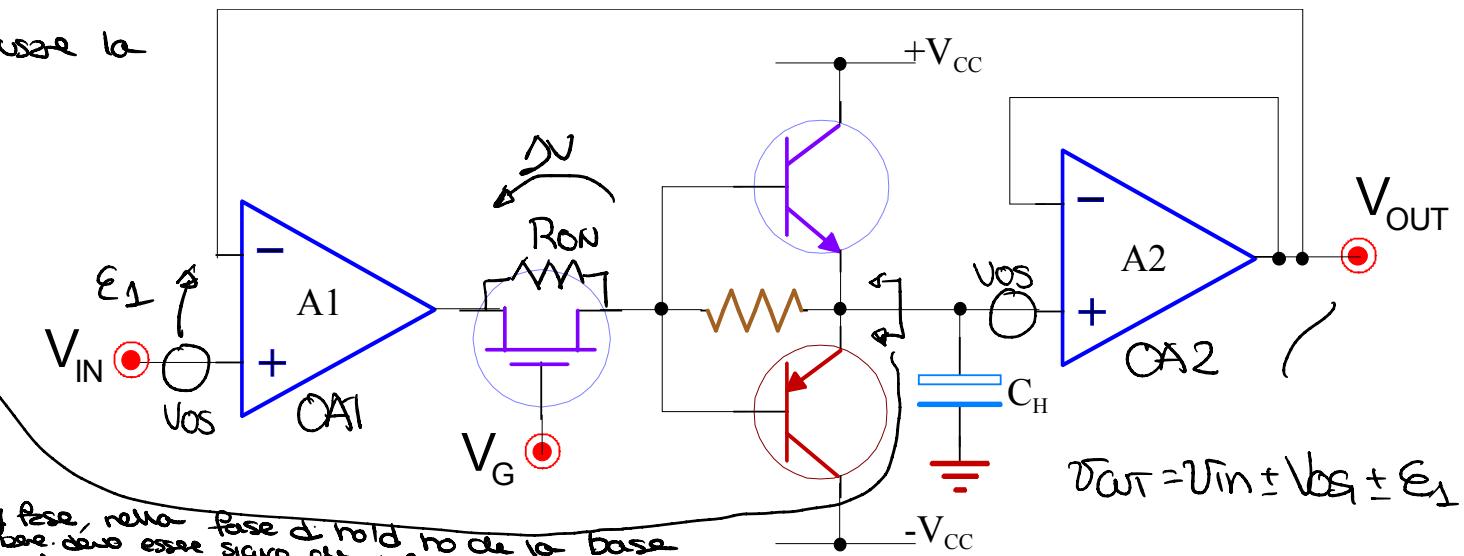
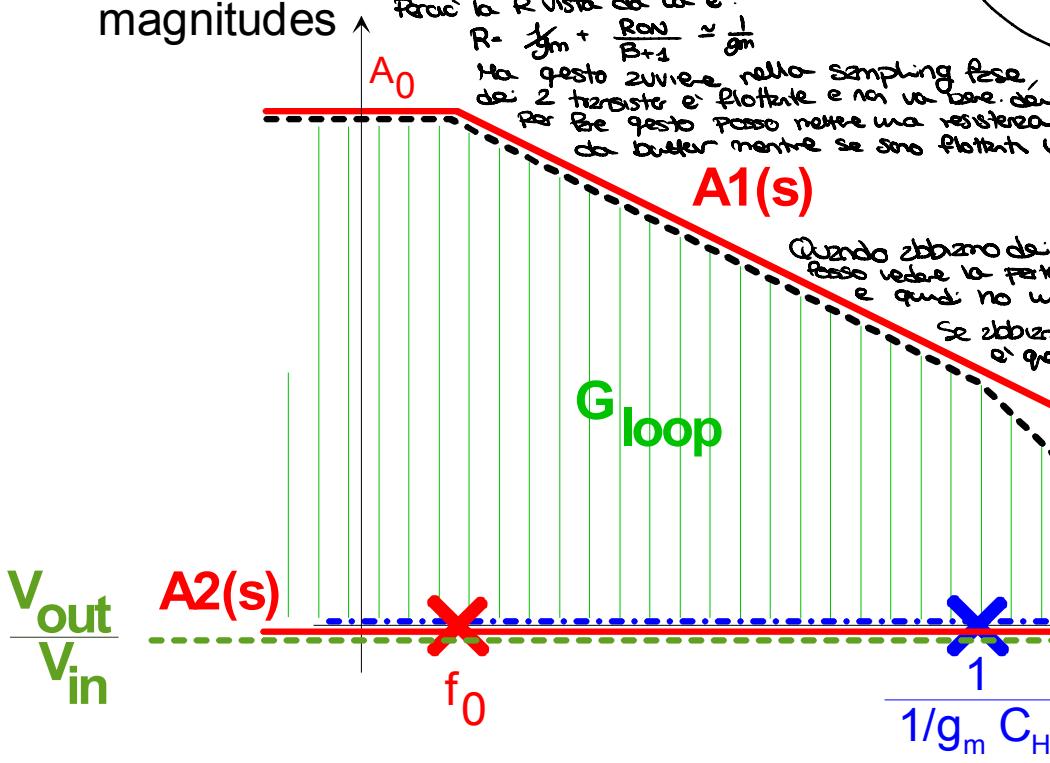
## Beware of instability !

Voglio dell'impedenza qui sia molto piccola (perciò  $R_{ON}$  è troppo grande) allora posso mettere un buffer. Mi sbatto della ddp tra base e emettitore del transistor. Mi sono nel forward path del feedback e quindi si autoregola.

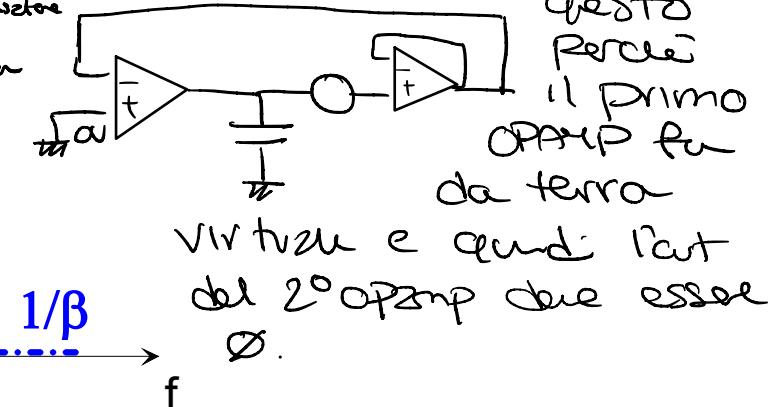
Però la  $R$  vista da lì è:

$$R = \frac{1}{g_m} + \frac{R_{ON}}{B+1} \approx \frac{1}{g_m}$$

Ma questo 2 viene nella sampling fase, nella fase di hold ho che la base dei 2 transistor è flottante e non va bene, dovo essere sicuro che i 2 transistor siano spenti per questo posso mettere una resistenza tra base e emettitore così quando sono on fa da buffer mentre se sono flottanti li tiene off.



Il feedback killa l'effetto del rumore del 2° stadio.



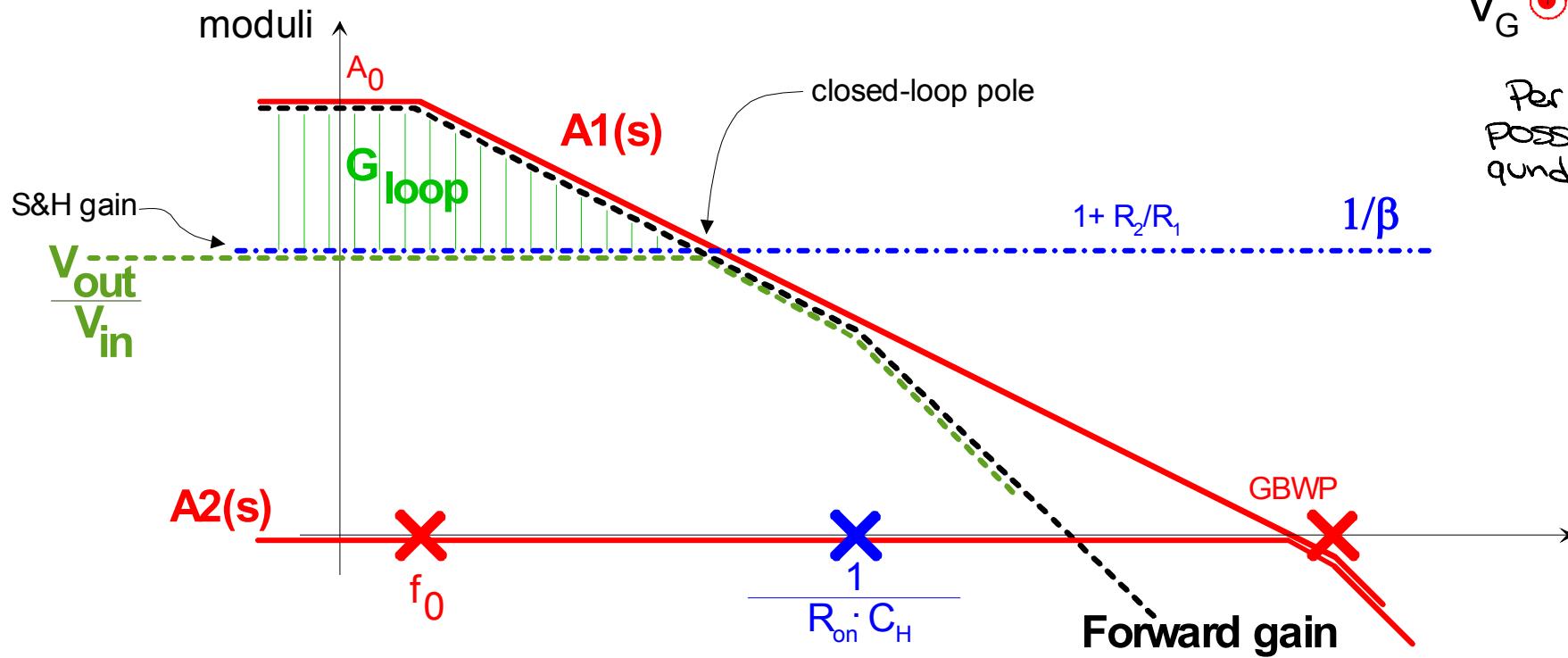
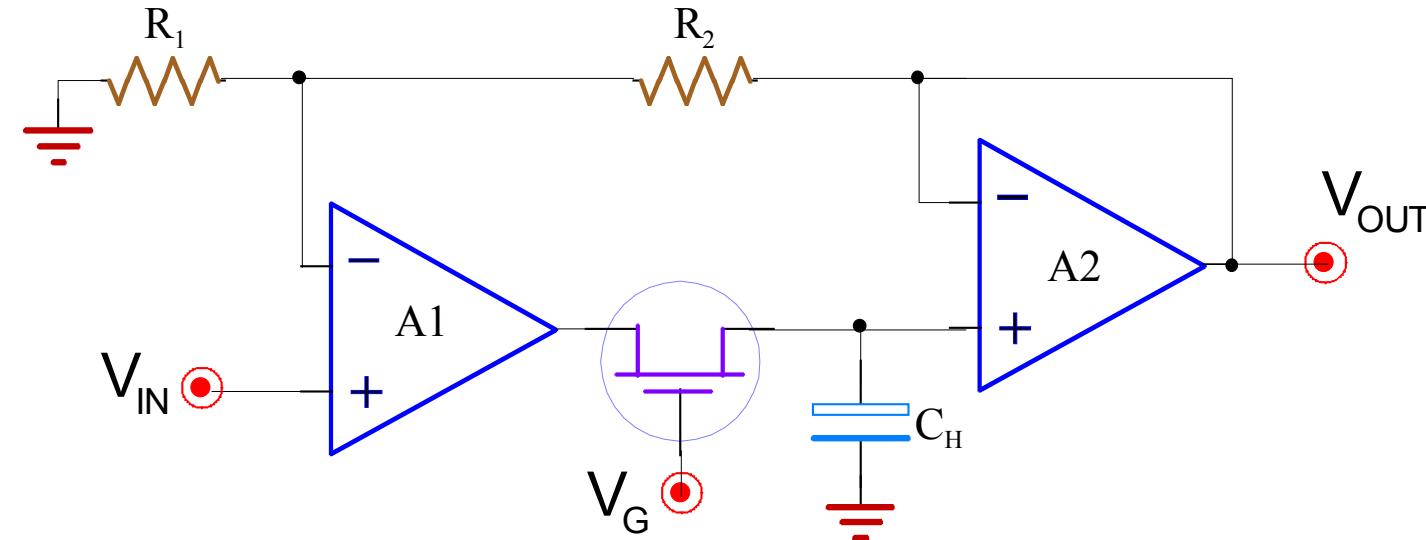


# Feedback S&H circuits

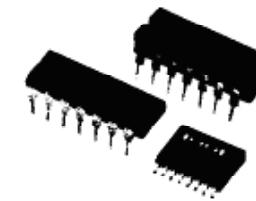
# Feedback S&H configurations

POLITECNICO  
MILANO 1863

S&Hs with gain  
provide more stability !



Per uscire da nuovo la stabilità  
possiamo aumentare il guadagno e  
quindi riprendere la stabilità.



## general-purpose S&H

### High-Speed Bipolar Monolithic SAMPLE/HOLD AMPLIFIER

#### FEATURES

- ACQUISITION TIME TO 0.01%: 1.5µs max
- HOLD MODE SETTLING TIME: 350ns max
- DROOP RATE AT +25°C: 0.5µV/µs max
- TTL COMPATIBLE
- FULL DIFFERENTIAL INPUTS
- INTERNAL HOLDING CAPACITOR
- TWO TEMPERATURE RANGES:  
-40°C to +85°C (KH, KP, KU)  
-55°C to +125°C (SH)
- PACKAGE OPTIONS: 14-pin Ceramic,  
Plastic DIP, and 16-pin SOIC

#### APPLICATIONS

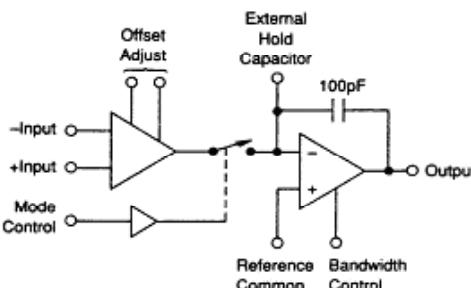
- PRECISION DATA ACQUISITION SYSTEMS
- DIGITAL-TO-ANALOG CONVERTER DEGLITCHER
- AUTO ZERO CIRCUITS
- PEAK DETECTORS

#### DESCRIPTION

The SHC5320 is a bipolar monolithic sample/hold circuit designed for use in precision high-speed data acquisition applications.

The circuit employs an input transconductance amplifier capable of providing large amounts of charging current to the holding capacitor, thus enabling fast acquisition times. It also incorporates a low leakage analog switch and an output integrating amplifier with input bias current optimized to assure low droop rates. Since the analog switch always drives into a load at virtual ground, charge injection into the holding capacitor is constant over the entire input voltage range. As a result, the charge offset (pedestal voltage) resulting from this charge injection can be adjusted to zero by use of the offset adjustment capability. The device includes an internal holding capacitor to simplify ease of application; however, provision is also made to add additional external capacitance to improve the output voltage droop rate.

The SHC5320 is manufactured using a dielectric isolation process which minimizes stray capacitance (enabling higher-speed operation), and eliminates latch-up associated with substrate SCRs. The SHC5320KH, KP, and KU feature fully specified operation over the extended industrial temperature range of -40°C to +85°C, while the SHC5320SH operates over the temperature range of -55°C to +125°C. The device requires ±15V supplies for operation, and is packaged in a reliable 14-pin ceramic or plastic dual-in-line package, as well as a 16-pin surface-mount plastic package.

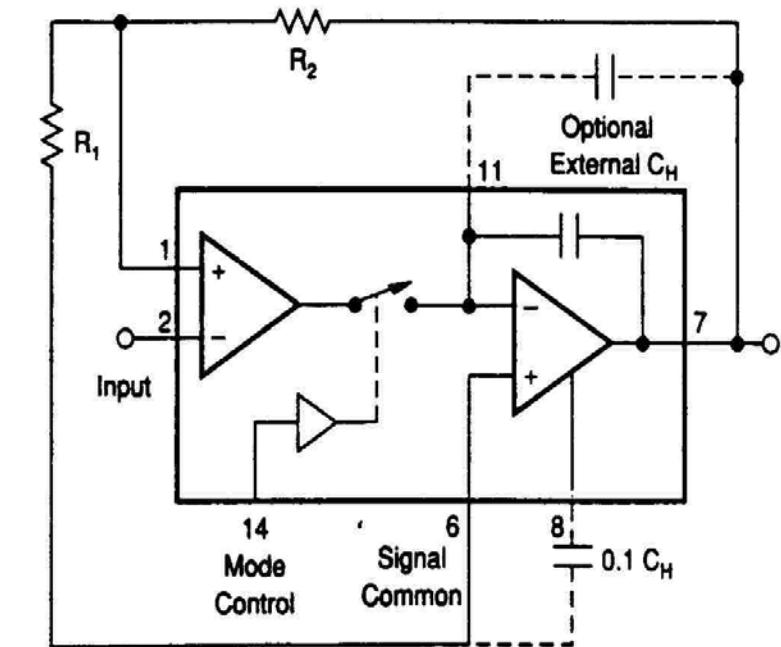
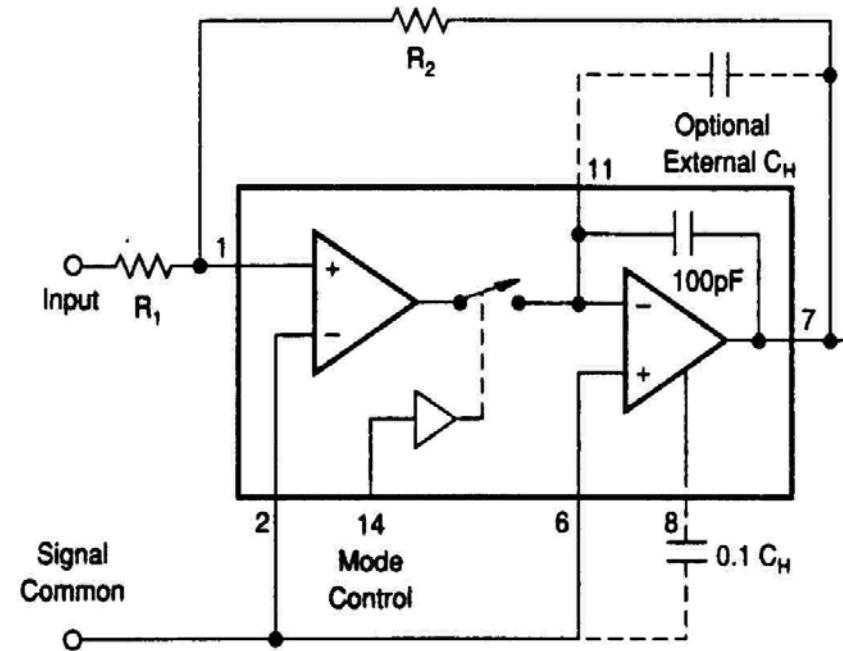
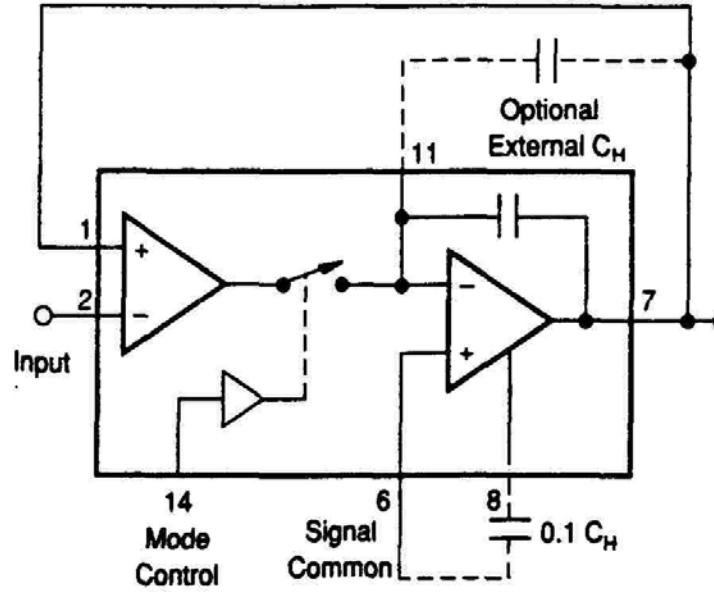




# Data-sheet

POLITECNICO  
MILANO 1863

Examples of different configurations:



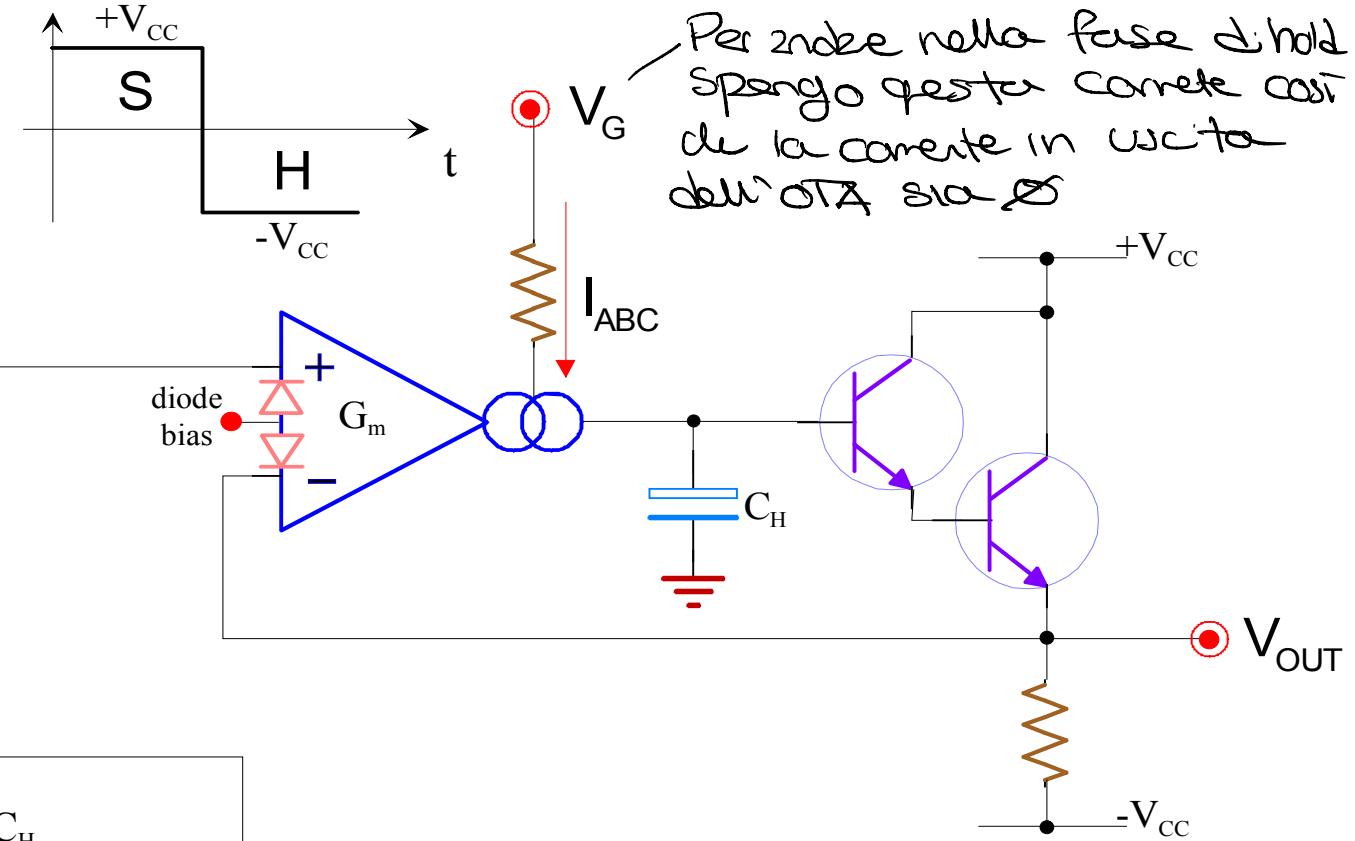
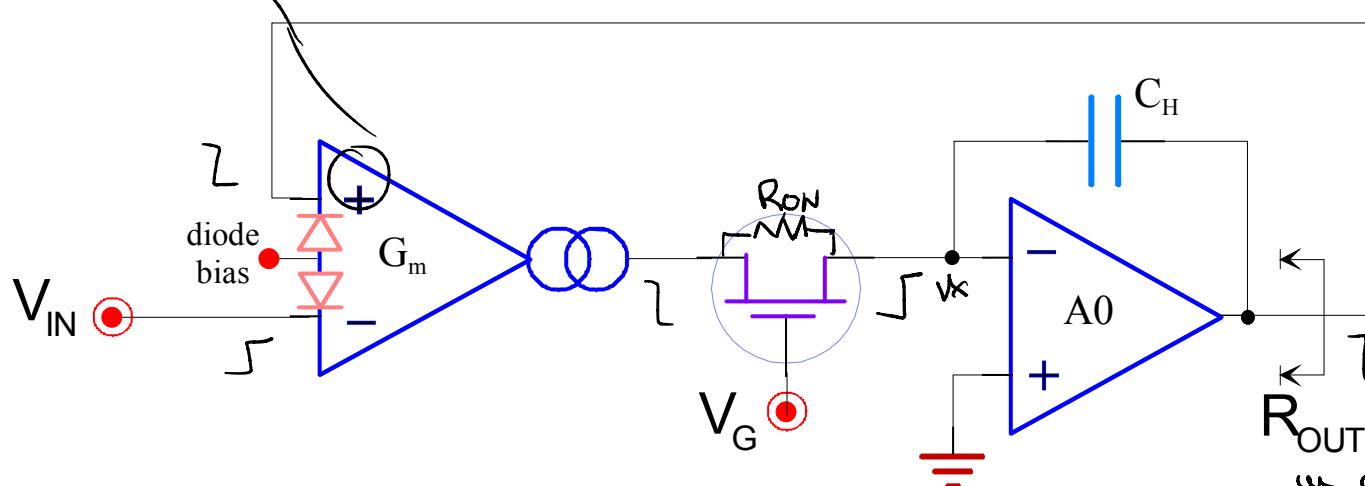


# Other S&H circuits

POLITECNICO  
MILANO 1863

Un altro esempio di Sample & hold è quello fatto da un OTA  
il quale avrebbe un guadagno troppo basso perciò noi lo aumentiamo usando una  
retroazione con un darlington.

Qua ci va il +  
stavolta non c'è un feedback  
negativo



Posso zonke cambiare la configurazione così  
che metto il condensatore nel feedback del 2° opamp  
facendo questo perciò

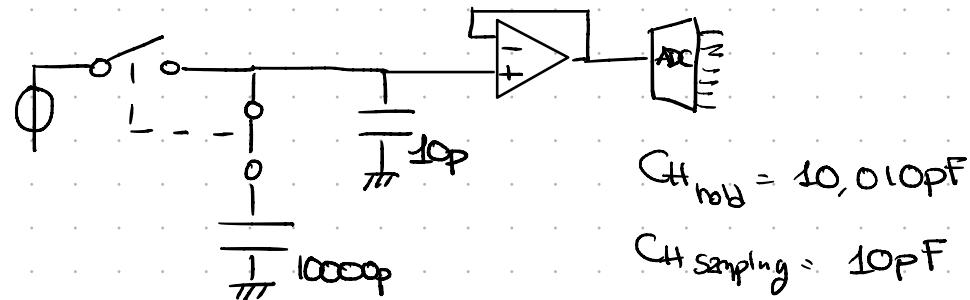
Se ho questo allora  
 $\frac{1}{T} \rightarrow +3$   
 $V_{OUT} = 3V + V_t$  e se la tensione del  
condensatore aumenta anche  $V_{OUT}$  aumenta.  
Nella nuova configurazione  $V_t$  è sempre un valore  
quindi posso comandare i mos molto più facilmente.  
Dato che  $V_t$  è sempre 0 e il mos è chiuso allora non ha senso usare  
un opamp e allora posso usare un OTA che è più easy.

Nel nei nostri sample & hold vogliamo ridurre il tempo di acquisizione da seppur 200 ns essere

$$t_{\text{acq}} = \tau \ln\left(\frac{\Delta}{\epsilon}\right) \quad \text{dove } \epsilon = \frac{E_{\text{LSB}}}{2} = \frac{\Delta}{2^{2n}} \quad \text{Per cui vorremo } C_H \text{ piccolo}$$

Tuttavia vorremo anche ridurre il droop, perciò  $\frac{dV}{dt} = \frac{\text{Leakage}}{C_H}$  e quindi vorremo  $C_H$  grande

Possiamo fare una struttura variabile



$$C_H = 10,010 \text{ pF}$$

$$C_H = 10 \text{ pF}$$

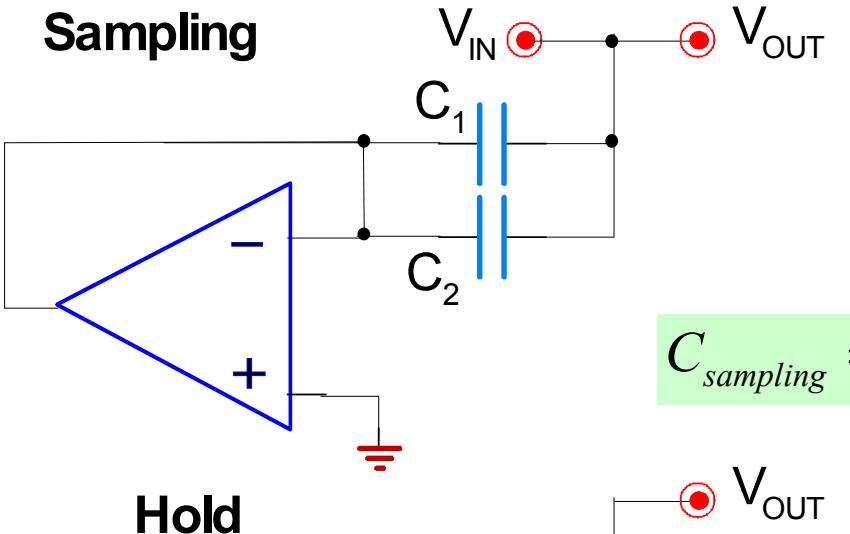
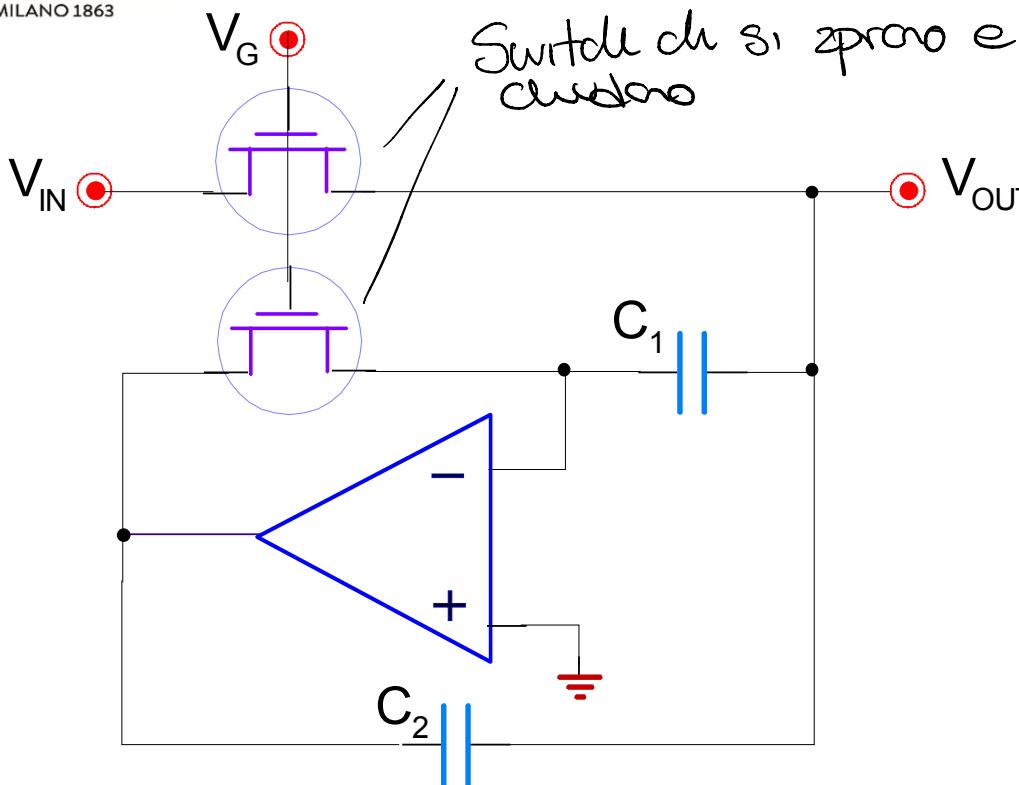
Nella rete ci questo non funziona perché io non ho caricato il condensatore grande

Per risolvere questo problema usiamo i circuiti sotto.

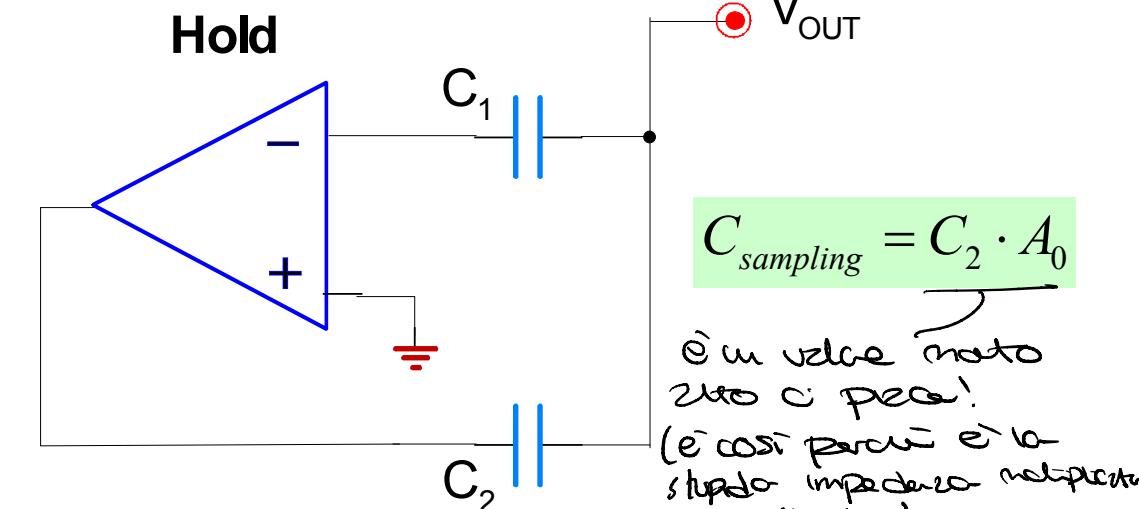


# Other S&H circuits

POLITECNICO  
MILANO 1863



$$C_{sampling} = C_1 + C_2$$



$$C_{sampling} = C_2 \cdot A_0$$

È un valore molto zero o poco!  
(e così perché è la  
stupido impedenza relativa  
per 1-Gop tipo).

## Idea:

minimize  $C_H$  during sampling (acquisition phase)

maximize  $C_H$  during hold



- Errors always wait in ambush
- Learn how to cope with them
- Device fancy and smart structures

Next lesson: **11 – mux**