



**POLITECNICO**  
**MILANO 1863**



## ELECTRONIC SYSTEMS

2021-22 academic year  
prof. Franco ZAPPA



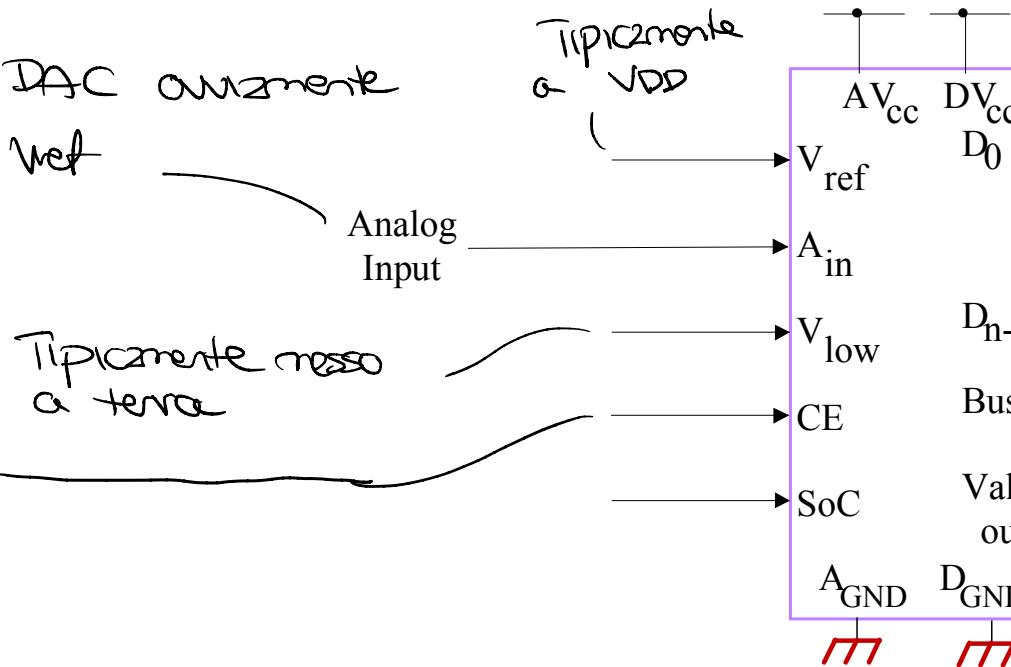
- Basics of quantization
- Front-end sizing
- ADC architectures
- Timings
- Data-sheets



# ADC, Analog-to-Digital Converter

Opposto di un DAC ovunque  
Piu' uscite da Vref  
a Vlow

chip enable



Quando metti l'input analogico  
da un impulso all'ADC e  
così puoi a convertire e  
dopo un tempo di conversione  
ha un uscita

Mi dice se è finito che la  
conversione è completa

**Number of bit:**

n

8

16

**Number of levels:**

$2^n$

256

65536

**F<sub>ull</sub>S<sub>cale</sub>R<sub>ange</sub>**

$V_{ref} - V_{low}$

5V

5V

**Resolution:**

$$L_{\text{east}} S_{\text{significant}} B_{\text{it}} = \text{FSR}/2^n$$

19.5mV

76μV

$$1/2^n$$

$$3.9^{\circ}/_00$$

$$15\text{ppm}$$



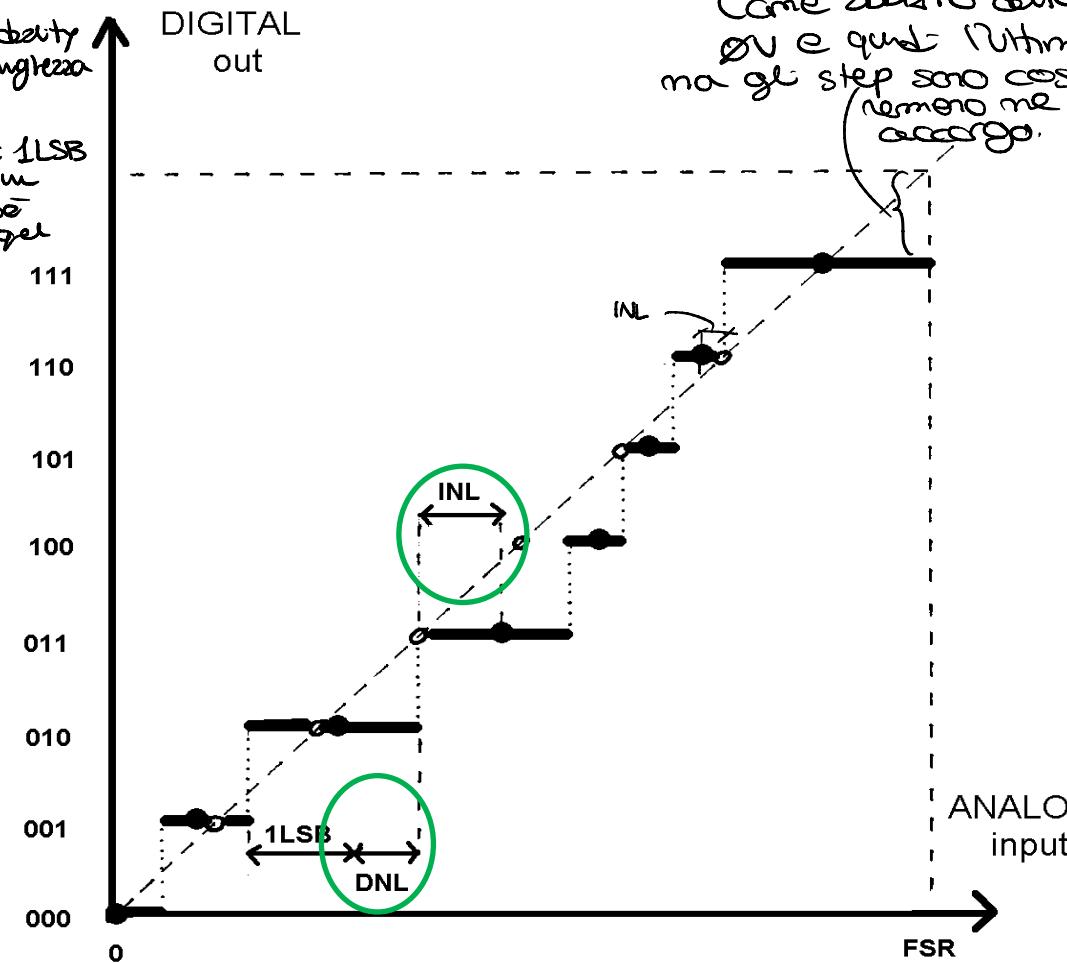
Integral non identity: La differenza fra il cavo dello step e la retta a 45° è l'INL.

La DNL non identity è relativa alla lunghezza dello step.

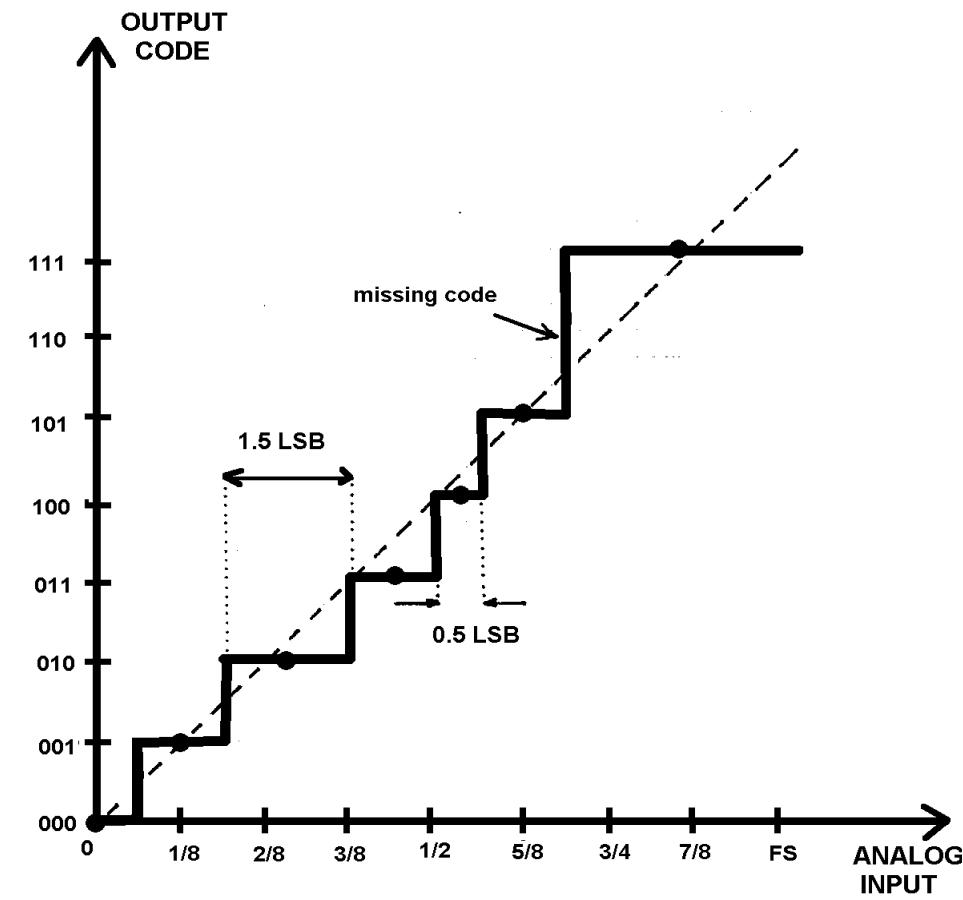
Se la DNL è > di 1LSB  
abbiamo che c'è un missing code cioè non sono m2 quel codice (in realtà quello sotto) in uscita.

## DNL and INL

Come abbiamo detto il primo step è ovv e quindi l'ultimo step è a FSR-1 step ma gli step sono così picci da in reale non esserne ne accorgo.



## Missing codes

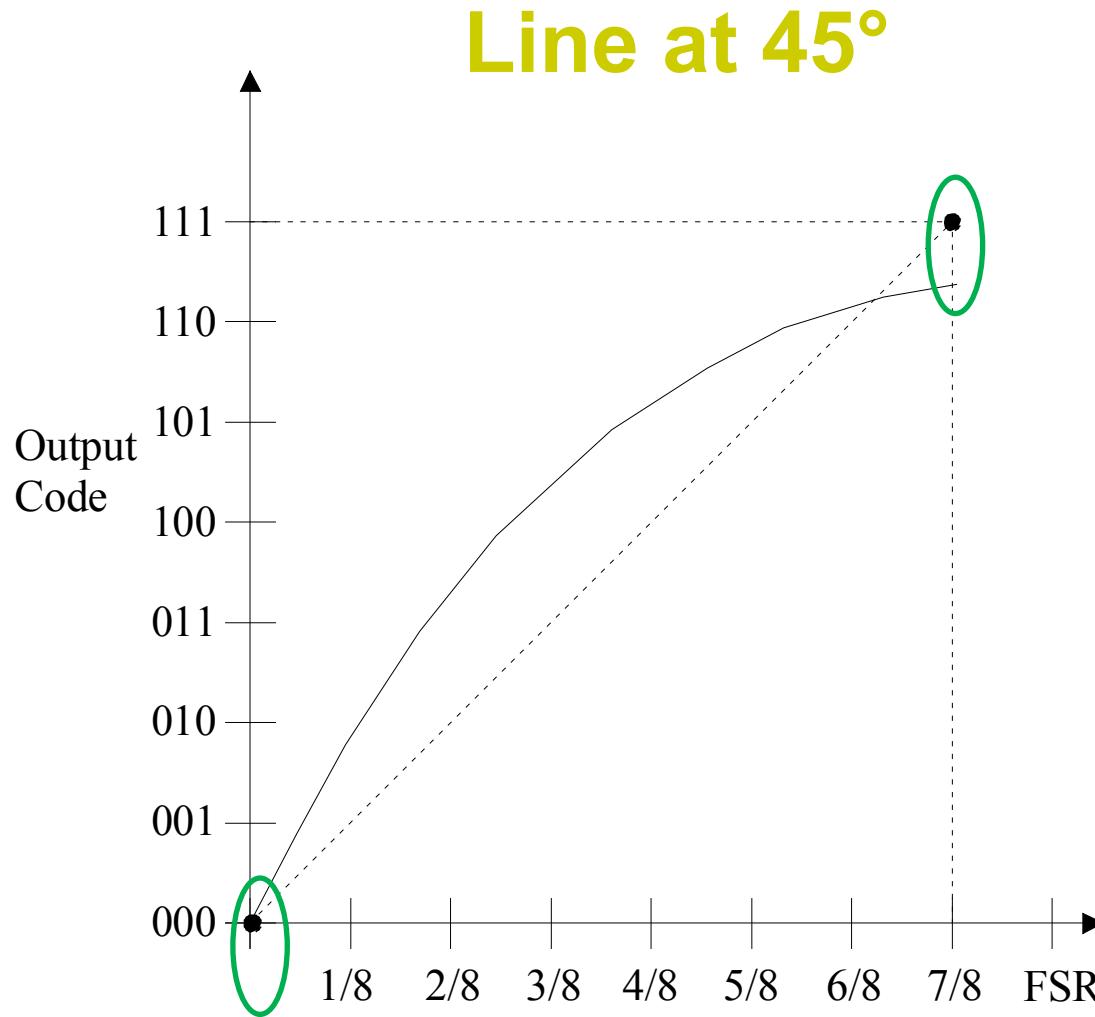




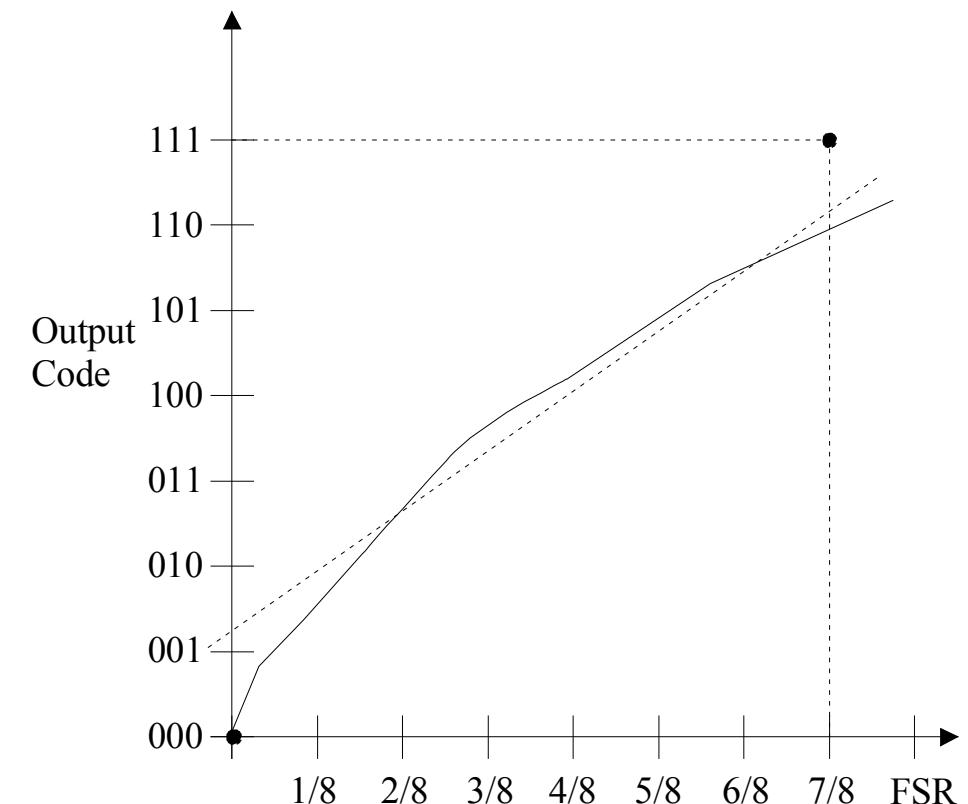
# Linearity

Possiamo dire che un ADC è molto buono perché è molto lineare.

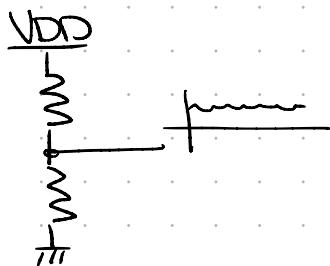
POLITECNICO  
MILANO 1863



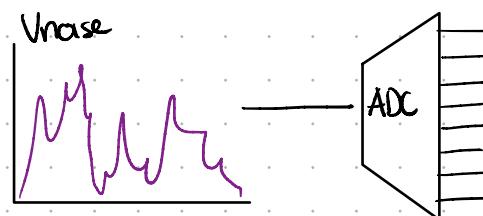
### Best-linear fitting



Supponiamo voglia generare un numero random



a causa del rumore  
la tensione varia un po'  
Supponiamo di amplificare  
il rumore e darlo in pasto  
all'ADC

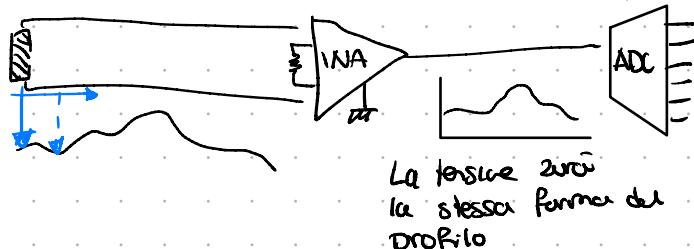


Se la DNL fosse  $\neq$  zero  
ricostruire l'istogramma di tutti i valori  
e quindi se il processo d'ingresso è  
randomico sarebbe l'uscita digitale e'  
randomica

Sono step dell'ADC fosse meglio  
degli altri 2<sup>n</sup> bin + probabilità di avere quel  
valore in uscita.

Perciò in un progetto del genere lo voglio  $DNL = \emptyset$  o al massimo DNL costante per avere stesse probabilità.

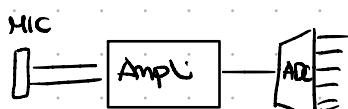
Altro esempio: Abbiamo uno strumento per leggere il profilo d'elevazione di qualcosa toccando



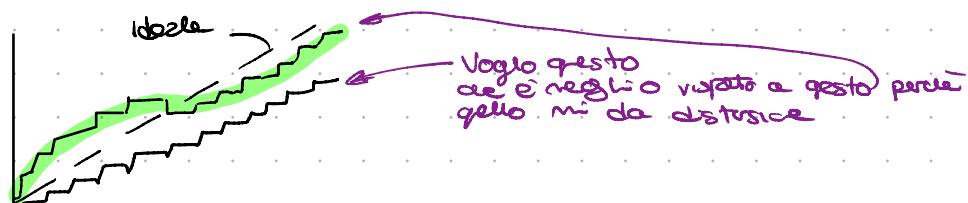
La tensione avrà  
la stessa forma del  
profilo

Io voglio  $C_{INL} = \emptyset$  perché voglio che il  
profilo di elevazione sia giusto come  
è la reale, cioè la tensione è proporzionale alla  
elevazione e non voglio sfaccettatura.

Altro esempio



In questo caso mi interessa la curva ingresso uscita. Voglio  
piuttosto che ci sia una grande INL piuttosto che ci sia distorsione



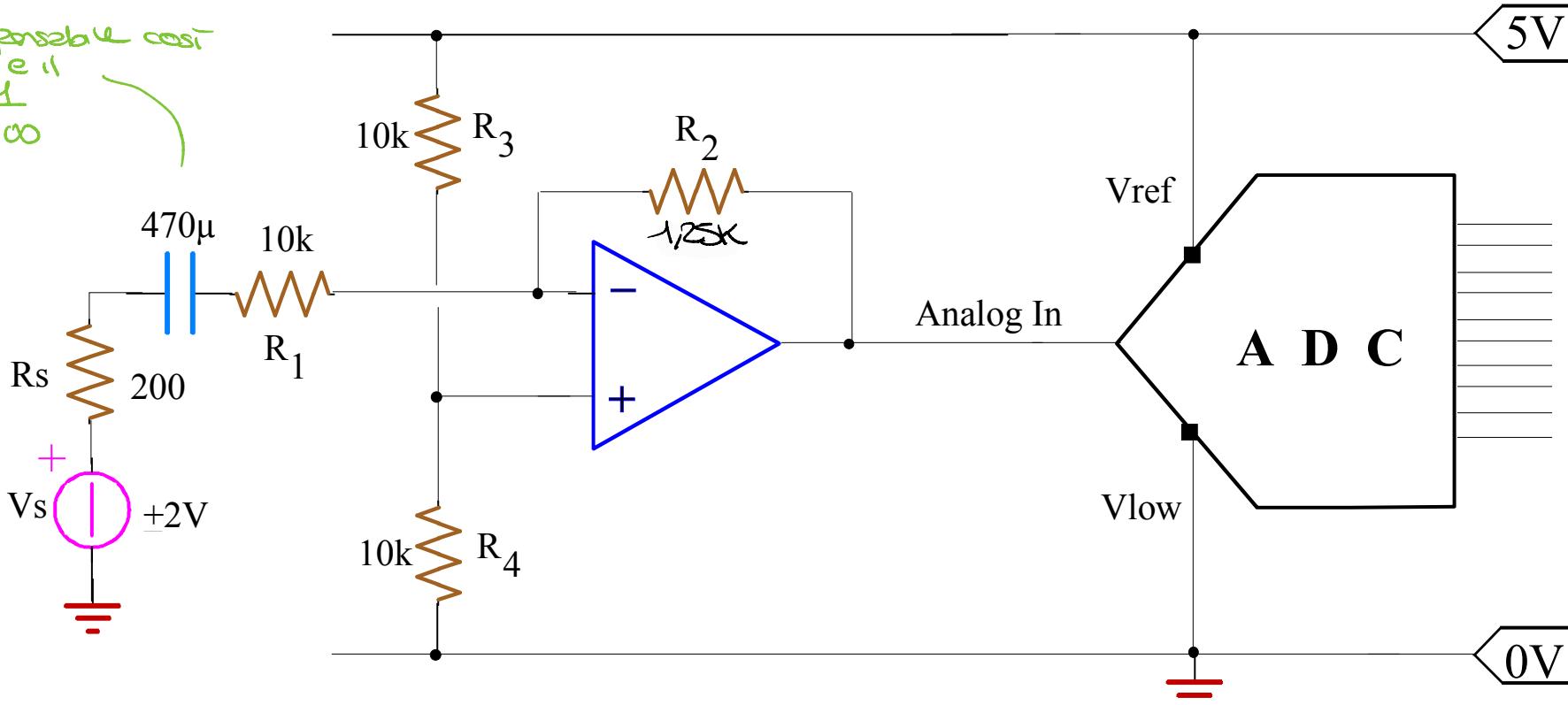


## Signal conditioning:

adjust amplitudes and impedances

Dobbiamo condizionare il segnale d'ingresso per renderlo adatto all'input dell'ADC

il condensatore è indispensabile così  
in DC è un cortocircuito e il  
guadagno diventa 1  
perché  $R_L$  risulta  $\infty$





# Example of sizing

**Product:** temperature meter

**Specs:**

precision	0.1°C
temperature	-100°C ÷ +300°C

**Components:** thermoresistance PT100

100Ω at 0°C + 0.385Ω every 1°C

(61.5Ω ÷ 215.5Ω) ← Nel Nostro Caso

discretization bits       $400^\circ\text{C} / 0.1^\circ\text{C} = 4000 = 4096 = 2^{12}$  ← Visto che  $\Delta T_{min} = 0.1^\circ\text{C}$  allora ci serve una risoluzione di almeno 4096 → 12 bit.

LSB                          38.5mΩ



# Example of sizing (1)

12bit ADC and setting of  $V_{low}$  and  $V_{ref}$

Ripetiamo 23mA perché la resistenza della PT100 va da circa 60Ω a  $\approx 215\Omega$  e quindi vogliamo una tensione decente in uscita. Vediamo che la tensione va da  $\approx 1,4$  a  $\approx 3,5$ , questo perché  $R_{th} \neq 0\Omega$  ma ha un valore. Ma questo non va bene perché non uso tutto il range. Infatti vedo meno step non ne vedo 4096 ma ne ho solo  $2^{12}(35-1,4) = 1720$  livelli. Perciò non ho abbastanza risoluzione.

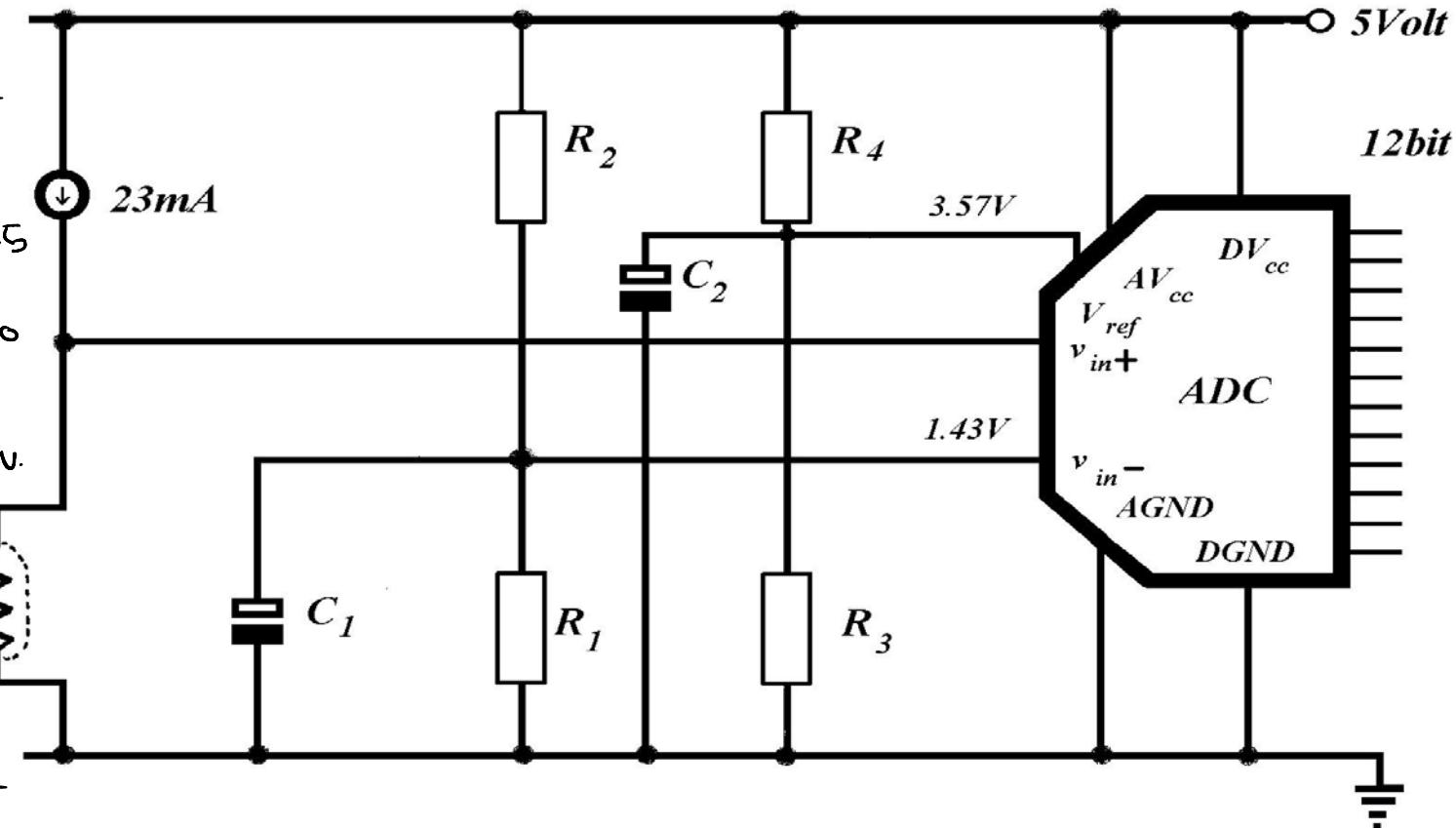
Posso correggere questo imponendo  $V_{ref}$  e  $V_{low}$  a valori diversi da 0,2 e VDD ma mettendo  $V_{low}$  a 1,4V e  $V_{ref}$  a 3,5V.

Cosa importante da sapere!

Più riduciamo il range di tensioni dell'ADC più rischiamo che la caratteristica d'uscita sia brutta perché sarà uno zoom della caratteristica 0-VDD. Non possiamo aspettarci di avere lo stesso LSB che tra 0-VDD se mettiamo un range di 2-3,5V.

Quindi questa non è un ottima soluzione.

Inoltre dobbiamo anche assicurci che  $V_{ref}$  e  $V_{low}$  siano sempre ed in valore fisso.



Limitation due to tolerances of resistors:

$$V_{in-} = +5V \frac{R_1(1 \pm toll)}{R_1(1 \pm toll) + R_2(1 \mp toll)} = +5V \frac{R_1(1 \pm toll)}{R_1 + R_2} \cong +5V \frac{R_1}{R_1 + R_2} (1 \pm toll)$$

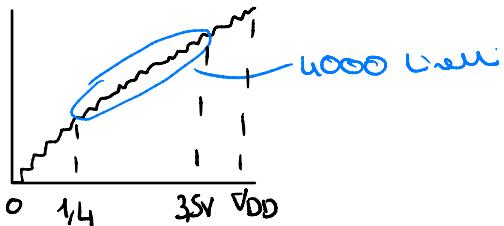


# Example of sizing (2)

## 14bit ADC

Esempio 2

Faccio come con l'1 solo + ignorante  
cioè zeggiando bit per avere 4000 livelli  
tra 1,4 e 3,5V.



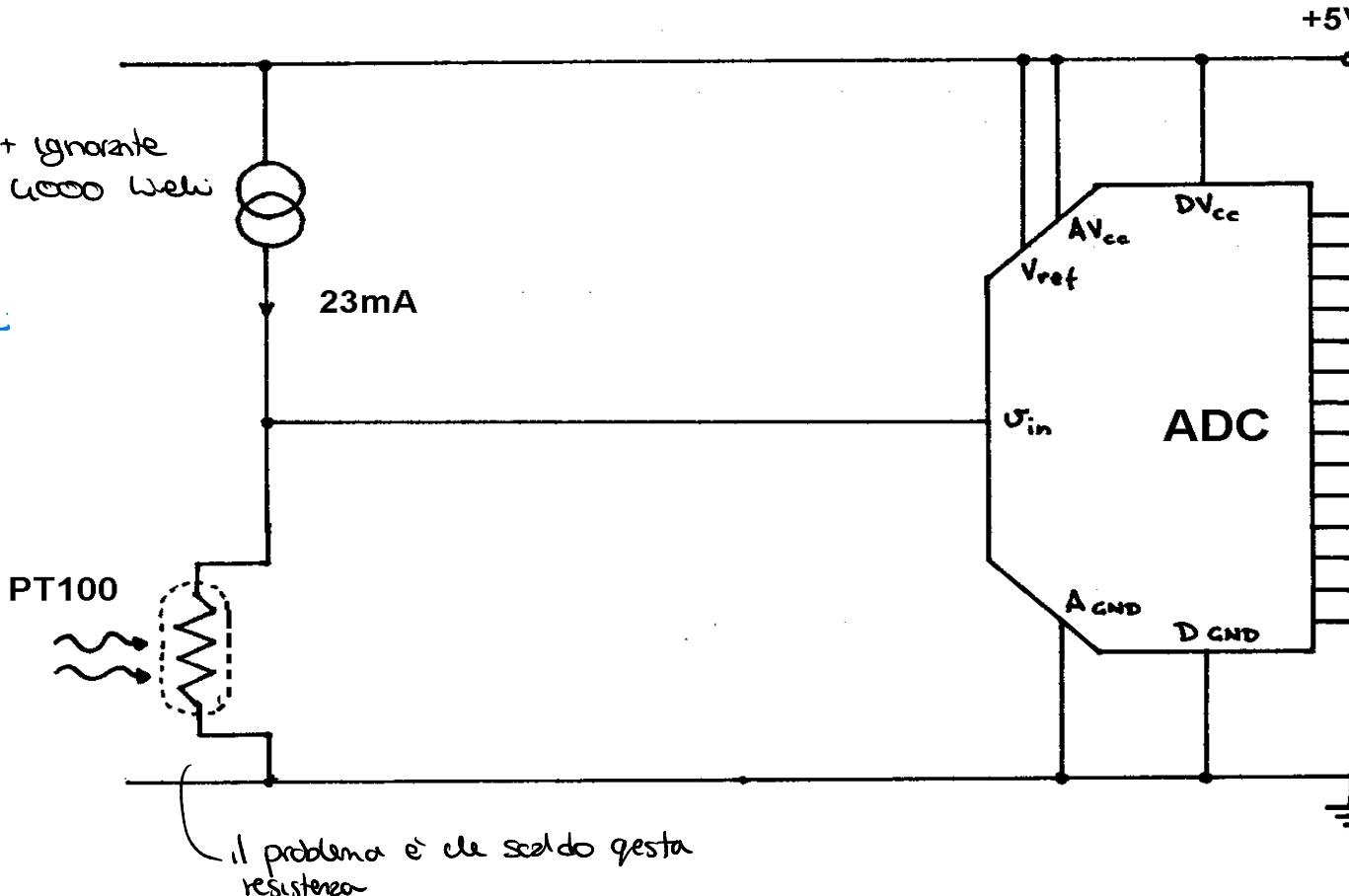
$$\frac{n_{\text{livelli}}}{5} = \frac{4000}{3,5 - 1,4}$$

quindi

$$n_{\text{tot}}^{\text{livelli}} = \frac{4000 \cdot 5}{3,5 - 1,4} \approx 9000$$

Però

$$16\text{bit adc} = 6 \times 4000 \approx 16000 \text{ livelli}$$
$$\approx 2^4 \times 2^{12}$$



Limitation due to self-heating

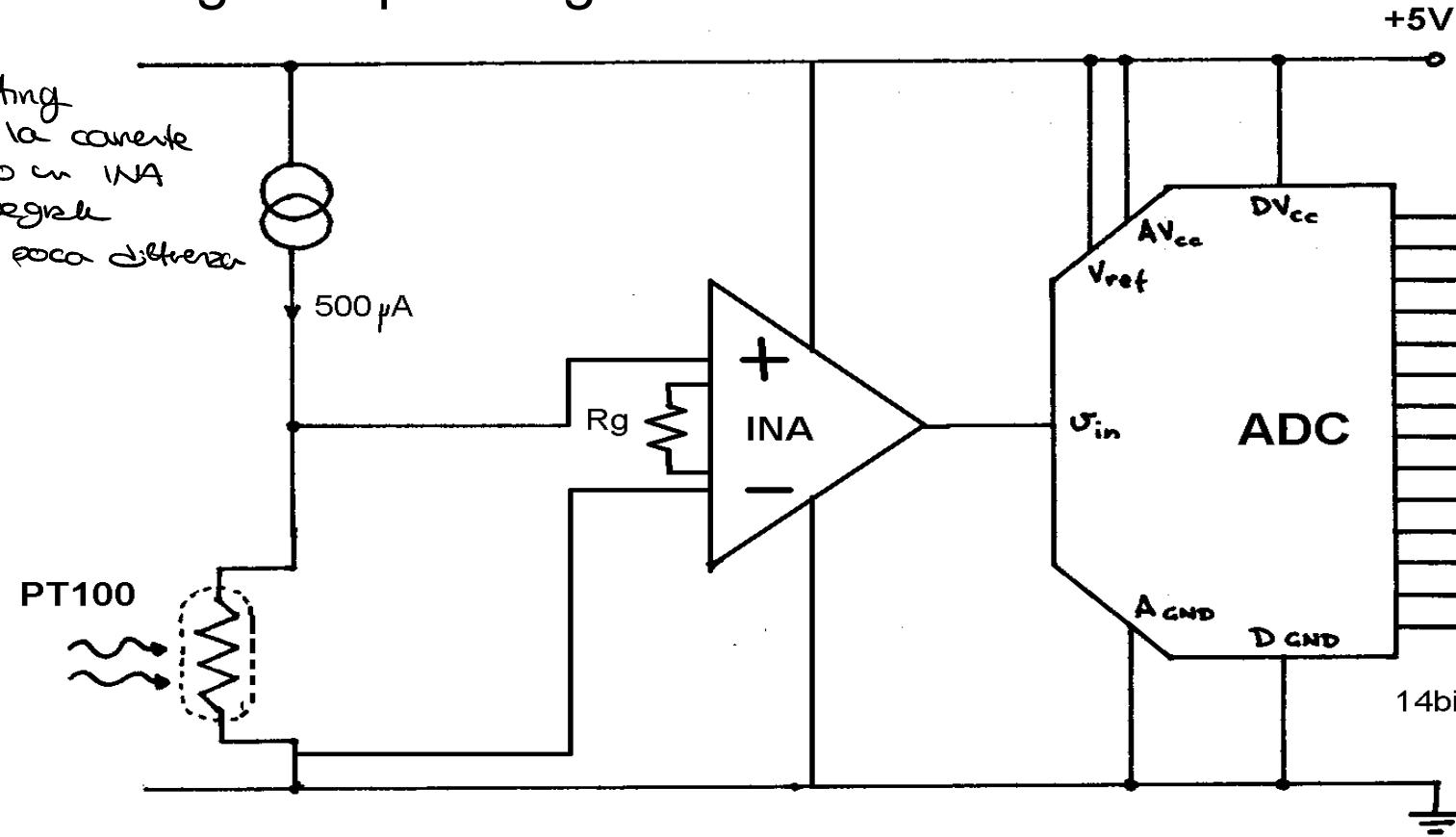


# Example of sizing (3)

POLITECNICO  
MILANO 1863

## 14bit ADC plus INA gain input stage

Per ridurre il self heating  
della resistenza calo la corrente  
che ci passa e uso un INA  
per amplificare il segnale  
altrimenti ho troppo poco differenza  
di tensione.



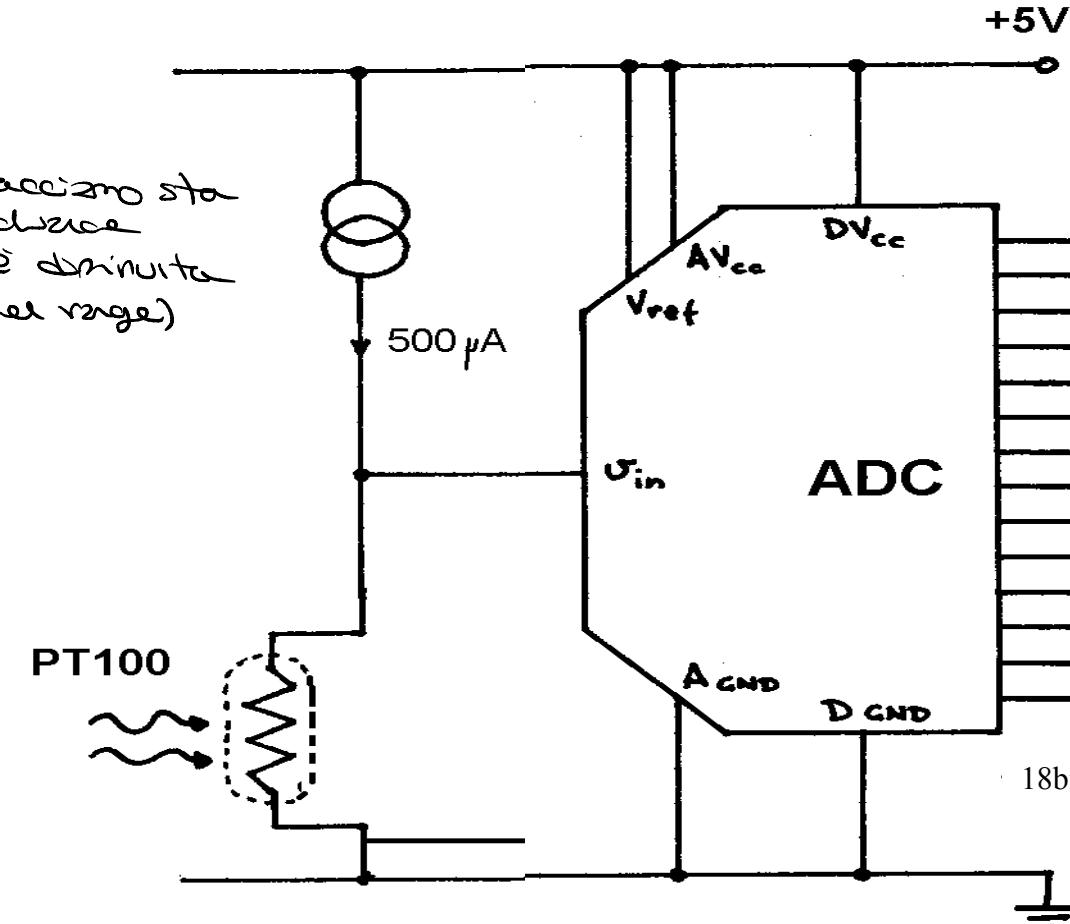
Expensive



# Example of sizing (4)

## 18bit ADC

Se per noi l'INA costa troppo facciamo stessa roba e segniamo un ADC con + resistenze visto che la differenza di potenziale è diminuita (e voglio sempre avere valori in quel range)



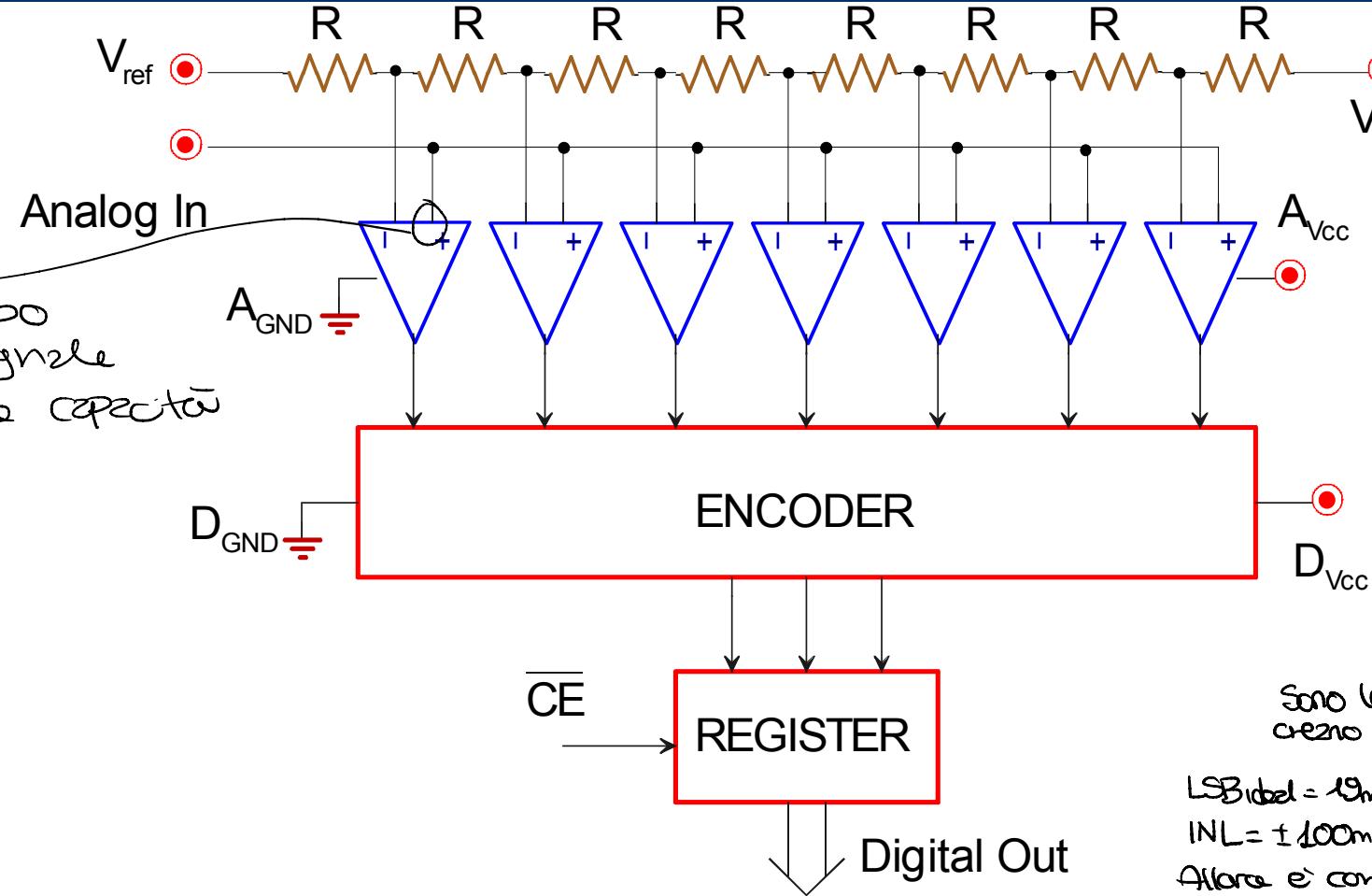
Cheap and no need for calibration



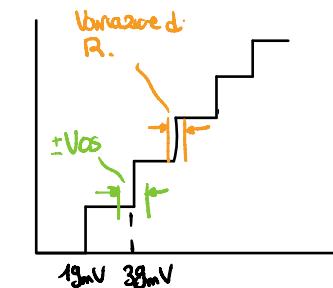
# Flash ADC

POLITECNICO  
MILANO 1863

Qui posso avere delle resistenze e conduttori piuttosto e quindi significa che ho un tempo di testamento del segnale perché devo caricare le capacità



L'offset dei opamp deve essere minore della ceduta sui resistori  $R$ .



Sono le variazioni di  $R$  e di  $Vos$  che creano la DNL.

$LSB_{ideal} = 19mV$   
 $INL = \pm 100mV \approx 1\text{bit}$   
 Allora è come se avessi un ADC da 8 bit ma 6 bit.

**Components:**  $2^n$  resistors and  $2^n$  comparators  
 1 “thermometric” encoder

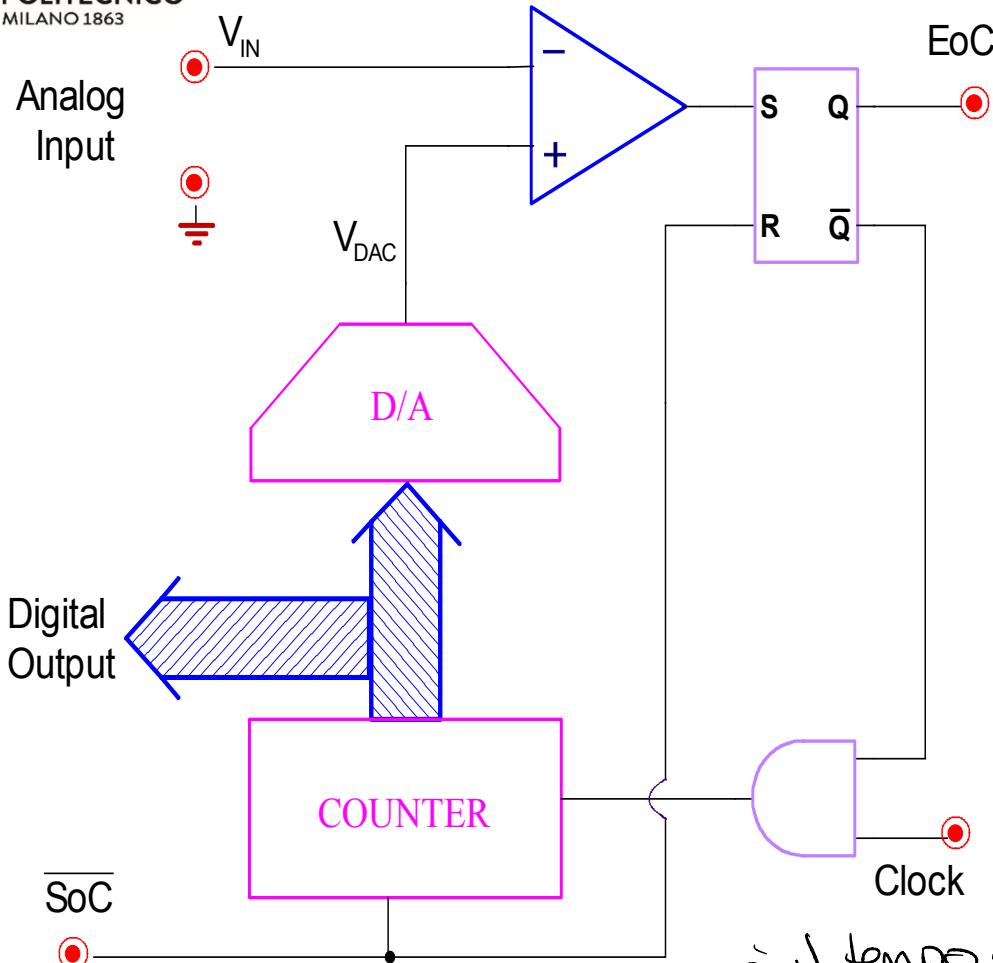
**Pros & Cons:** very fast ( $T_c < 50\text{ns}$ )      few bits though ( $n < 10$ )      offset and IB of comparators



# Staircase ADC

POLITECNICO  
MILANO 1863

Analog Input



Digital Output

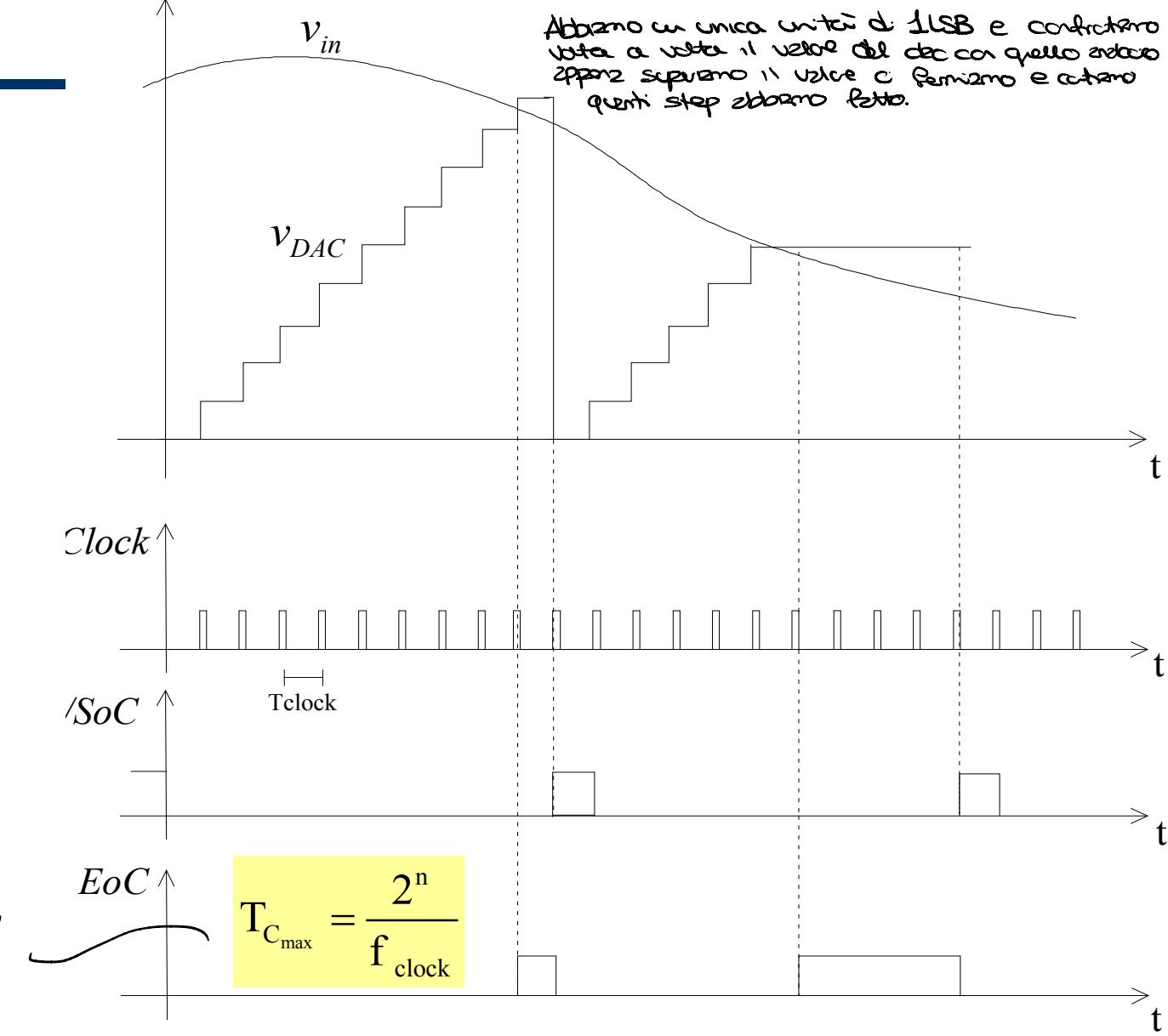
SoC

*è il tempo di conversione + lungo in zssdwt.*

**Components:** 1 DAC and 1 counter  
1 comparator

**Pros & Cons:** precision depends on the DAC  
not very fast ( $T_C > 100\mu s$ )

Abbiamo un'unica unità di 1LSB e confrontiamo volta a volta il valore del dac con quello analogico superano il valore e fermiamo e catiamo questi step abbiamo fatto.



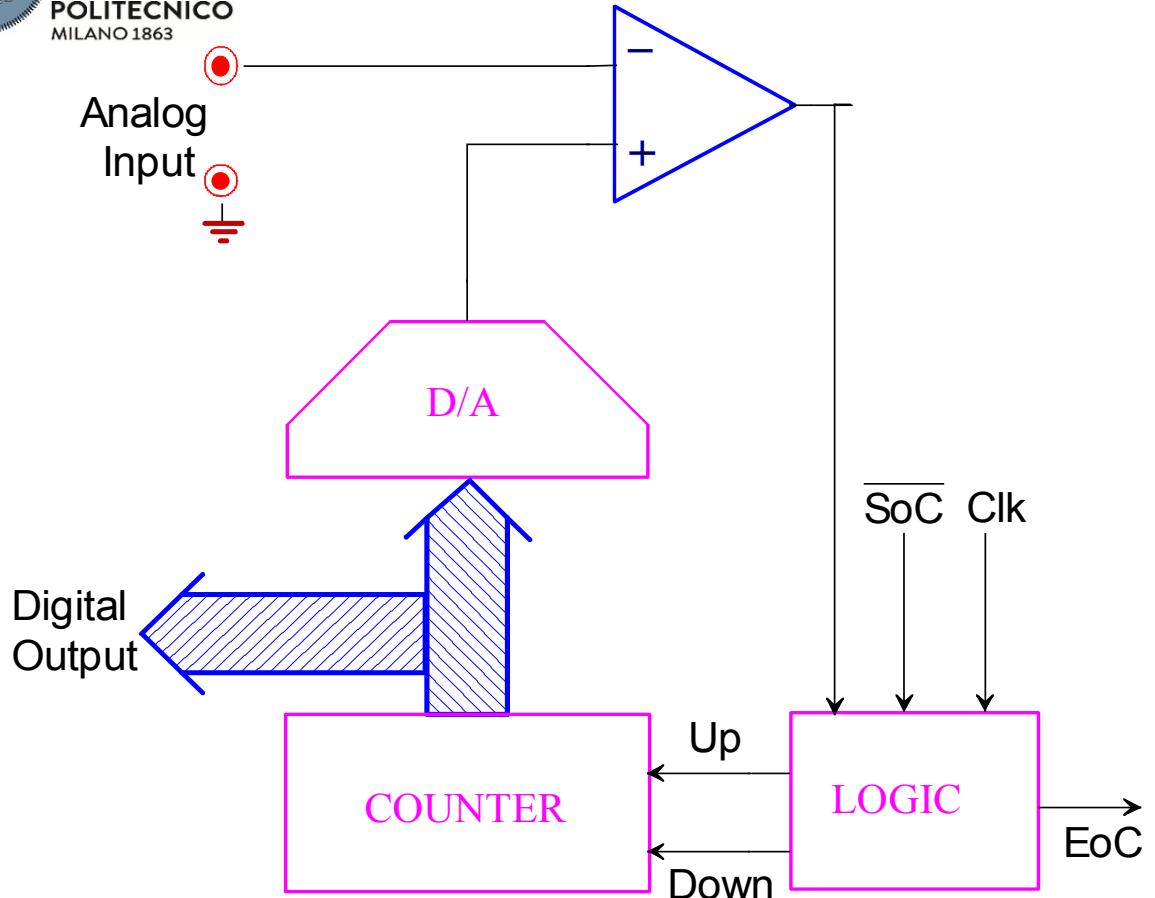
$$T_{C_{max}} = \frac{2^n}{f_{clock}}$$



# Tracking ADC

ADC ad inseguimento

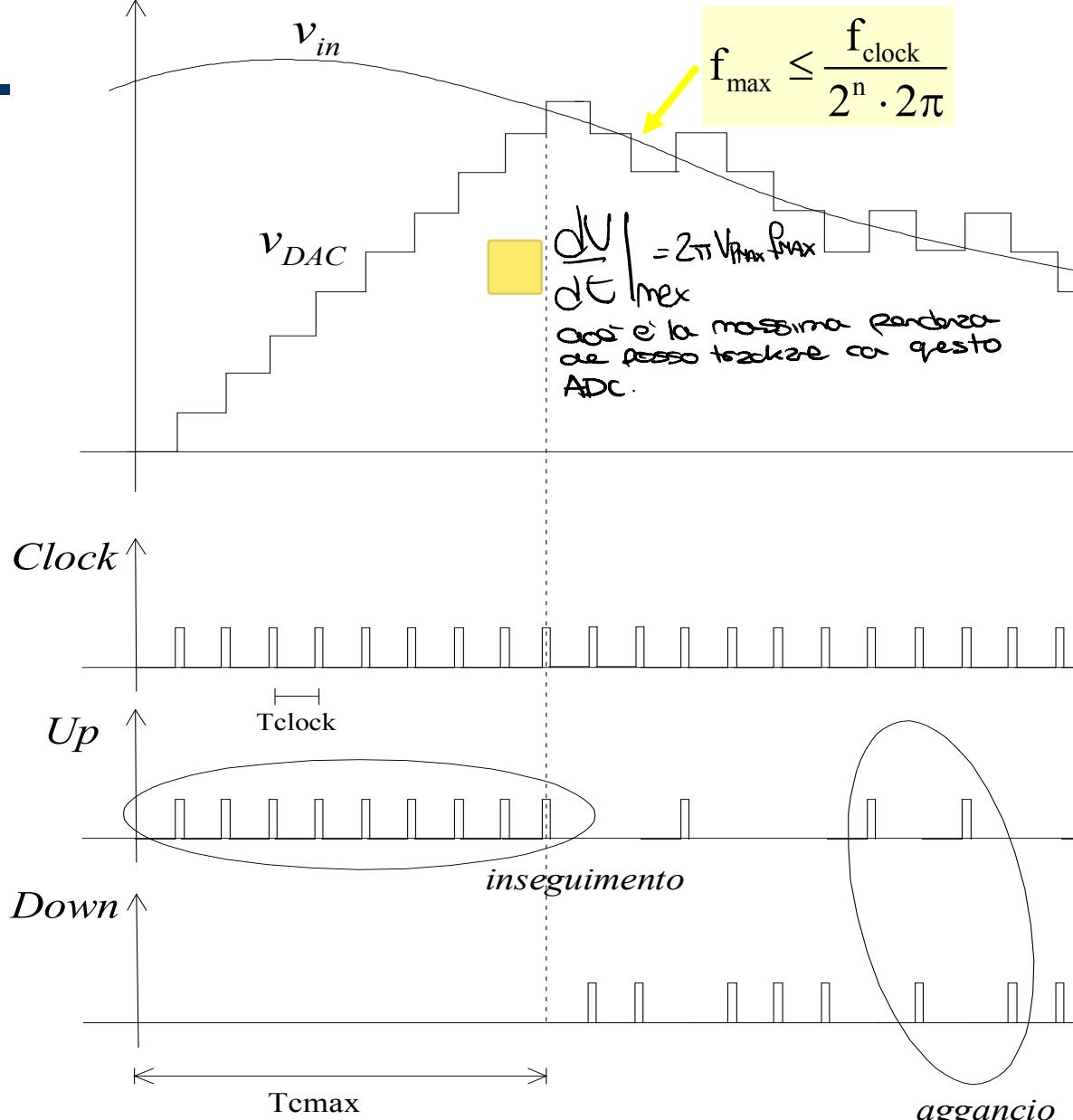
POLITECNICO  
MILANO 1863



**Components:** 1 DAC, 1 counter, 1 comparator, and up/down combinatorial logic

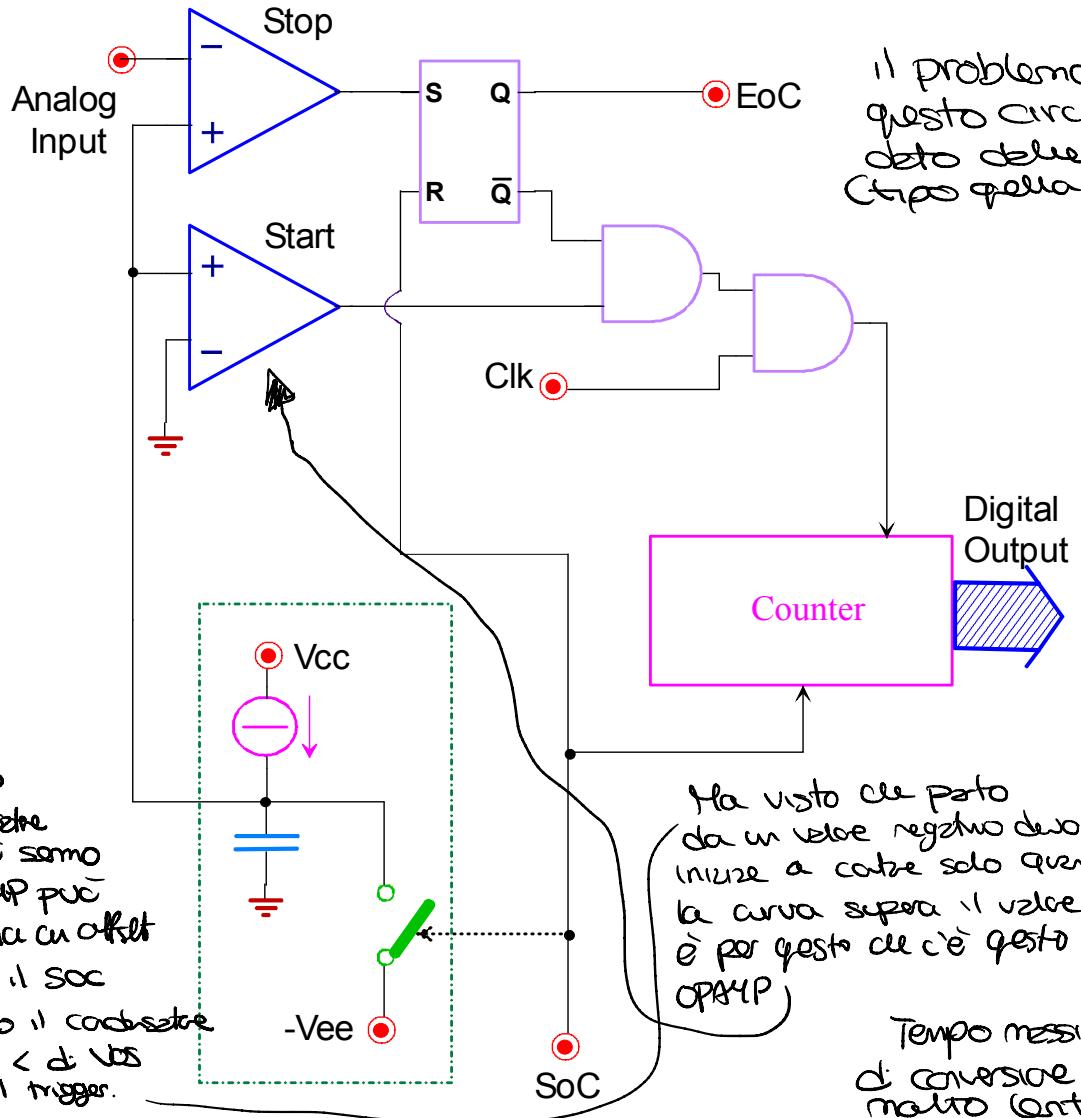
**Advantages:** precision depends on DAC fast ( $T_c > 100\text{ns}$ )

possible just ONE BIT (**oversampling**)





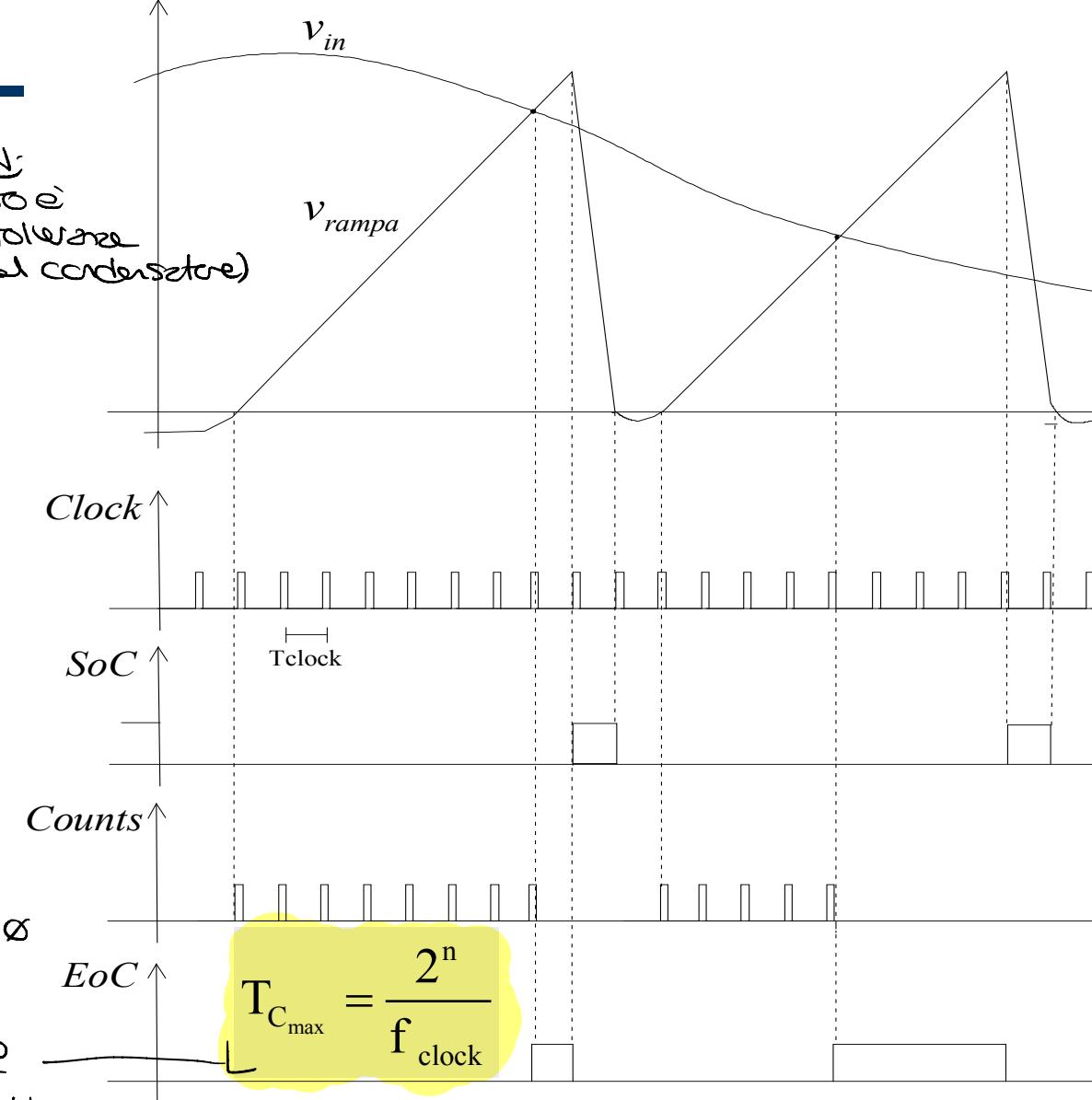
# Single-Slope ADC



**Advantages:**

precision depends on  $dV/dt = I/C$

possible enhancement: **double-ramp, dual-slope ADC**





# Dual-Slope ADC

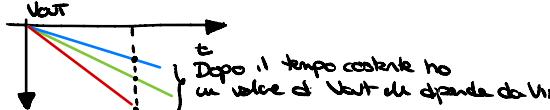
POLITECNICO  
MILANO 1863

Abbiamo che il condensatore non è molto preciso  
Perciò integreremo la corrente nel  
condensatore 2 volte.

Prima integro la corrente  $\frac{V_{IN}}{R}$  nel  
condensatore e poi  $V_{IN}/R$  nel condensatore

- 1) Chiudo M3 che resetta C.
- 2) Chiudo M2 così la corrente si va integrando  
( $V_{IN}$  va da 0 a 5V)

Così vede anche come una  
retta in tensione e  
procede per un tempo costante



- 3) Chiudo M2 e apro M1 così integro la corrente di  $V_{ref}/R$  nel condensatore  
così ottengo che

$$Dout = 2^n \cdot \frac{V_{IN}}{V_{ref}}$$

Questo perché con le tolleranze cambiano entrambe le pendenze e il punto di zero è sempre quello.

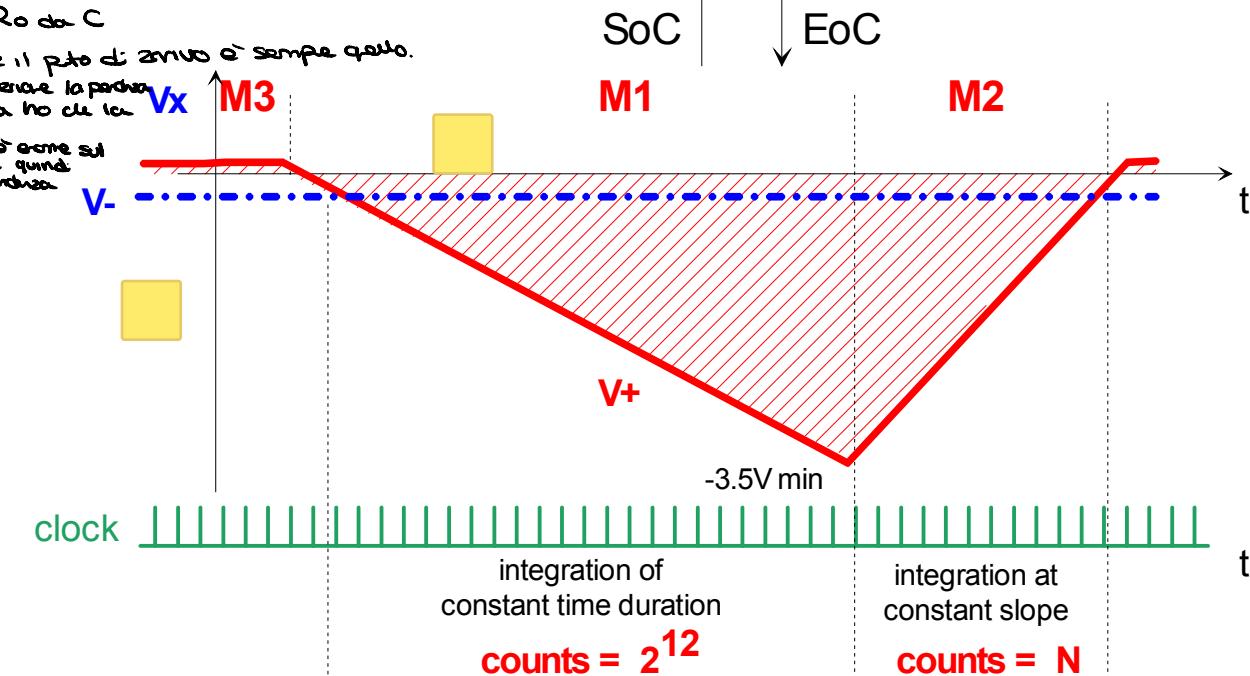
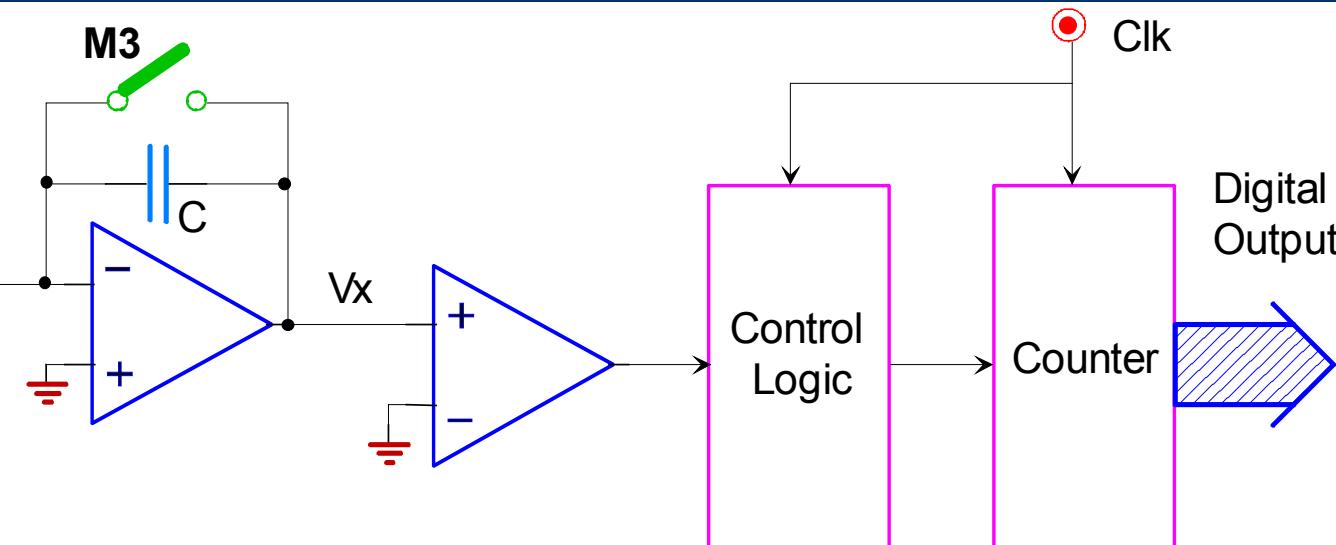
Ho notato il vantaggio che integro  $V_{IN}$  e non una corrente costante quindi riesco a uscire la pendenza  
on the go. Inoltre se ho un disturbo che ha questa proporzionalità al mio periodo allora ho che la  
pendenza non cambia. **Disturbo**

vedo che se c'è un disturbo si mette sul  
mio periodo la media è nulla e quindi  
l'integrale è 0 e quindi la pendenza  
è la stessa.

## Advantages:

precision independent of R and C

$$T_{C_{max}} = 2 \cdot \frac{2^n}{f_{clock}}$$

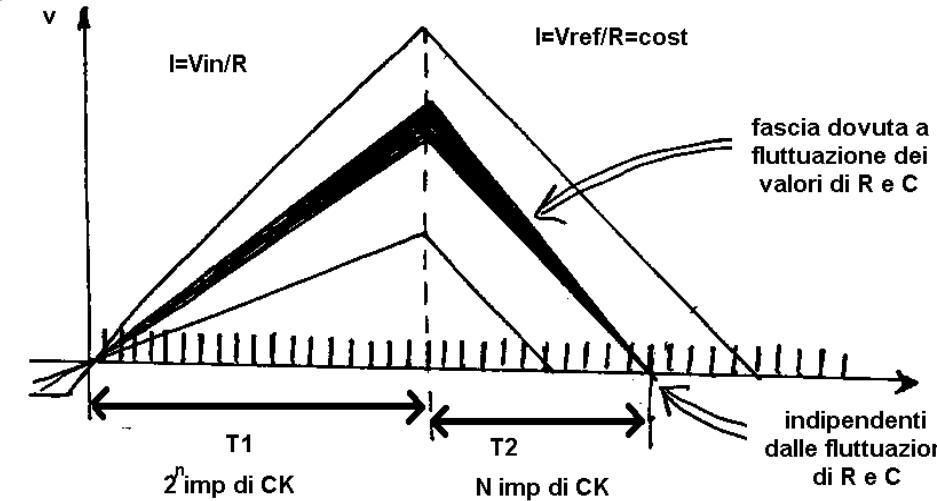




# Dual-Slope ADC: pro's

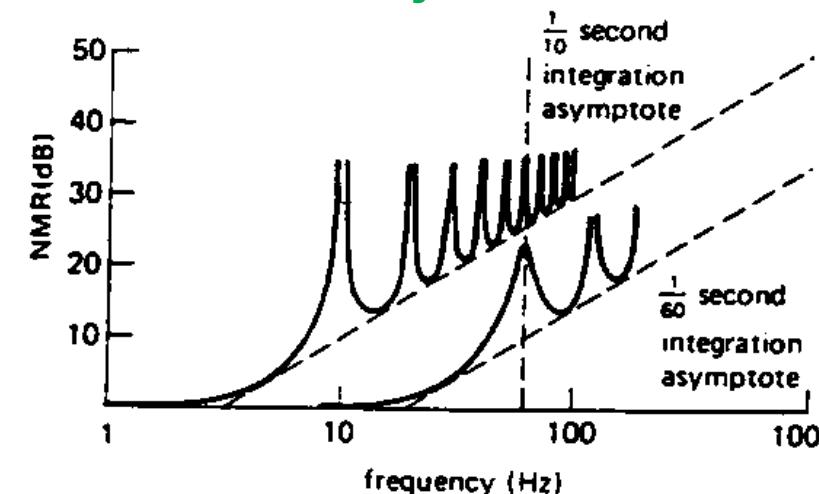
POLITECNICO  
MILANO 1863

1<sup>st</sup> advantage of dual-slope ADC:



rejection of tolerances of  $R$  and  $C$

2<sup>nd</sup> advantage of integration ADCs: rejection of disturbance harmonics

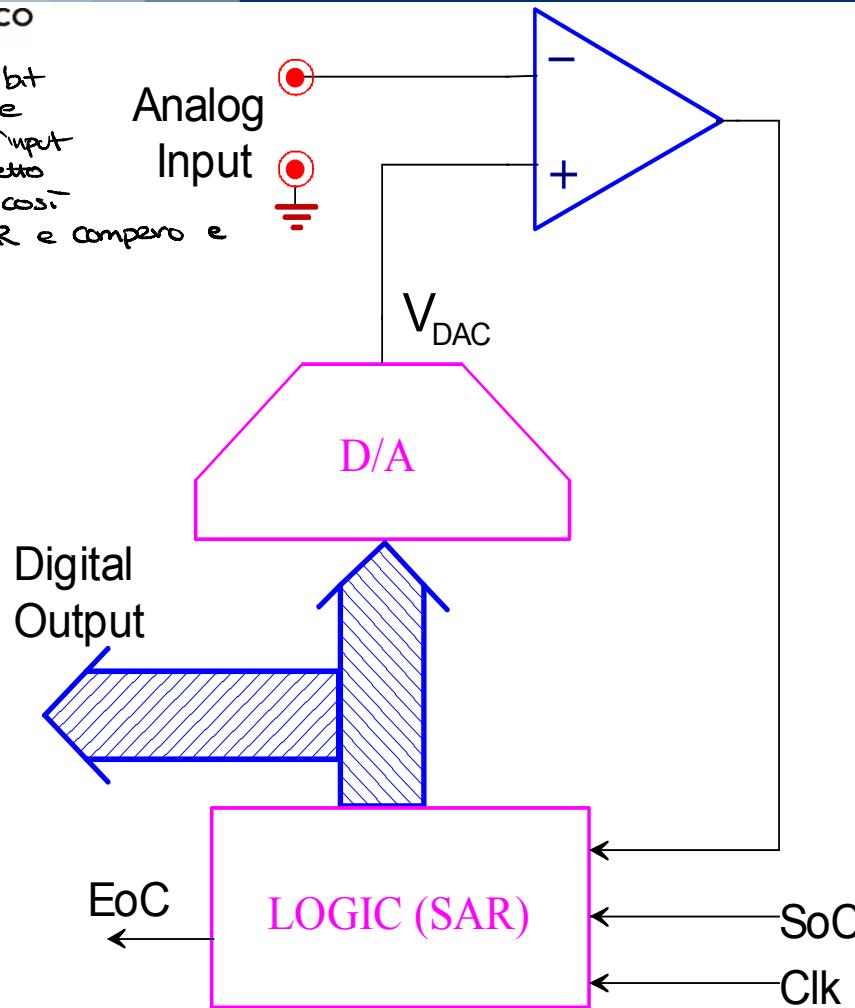




# Successive Approximation Register ADC (SAR)

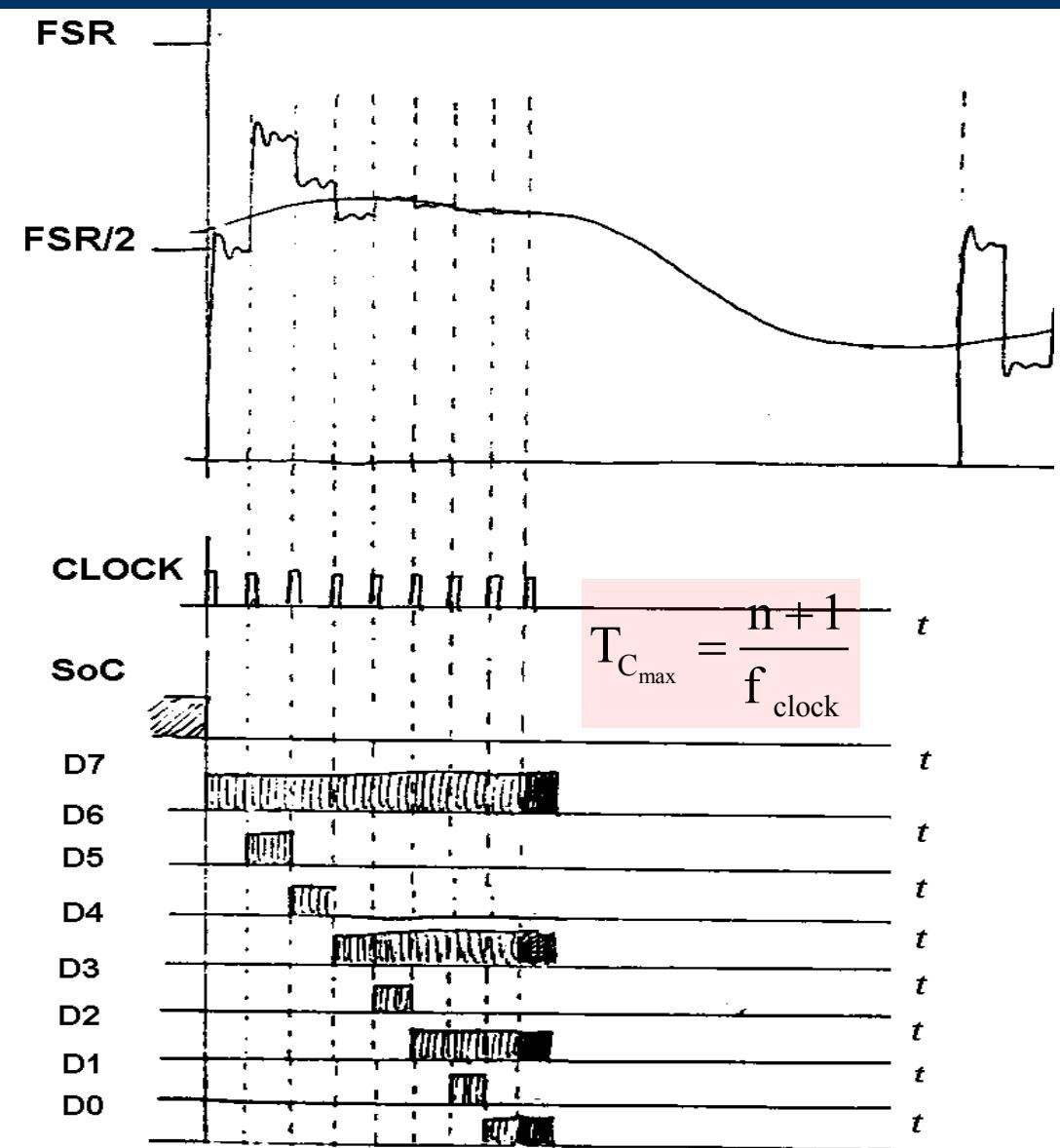
Ad approssimazioni successive

So che se il primo bit è 1 sono a FSR/2 e compravo questo con l'input se input maggiore netto 110... in ingresso così sono a 3/4 del FSR e compravo e via così



**Components:** 1 DAC and 1 sequential SAR logic

**Advantages:** precision depends on the DAC



many bit ( $n=8..14$ ) and fast ( $T_c > 10\mu s$ )



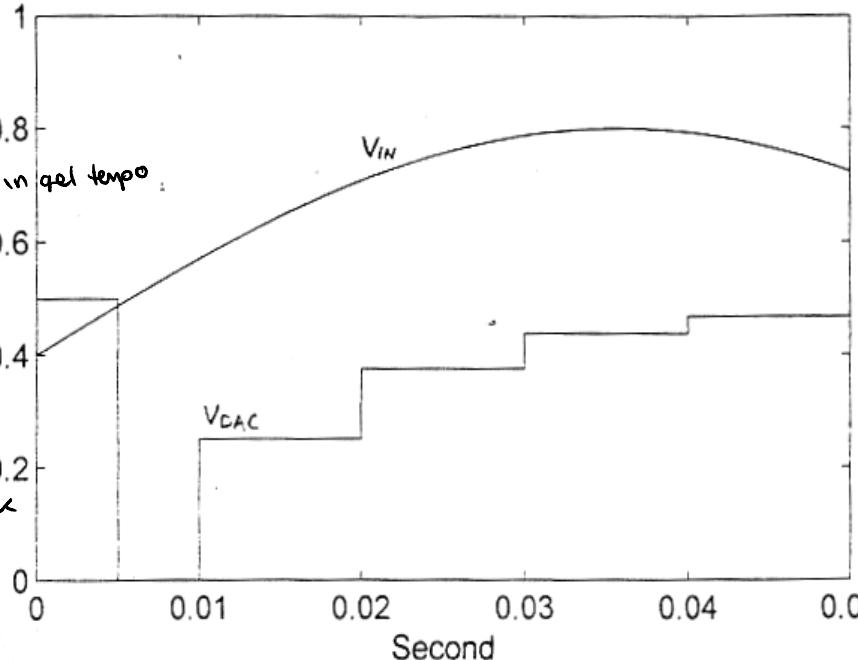
## Maximum input signal frequency:

Visto che vogliamo seguire un segnale e seppremo che il tempo di conversione è  $(n+1)T_{CK}$  allora la massima variazione che posso fare in quel tempo è  $\frac{1}{2}$  LSB per non perdere il segnale, dunque

$$\frac{dV}{dt} \Big|_{MAX} = 2T_{CK} \cdot V_{MAX} \leq \frac{1/2 \text{ LSB}}{(n+1) T_{CK}}$$

dunque

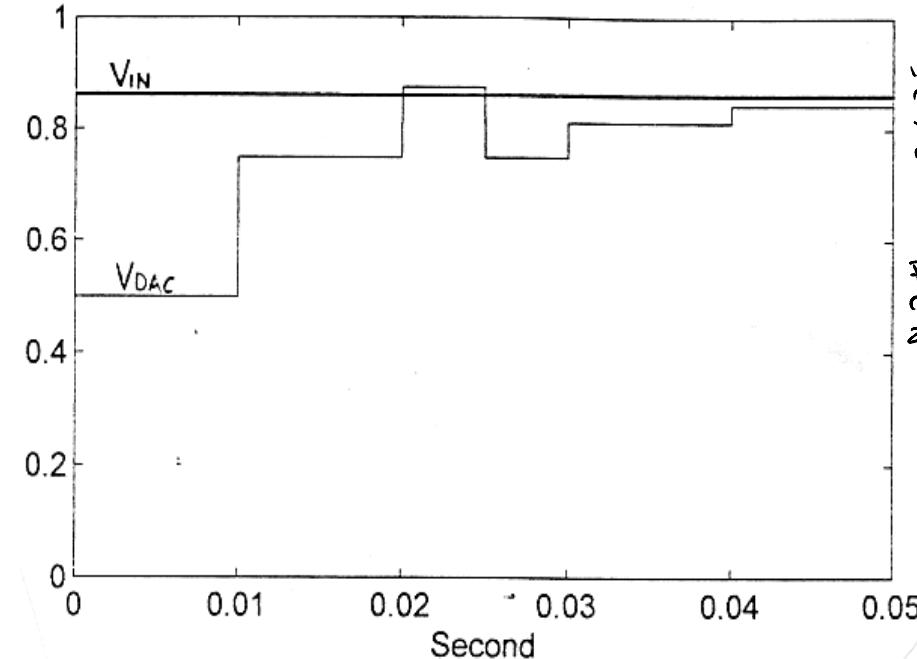
$$f_{in,max} \leq \frac{\frac{1/2 \text{ LSB}}{(n+1) 2T_{CK} R}}{2^n} \leq \frac{f_{clock}}{2\pi 2^n (n+1)}$$



With NO S&H at the input:

è una condizione molto limitante  
Questo accade perché non uso un Sample & hold.

$$f_{in,max} \leq \frac{f_{clock}}{2\pi \cdot 2^n \cdot (n+1)}$$

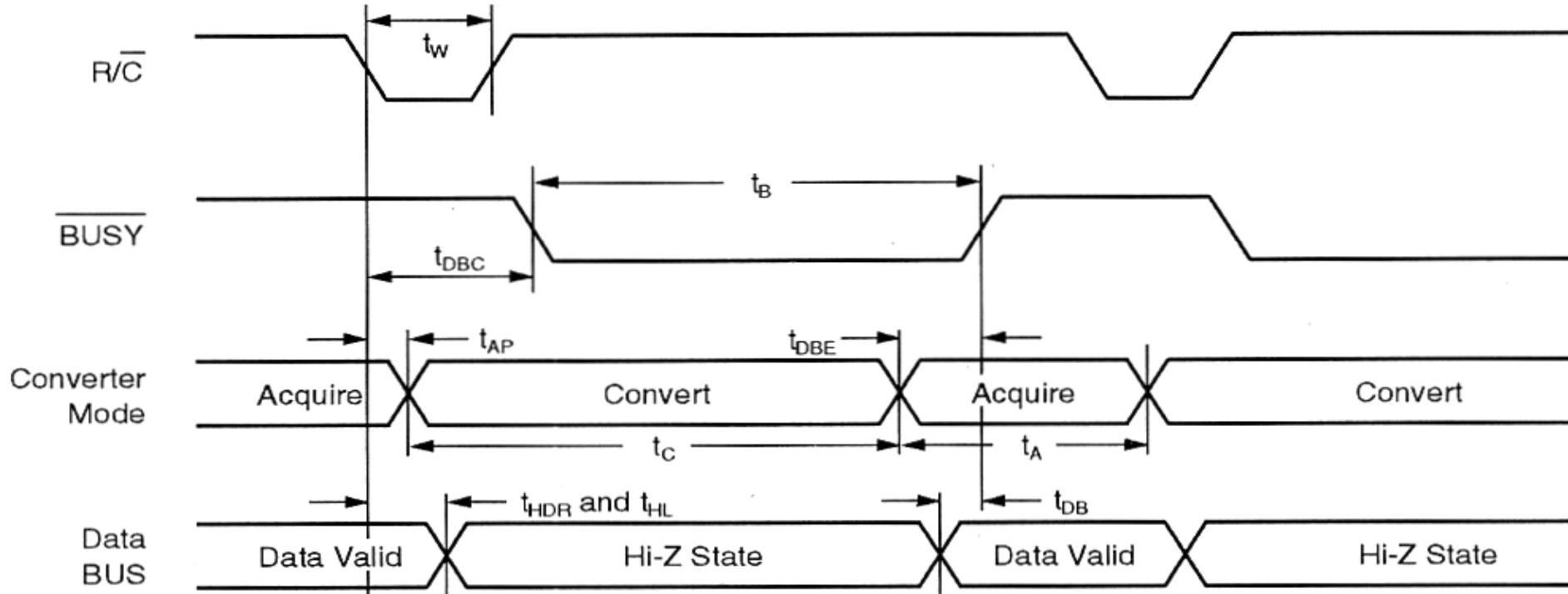


with S&H at the input:

$$f_{in,max} \leq \frac{f_{sampling}}{2} = \frac{f_{clock}}{2 \cdot (n+1)}$$

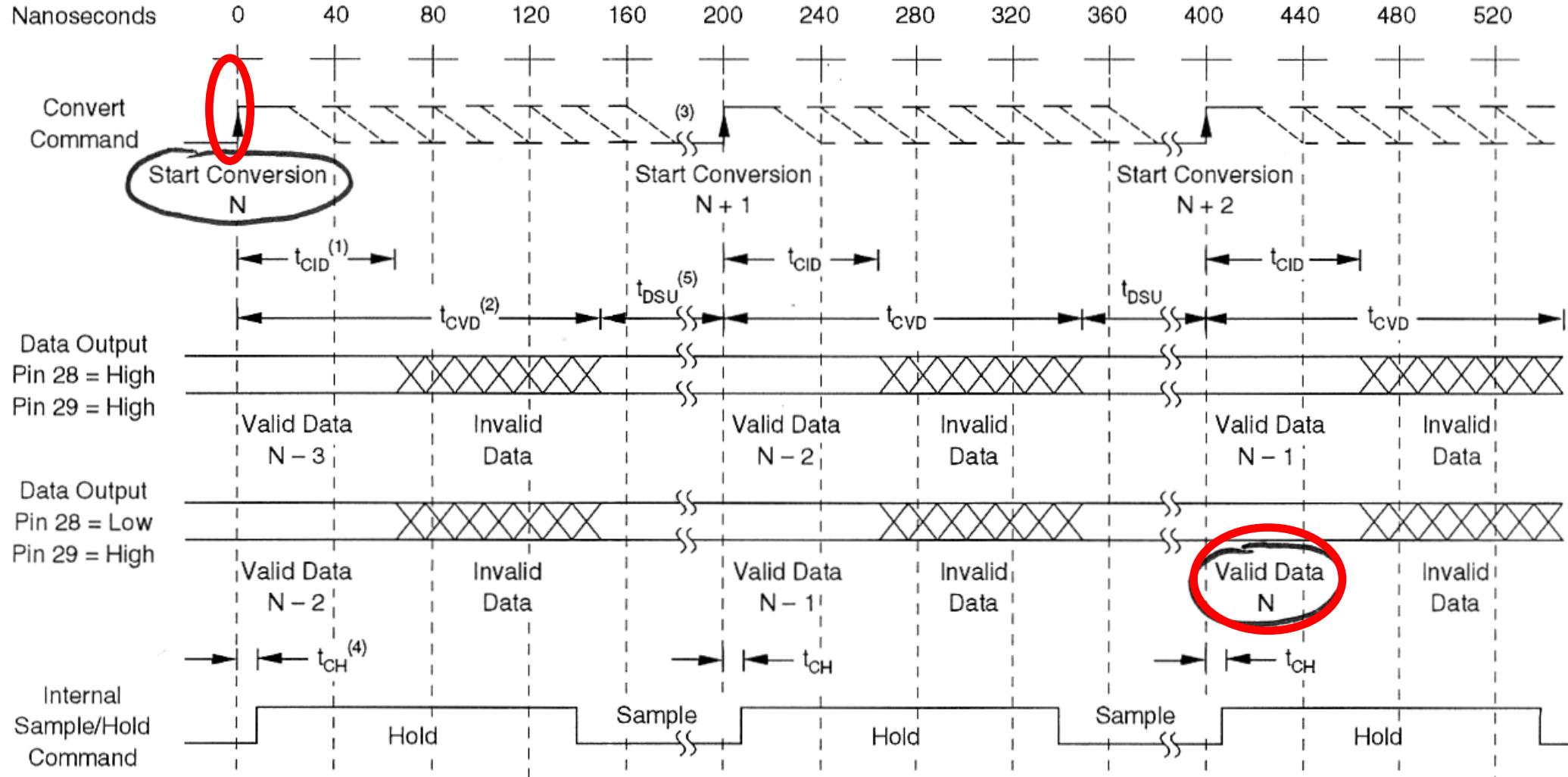


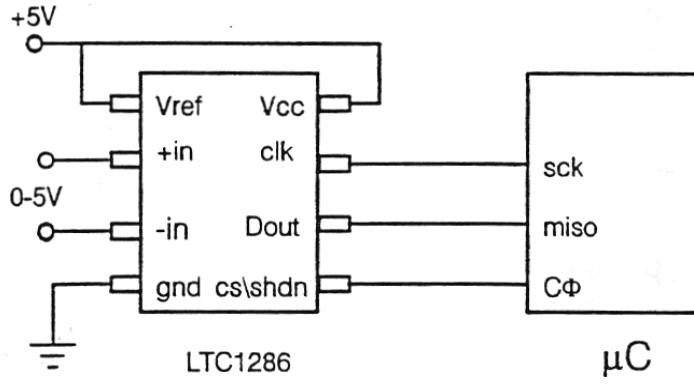
## single-shot ADCs:





## free-running pipelined ADCs:





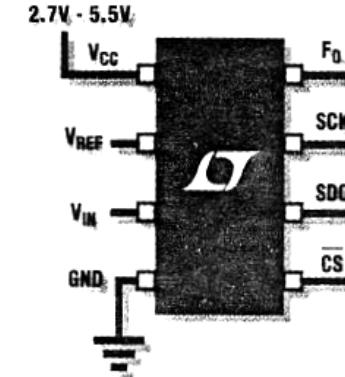
## LTC2400: 2ppm Accurate Without External Calibration

Invisible internal calibration yields the industry's highest accuracy and lowest drift. The LTC2400 analog-to-digital converter comes in an SO-8 package and that's about all you need to know to start measuring 2ppm accuracy. No calibration registers to configure, no external crystal, no special filtering. The most important savings is time; it's so simple it saves design time!

### ▼ Features

- 24-Bit ADC in SO-8 Package
- 2 ppm INL, No Missing Codes
- 4ppm (20 $\mu$ V) Full-Scale Error
- 1ppm (5 $\mu$ V) Offset
- 0.3ppm Noise
- Internal Clock
- 110dB Min, 50Hz/60Hz Notch Filter
- Single Conversion Settling Time for Multiplexed Applications
- Reference Input Voltage: 0.1 to V<sub>CC</sub>
- Extended Input Range Accommodates 12% Overrange and Underrange
- Single Supply 2.7V to 5.5V Operation
- Low Supply Current (200 $\mu$ A) and Auto Shutdown
- \$6.95 each for 1k Piece Quantities

### LTC2400 Block Diagram



### ▼ Free Sample/CD-ROM

Call: 1-800-4-LINEAR  
Visit: [www.linear-tech.com](http://www.linear-tech.com)



### ▼ Data Sheet Download

[www.linear-tech.com/go/LTC2400/edne](http://www.linear-tech.com/go/LTC2400/edne)

### ▼ More Information

Lit: 1-800-4-LINEAR  
Info: 408-432-1900  
Fax: 408-434-0507

LTC and LT are registered trademarks of Linear Technology Corporation  
1630 McCarthy Blvd., Milpitas, CA 95035-7417.

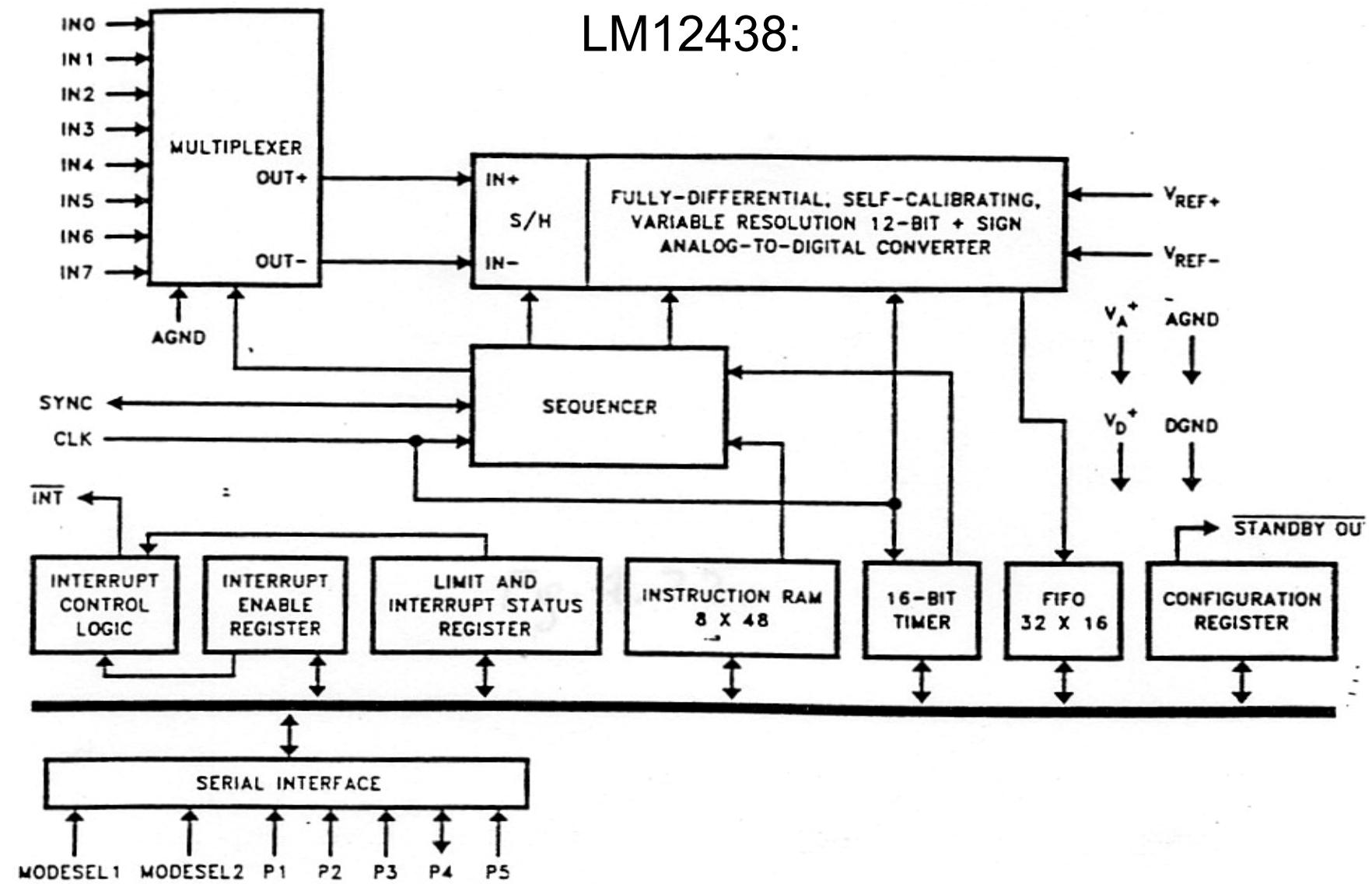


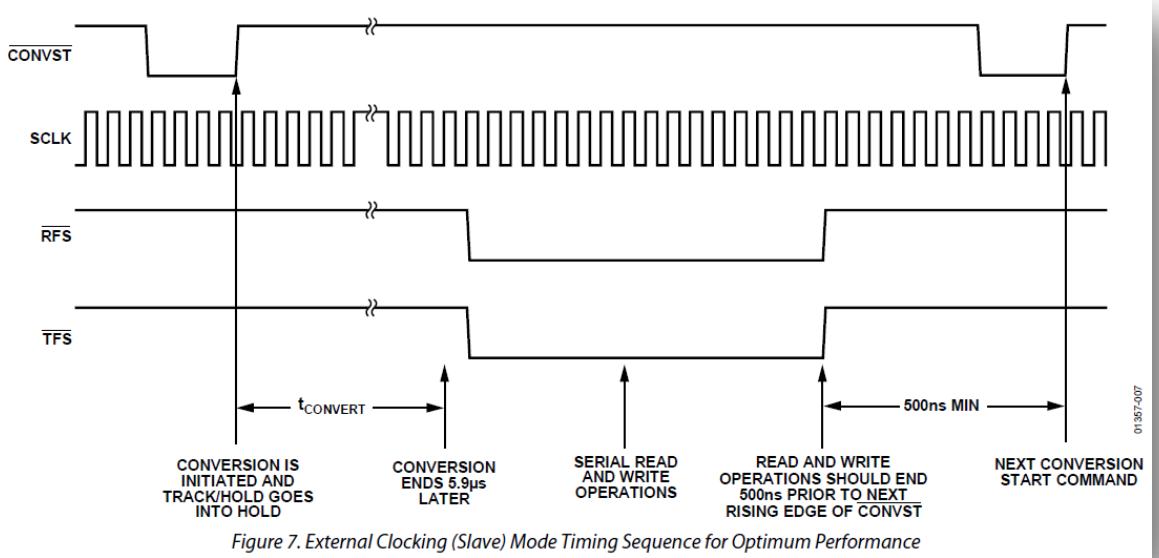
# Data-acquisition chip

POLITECNICO  
MILANO 1863

Example of  
single-chip  
acquisition chain

LM12438:





## FEATURES

Fast 12-bit ADC with 5.9  $\mu$ s conversion time

Eight single-ended analog input channels

Selection of input ranges:

$\pm 10$  V for AD7890-10

0 V to 4.096 V for AD7890-4

0 V to 2.5 V for AD7890-2

Allows separate access to multiplexer and ADC

On-chip track/hold amplifier

On-chip reference

High-speed, flexible, serial interface

Single supply, low-power operation (50 mW maximum)

Power-down mode (75  $\mu$ W typ)

## GENERAL DESCRIPTION

The AD7890 is an 8-channel 12-bit data acquisition system. The part contains an input multiplexer, an on-chip track/hold amplifier, a high speed 12-bit ADC, a 2.5 V reference, and a high speed, serial interface. The part operates from a single 5 V supply and accepts an analog input range of  $\pm 10$  V (AD7890-10), 0 V to 4.096 V (AD7890-4), and 0 V to 2.5 V (AD7890-2).

The multiplexer on the part is independently accessible. This allows the user to insert an antialiasing filter or signal conditioning, if required, between the multiplexer and the ADC. This means that one antialiasing filter can be used for all eight channels. Connection of an external capacitor allows the user to adjust the time given to the multiplexer settling to include any external delays in the filter or signal conditioning circuitry.

Output data from the AD7890 is provided via a high speed bidirectional serial interface port. The part contains an on-chip control register, allowing control of channel selection, conversion start, and power-down via the serial port. Versatile, high speed logic ensures easy interfacing to serial ports on microcontrollers and digital signal processors.

In addition to the traditional dc accuracy specifications such as linearity, full-scale, and offset errors, the AD7890 is also specified for dynamic performance parameters including harmonic distortion and signal-to-noise ratio.

## FUNCTIONAL BLOCK DIAGRAM

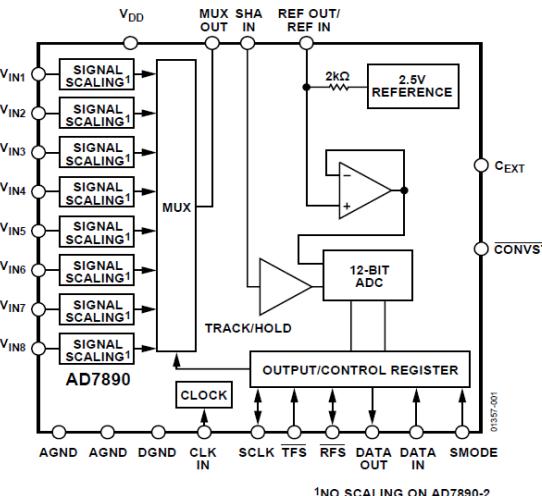


Figure 1.

Power dissipation in normal mode is low at 30 mW typical and the part can be placed in a standby (power-down) mode if it is not required to perform conversions. The AD7890 is fabricated in Analog Devices, Inc's Linear Compatible CMOS (LC<sup>2</sup>MOS) process, a mixed technology process that combines precision bipolar circuits with low power CMOS logic. The part is available in a 24-lead, 0.3" wide, plastic or ceramic dual-in-line package or in a 24-lead small outline package (SOIC\_W).

## PRODUCT HIGHLIGHTS

1. Complete 12-Bit Data Acquisition System-on-a-Chip. The AD7890 is a complete monolithic ADC combining an 8-channel multiplexer, 12-bit ADC, 2.5 V reference, and a track/hold amplifier on a single chip.
2. Separate Access to Multiplexer and ADC. The AD7890 provides access to the output of the multiplexer allowing one antialiasing filter for 8 channels—a considerable savings over the 8 antialiasing filters required if the multiplexer is internally connected to the ADC.
3. High Speed Serial Interface. The part provides a high speed serial interface for easy connection to serial ports of microcontrollers and DSP processors.



- Many different solutions for ADCs
- Pros and Cons for each
- “Integration” ADCs reject tones
- Check single-chip ADC systems!

Next lesson: **14 – Advanced ADCs**

A 16bit DAC with FSR=5V receives a 2Msps stream of a sinusoidal signal at  $f_c = 400\text{kHz}$  with  $200\text{mV}_{\text{peak}}$  amplitude. A noise is overimposed to the signal, thus lowering the SNR by 20dB. The number of samples used for the FFT is 512,000.

- Compute  $\text{SNR}_{\text{ideal}}$ ,  $\text{SNR}_{\text{real}}$ , ENOB and real NoiseFloor.
- Draw the spectrum, properly quoted in [Hz] and [dBc], adding also a harmonic at  $3 \cdot f_c$  due to a THD=-70dB.

Ci spieghiamo  $\text{SNR}_{\text{ideal}} = \frac{S_{\text{MAX}}^2}{N_{\text{min}}^2} = \frac{(FSR/2)^2}{\text{partial error}^2} = 6,02n + 1,76$   
 $N_{\text{min}} = \text{Nquantization} = \frac{\text{LSB}^2}{12} = \text{OdBc} - \text{SNR}_{\text{ideal}} = -98\text{dBc}$

Se noi imponiamo  $S_{\text{MAX}} = \text{OdBc}$ , allora

$$N_{\text{min}} = \text{Nquantization} = \frac{\text{LSB}^2}{12} = \text{OdBc} - \text{SNR}_{\text{ideal}} = -98\text{dBc}$$

Dobbiamo ricordare che il grafico va da 0Hz a  $f_s/2$ , allora abbiamo che  $N_{\text{samples}} = 512000$  samples e  $f_s = 2\text{Msps}$  perciò abbiamo che

$$NF_{\text{ideal}} = \frac{N_{\text{min}}}{N_{\text{samples}}/2} = -98\text{dBc} - 10 \log_{10} \frac{N_{\text{samples}}}{2} = -98\text{dBc} - 5\text{dB} = -103\text{dBc}$$

che è la potenza di ogni bin istogramma che compone la mia FFT.

Non ho  
idea del perché (Forse perché lavorano in  $0\text{Hz}/f_s/2$ !!!)

Ma questo è nell'ideale, nel reale abbiamo che il rumore è

$$N_{\text{real}} = N_{\text{min}} + \Delta N = -98\text{dBc} + 20\text{dB} = -78\text{dBc}$$

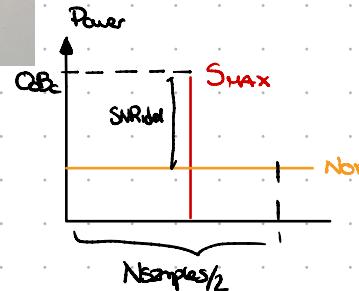
perciò il noise floor reale è

$$NF_{\text{real}} = NF_{\text{ideal}} + \Delta N = -103\text{dBc} + 20\text{dB} = -83\text{dBc}$$

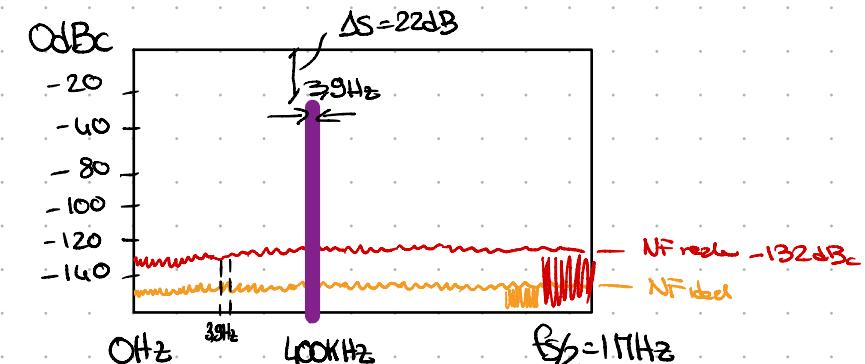
$$\text{bin width} = \frac{f_s}{N_{\text{samples}}} = \frac{f_s/2}{N_{\text{samples}}/2} = 3,9\text{Hz}$$

Il Seziale è  $200\text{mV}_{\text{pk}} \neq 2,5\text{VP} = \text{FSR}/2$  perciò la potenza di Seziale è

$$S_{\text{Seziale}}^2 = \left(\frac{200\text{mV}}{\sqrt{2}}\right)^2 = S_{\text{MAX}} - \Delta S \quad \text{dove } \Delta S = \frac{\text{FSR}/2}{V_{\text{peak}}} = \frac{2,5\text{VP}}{92\text{VP}} = 12,5$$



ho quindi tutti i dati per plottare lo spettro



pero il mio segnale reale non è OdBc ma  $SNR_{real}^2 = OdBc - 20\log_{10}(12S) = OdBc - 22dB = -22dBc$

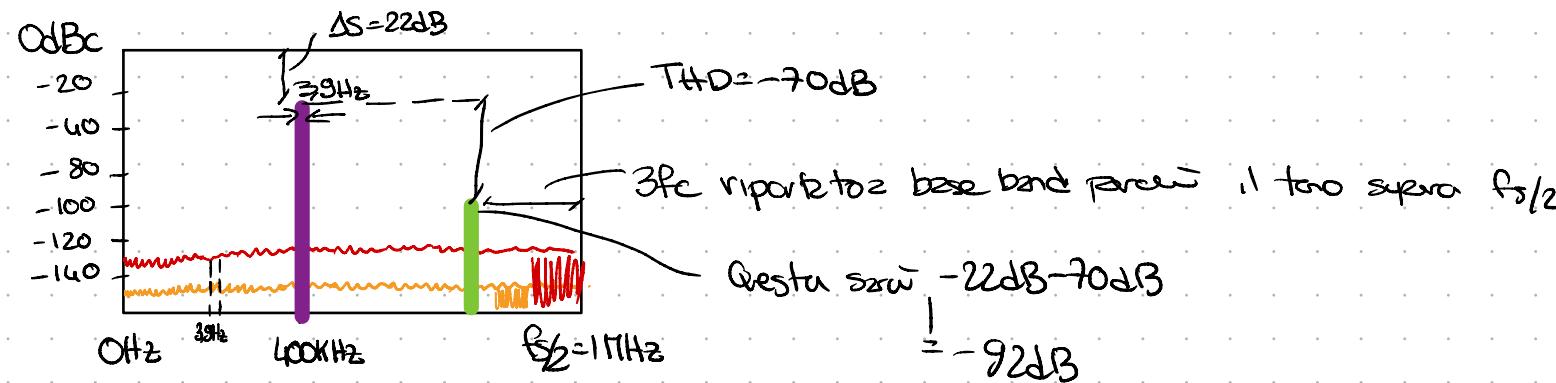
Inoltre  $SNR_{real} = SNR_{ideal} - DS - \Delta N = 98dB - 22dB - 20dB = 56dB$

Però

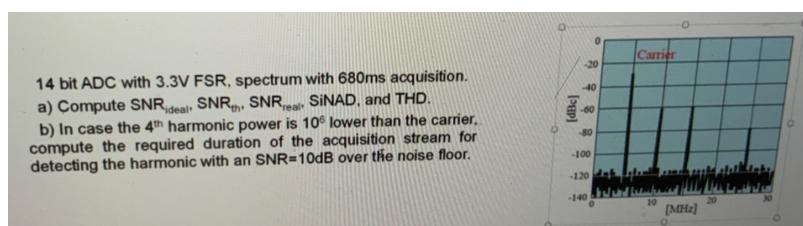
$$6,02 \text{ ENOB} + 1,76 = SNR_{ideal} = \frac{SNR_{real}}{\text{equivalent ADC}} = \frac{56dB}{12 \text{ bit ADC}}$$

Però  $ENOB = \frac{SNR_{real} - 1,76}{6,02}$

Punto b)



Altro esercizio



$$f_s = 2 \cdot 30MHz = 60 \text{ Msps}$$

$$T_{meas} = 680 \text{ ms}$$

$$N_{samples} = \frac{T_{meas}}{T_S} = \frac{T_{meas} \cdot f_s}{TS} = 60,8 \text{ Msamples}$$

$$SNR_{ideal} = 6,02n + 1,76 = 6,02 \cdot 14 + 1,76 = 86dB$$

$$SNR_{threshold} = 86dB - DS = 86dB - 30dB = 56dB$$

$$SNR_{real} = 56dB - \Delta N$$

$$N_{\text{min}} = -\text{SNR}_{\text{ideal}} = S_{\text{max}} - \text{SNR} = 0 \text{ dBc} - 86 \text{ dB} = -86 \text{ dBc}$$

$$N_{\text{Freal}} = -86 \text{ dBc} - 10 \log_{10} \frac{N_{\text{samples}}}{2} = -86 \text{ dBc} - 73 \text{ dB} = -159 \text{ dBc}$$

$$N_{\text{Freal}} = -120 \text{ dBc}$$

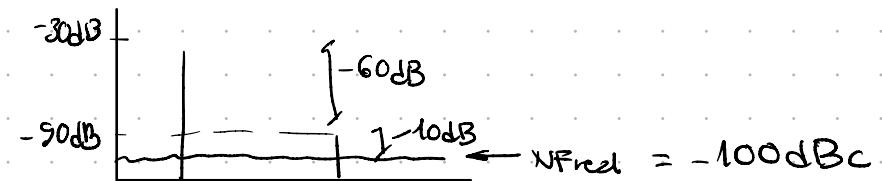
$$\Delta N = N_{\text{Freal}} - N_{\text{ideal}} = -120 \text{ dBc} + 159 \text{ dBc} = 39 \text{ dB} \quad \text{Per cui è un rapporto di potenze}$$

$$\text{Risultato: } \text{SNR}_{\text{real}} = 56 \text{ dB} - 39 \text{ dB} = 17 \text{ dB}$$

$$\text{ENOB} = \frac{\text{SNR}_{\text{real}} - 1.76}{6.02} = \frac{17 - 1.76}{6.02} = 2.5 \text{ bits}$$

Voglio  $N_{\text{Freal}}$  2d essere

Allora



$$N_{\text{Freal}} = -86 \text{ dBc} - 10 \log_{10} \frac{N_{\text{samples}}}{2} + \Delta N \leq -100 \text{ dBc}$$

$$10 \log \frac{N_{\text{samples}}}{2} \geq -86 \text{ dBc} + 39 \text{ dB} + 100 \text{ dBc}$$