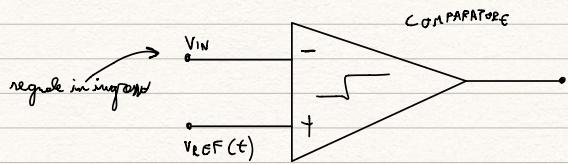


## STRUTTURA BASE DI UN ADC

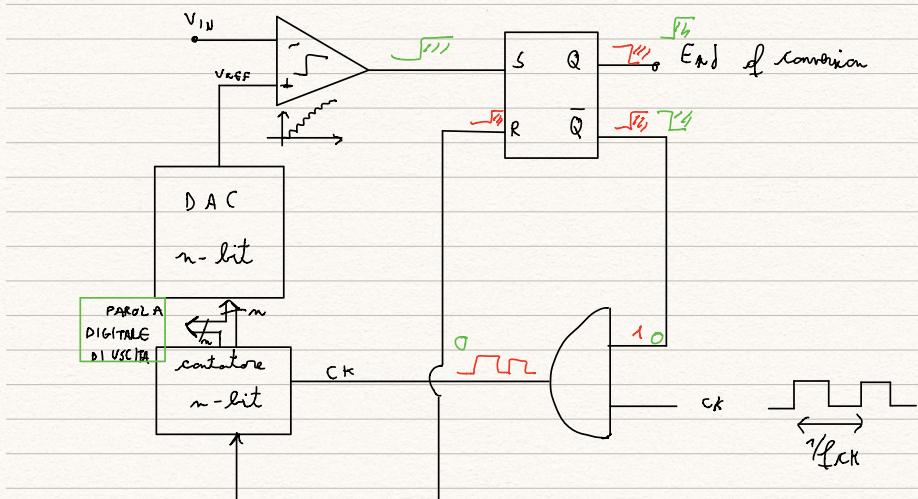


tenzione di riferimento variata nel tempo secondo opportuni criteri

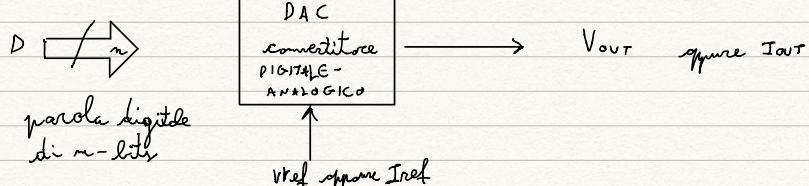
- $V_{IN}$  è mantenuta costante durante tutto il tempo della conversione da un  $s \& H$

- quindi  $|V_{IN} - V_{REF}(t)| \leq \frac{1}{2} L_{SB}$

## ADC A GRADINATA:



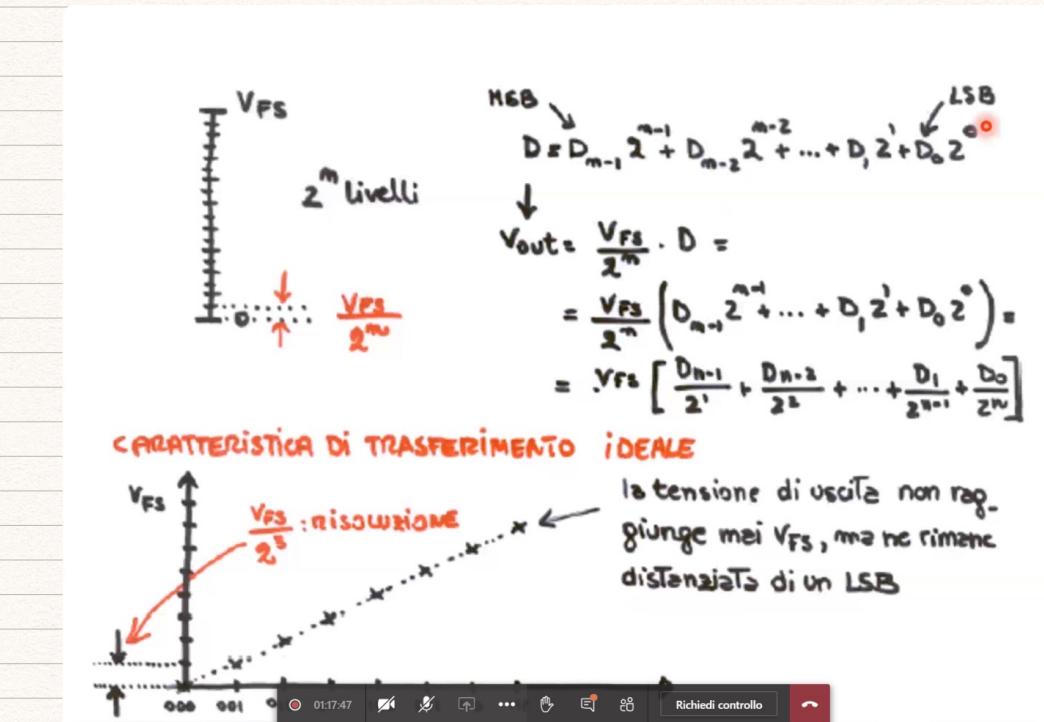
## CONVERTITORE DIGITALE / ANALOGICO



grandezza analogica  
di riferimento

TENSIONE DI FONDO SCALA ( $V_{FS}$ ): massimo valore della tensione analogica di uscita

FULL SCALE RANGE (FSR): massima dinamica del segnale analogico di uscita



### ALTRI PARAMETRI:

STABILITÀ: indice del deterioramento nel tempo delle prestazioni del DAC

ACCURATEZZA: massima differenza che si può presentare tra l'uscita del convertitore reale e la corrispondente uscita dal DAC ideale

PRECISIONE: capacità del DAC di fornire il medesimo valore analogico di uscita a parità di parola digitale in ingresso

## ADC A GRADINATA (2)

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0$$

$V_{in} \approx V_{FS} \Rightarrow$  l'uscita del DAC necessita di  $2^m$  colpi di clock per portarsi a  $(V_{FS} - \frac{V_{FS}}{2^m})$

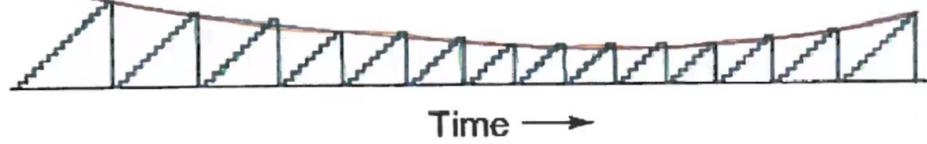
$$\hookrightarrow T_{conv}|_{max} = \frac{2^m}{f_{CK}}$$


⌚ velocità di conversione relativamente bassa  
 ADC a 10 bit  $\Rightarrow V_{in} \approx V_{FS}$  necessita di 1024 colpi di clock per essere convertito  
 $f_{CK} = 1\text{MHz} \Rightarrow T_{conv}|_{max} = 1.024\text{ms} \Rightarrow \approx 1000 \text{ convers./s}$

- 😊 architettura semplice, basata su pochi blocchi funzionali  
 $\hookrightarrow$  ADC economico
- ⌚ la parola digitale fornita in uscita è il più piccolo valore di  $V_{DAC}$  che sia maggiore di  $V_{in}$ , ma non è necessariamente il valore di  $V_{DAC}$  più vicino a  $V_{in} \Rightarrow V_{in}$  è sempre sovrastimato

## ADC A GRADINATA

Analog input



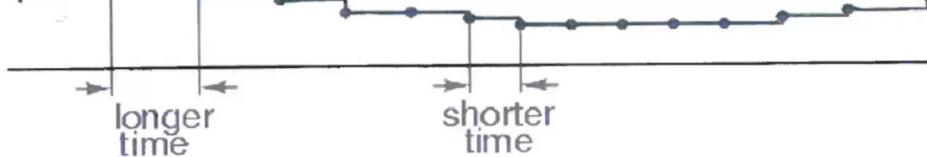
Time →

Digital output



Time →

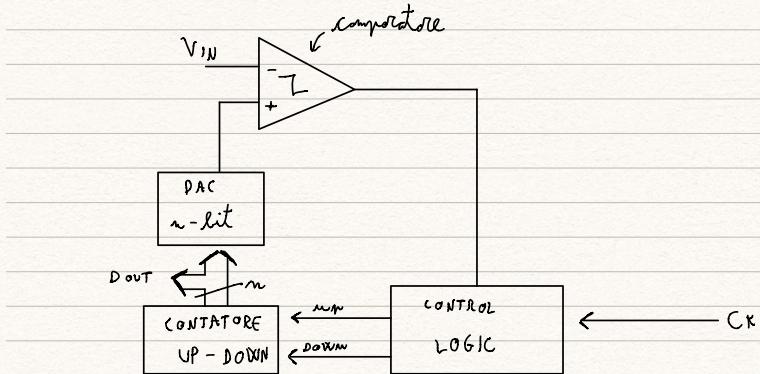
Digital output



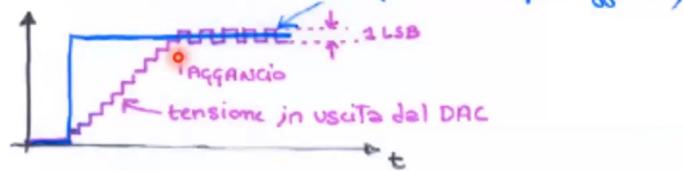
longer time

shorter time

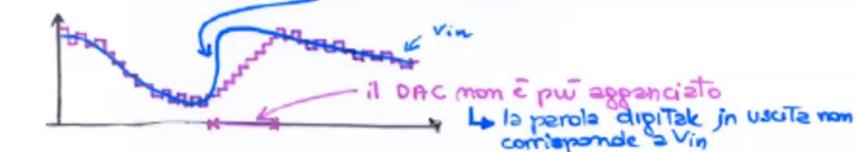
## ADC TRACKING:



\* SEGNALE COSTANTE  $V_{in}$  (costante dopo l'aggancio)



\* FRONTE RAPIDO FRONTE RAPIDO DI  $V_{in}$



Zuál è la massima frequenza di aggancio di un Tracking ADC?

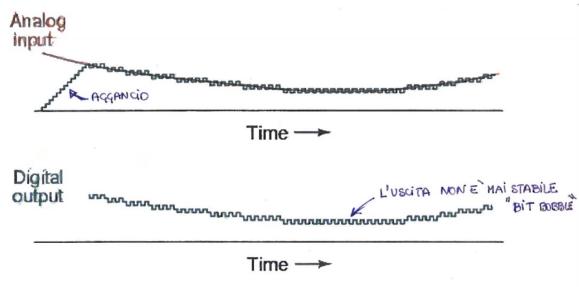
$$\text{massima pendenza} = \frac{V_{FS}}{2} \omega_{in} \cos(\omega_{in} t) |_{\text{max}} = \frac{V_{FS}}{2} \pi f_{in}$$

$$\text{massima velocità di variazione dell'uscita del DAC: } 1\text{LSB}/\text{fin} = \frac{V_{FS}}{2^n} \times f_{CK}$$

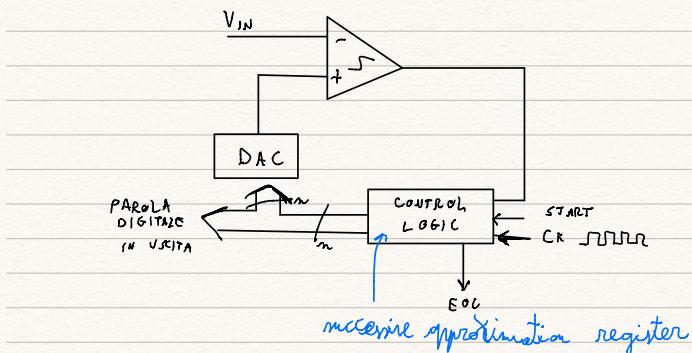
$$\Rightarrow V_{FS} \pi f_{in} < \left( \frac{V_{FS}}{2^n} \right) f_{CK} \Rightarrow f_{in} < \frac{f_{CK}}{\pi 2^n}$$

$f_{CK} = 1\text{MHz}; n=10 \Rightarrow f_{in} < 300\text{Hz}!!$

### ADC TRACKING



## ADC AD APPROXIMAZIONI SUCCESSIVE (ADC SAR)



### ADC AD APPROXIMAZIONI SUCCESSIVE

La logica di controllo assegna inizialmente il MSB  $\Rightarrow V_{DAC} = \frac{V_{FS}}{2}$

$$MSB = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2}$$

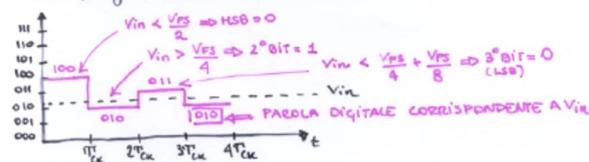
$$MSB = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2}$$

Al secondo colpo di CK è inserito il bit successivo

$$(MSB=1) \quad 2^{\text{BIT}} = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

$$2^{\text{BIT}} = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

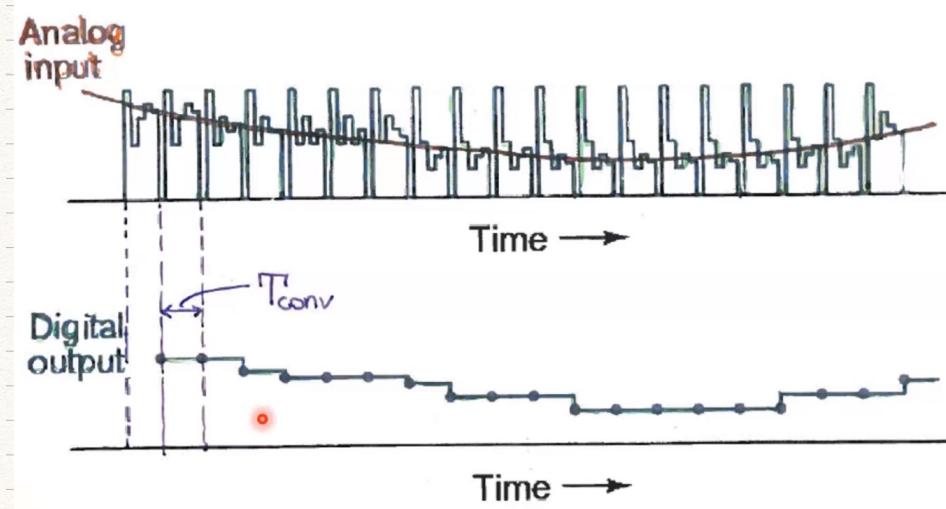
e così via fino all'esaurimento dei bit



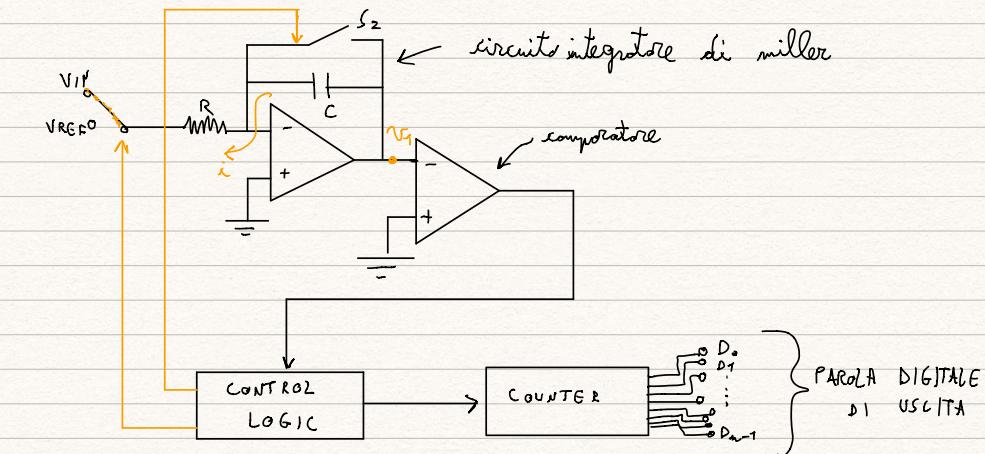
$\downarrow$   
TEMPO DI CONVERSIONE  $T_{conv} = \frac{m}{f_{CK}}$  (ADC-10bit;  $f_{CK} = 1\text{MHz} \Rightarrow T_{conv} = 10\mu\text{s}$ )

$T_{conv}$  è limitato dal settling time del DAC e dal tempo di risposta del comparatore. In genere il ritardo della logica SAR è trascurabile.

### ADC AD APPROXIMAZIONI SUCCESSIVE



## ADC A DOPPIA RAMPA (DUAL-SLOPE DC)

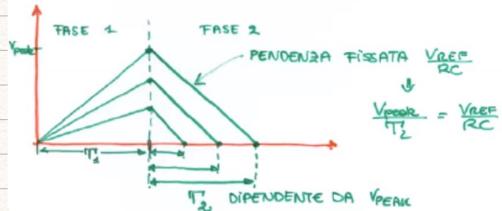


Hp:  $V_{in} < 0$

- PRIMA DELL'INIZIO DELLA CONVERSIONE:  $S_2$  CHIUSO  $\Rightarrow V_d = 0$
- INIZIO DEL CICLO DI CONVERSIONE: FASE 1
  - $S_2$  SI APRE
  - $S_1$  CONNETTE L'INGRESSO DELL'INTEGRATORE A  $V_{in}$ .  
 $\downarrow i = \frac{V_{in}}{R} \Rightarrow V_d$  CRESCHE LINEARMENTE (PENDENZA  $\frac{1}{RC}$ )
  - CONTATORE È ABILITATO E CONTA PER UN TEMPO  $T'_1$
- ↳ la prima fase termina quando il contatore ha contato  $m_{REF}$  ( $= 2^m$ ) e viene resettato

CICLO DI CONVERSIONE: FASE 2

- $S_2$  CONNETTE LA TENSIONE  $V_{REF}$  ALL'INGRESSO DELL'INTEGRATORE  
 $\downarrow i = \frac{V_{REF}}{R} \Rightarrow V_d$  OCCRESCHE LINEARMENTE (PENDENZA  $\frac{V_{REF}}{RC}$ )
- IL CONTATORE È ABILITATO E CONTA
- QUANDO  $V_d = 0 \Rightarrow$  IL COMPARATORE COMMUTA E LA LOGICA PERMette IL CONTATORE



### ADC A DOPPIA RAMPA (3)

$$\begin{aligned} \text{Fase 1: } \frac{V_{peak}}{T'_1} &= \frac{V_{in}}{RC} \\ \text{Fase 2: } \frac{V_{peak}}{T'_2} &= \frac{V_{REF}}{RC} \end{aligned} \quad \left\{ \Rightarrow \frac{V_{in}}{RC} T'_1 + \frac{V_{REF}}{RC} T'_2 \right.$$

$$\downarrow T'_1 = \frac{V_{in}}{V_{REF}} T'_2$$

MA:  $m_{REF}$  È PROPORTIONALE A  $T'_2$   
 E (CONTAGGIO DEL COUNTER  $\otimes T'_2$ ) È PROPORTIONALE A  $T'_1$

$$\downarrow k = m_{REF} \left( \frac{V_{in}}{V_{REF}} \right) = \frac{m_{REF}}{V_{REF}} \cdot V_{in} = \frac{2^m}{V_{REF}} \cdot V_{in}$$

$\downarrow$  la perdita digitale  $k$  in uscita al contatore al tempo  $T'_2$  è la perdita digitale equivalente a  $V_{in}$ .

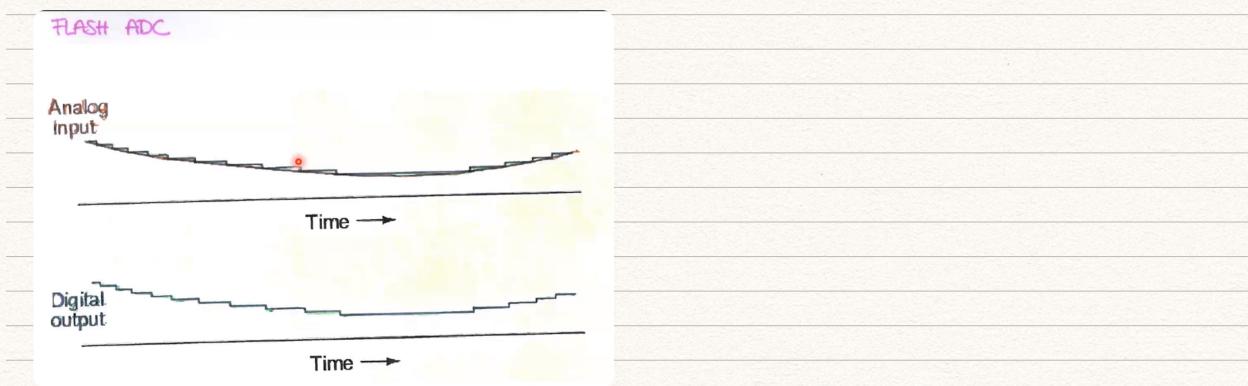
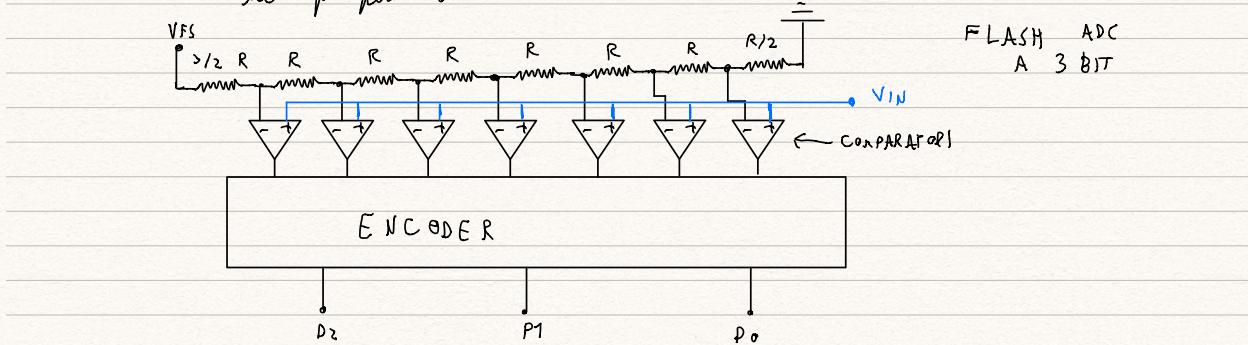
① elevata accuratezza, poiché le prestazioni non dipendono dalle tolleranze sui valori di  $R$  e  $C$

② ridotto numero di componenti e blocchi circuitali

③ tempi di conversione piuttosto lunghi

## FLASH ADC

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.



### • DINAMICA DELL'ADC

È data dal rapporto fra il massimo valore fornibile dall'ADC e il valore del minimo intervallo di tensione che può essere discriminato

$$\text{DINAMICA} = 20 \log \frac{\text{FSR}}{\text{LSB}} = 20 \log \frac{\text{FSR}}{\frac{\text{FSR}}{2^n}} = 20 \log 2^n = \\ = 6.02 \cdot n$$

ADC a 12 bit con  $V_{\text{REF}} = 5V$

$$000000000000 \rightarrow \frac{V_{\text{REF}}}{2^{12}} = \frac{5V}{4096} = 1.22mV$$

$$111111111111 \rightarrow 0V_{\text{REF}} = 5V$$

↳ DINAMICA =  $20 \log \frac{5V}{1.22mV} = 72 \text{dB}$

$$= 12 \cdot 6.02 = 72 \text{dB}$$

## RAPPORTO SEGNALE / RUMORE

Quale è il valore massimo di rapporto segnale / rumore (SNR) ottenibile con un ADC ideale?

SEGNALE: sinusoida di ampiezza max consentita

RUMORE: rumore di quantizzazione

$$\begin{aligned} \text{SNR}_{\text{max}} &= \frac{\text{potenza max segnale}}{\text{potenza min rumore}} = \\ &= 10 \log \frac{\left(\frac{\text{FSR}}{2} \cdot \frac{1}{\sqrt{2}}\right)^2}{\frac{\text{LSB}^2}{12}} = \text{valore efficace} \\ &= 10 \log \frac{\frac{\text{FSR}^2}{8}}{\frac{\text{FSR}^2}{2^{2n}} \frac{1}{12}} = 10 \log \left[ 2^{2n-1} \cdot 3 \right] = \\ &= (2n-1) \left[ 10 \log 2 \right] + 10 \log 3 = 6.02 \cdot n + 1.76 \\ &\quad \uparrow \\ &\quad \text{n° di bit dell'ADC} \end{aligned}$$

$$\hookrightarrow \text{ADC} \approx 12 \text{ bit} \quad \text{SNR}_{\text{max}} = 12 \cdot 6.02 + 1.76 \approx 74 \text{ dB}$$

In realtà all'interno dell'ADC si sovrappongono al segnale analogico anche altri rumori elettronici:

↓ Il risultato della conversione può essere soggetto ad un rumore maggiore del rumore di quantizzazione.

**BIT EFFICACI** dell'ADC: numero di bit che un ADC ideale, effetto dal solo rumore di quantizzazione, dovrebbe possedere per avere il medesimo SNR.

$$n_{\text{bit eff.}} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}}$$

$$\text{ADC} \approx 12 \text{ bit}; \text{FSR} = 5V; \text{SNR}_{\text{reale}} = 68 \text{ dB} \Rightarrow \frac{68 - 1.76}{6.02} = 11 \text{ bit efficaci}$$

100000000001 → 2.5012 ± 1 LSB. ← 1000000000010

## EFFECTIVE NUMBER OF BIT (ENOB)

L'uscita dell'ADC (anche se ideale) può perdere informazione in tutti i casi in cui il segnale analogico in ingresso presenta un'ampiezza minore della massima ampiezza consentita

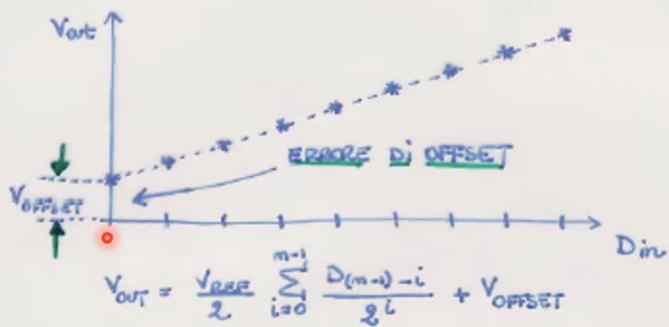
↪ Il segnale di ingresso non sfrutta l'intera dinamica

↓ Quando il segnale di ingresso non ha ampiezze sufficienti per sfruttare l'intera dinamica dell'ADC è conveniente amplificare preliminarmente il segnale di ingresso per "portarlo in dinamica".

## CONVERTITORI DIGITALI - ANALOGICI

### ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

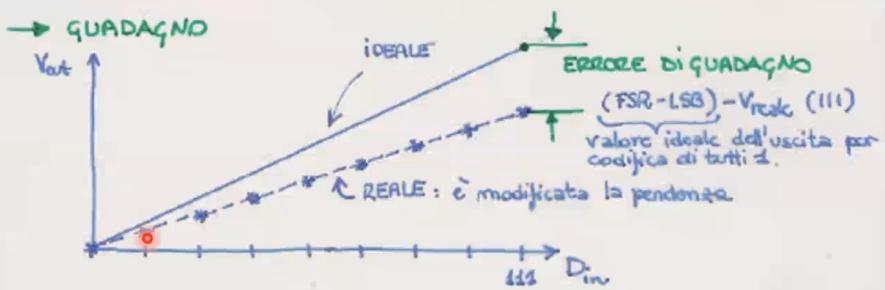
→ OFFSET



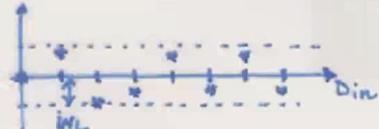
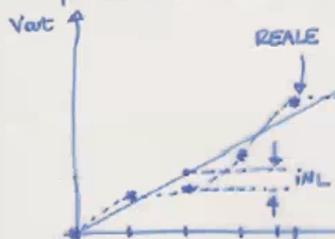
- Tipicamente  $V_{OFFSET} \approx$  qualche mV
- può essere regolato a zero mediante potenziometri, ma il suo valore cambia nel tempo di funzionamento

### ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

→ GUADAGNO

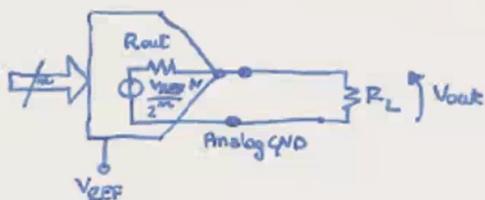


→ NON-LINEARITÀ INTEGRALE: massimo scostamento presente tra un punto della caratteristica reale del DAC ed il corrispondente punto sulla caratteristica ideale.



## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

→ IMPEDENZA DI USCITA



Esempio: DAC ZN558D:  $R_{out} = 4k\Omega$ ,  $V_{ref} = 5V$ , 8 bits

Calcoliamo il valore minimo della resistenza che può essere connesso in uscita perché l'errore sulla tensione di uscita sia minore di  $\frac{1}{2}$  LSB:

$$LSB = \frac{V_{ref}}{2^8} = \frac{5V}{2^8} = \frac{5V}{256} = 19.5mV$$

$$\Rightarrow \Delta V_{out} \leq \frac{19.5mV}{2} = 9.75mV \Rightarrow I_{out} < \frac{\Delta V_{out}}{R_{out}} \approx 2.5\mu A$$

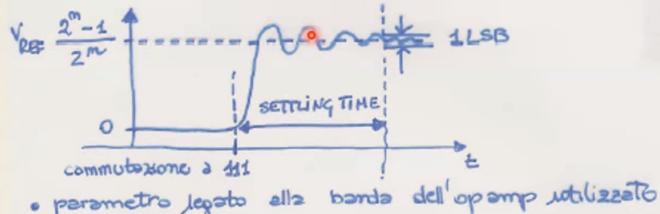
$$\downarrow R_L > \frac{V_{ref}}{I_{out,max}} = \frac{5V}{2.5\mu A} = 2M\Omega$$

↳ condizione molto stringente, soprattutto se a valle c'è un amplificatore invertente!

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

→ SETTLING TIME: tempo necessario perché l'uscita analogica del DAC si avvicini entro una banda di oscillazione assegnata quando l'ingresso commuta da tutti i bit pari a 0 a tutti i bit pari a 1.

La banda di oscillazione tipicamente assegnata è  $\pm 0.5$  LSB attorno al valore assintotico finale



• parametro legato alla banda dell'opamp utilizzato

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

→ GLITCH SUL SEGNALE DI USCITA

Fenomeno provocato dalla non istantaneezza del comando degli switch.

↳ sono prodotte transitoriamente tensioni di uscita differenti da quella finale

ESEMPIO: DAC a 4 bit commutazione 0101 → 1011

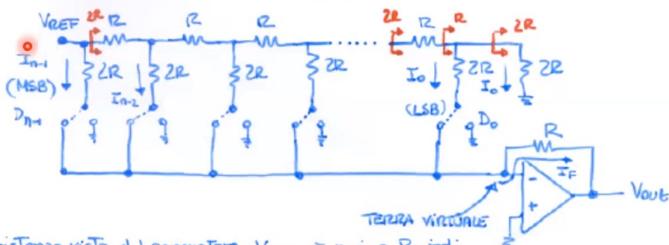
• l'uscita dovrebbe cominciare da  $V_{out} = \frac{5}{16} V_{ref}$   
a  $V_{out} = \frac{11}{16} V_{ref}$

Se al 3° bit è lento nel commutare:

0	1	0	1	$\frac{5}{16} V_{ref}$
1	1	1	1	$\frac{15}{16} V_{ref}$
1	0	1	1	$\frac{11}{16} V_{ref}$

glitch!

## CONVERTITORI A SCALA R-2R



- resistenza vista dal generatore  $V_{REF}$  è pari a  $R$ , indipendentemente dalla parola digitale in ingresso, grazie al modo di Terra virtuale → corrente erogata da  $V_{REF}$ :

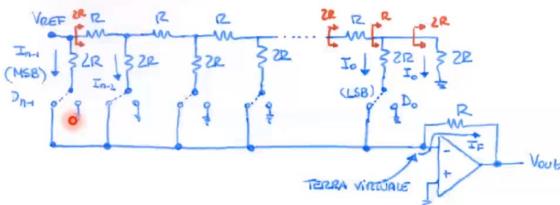
- corrente attraverso la resistenza di retroazione  $R$ :

$$I_{n-1} = \frac{V_{REF}}{2R}; I_{n-2} = \frac{I_{n-1}}{2}; I_{n-3} = \frac{I_{n-2}}{2} = \frac{I_{n-1}}{2^2}$$

$$I_0 = \frac{I_{n-1}}{2^{n-1}} = \frac{V_{REF}}{2^n R}$$

$$\downarrow I_F = \frac{V_{REF}}{2R} D_{m-1} + \frac{V_{REF}}{2R} \frac{D_{m-2}}{2} + \frac{V_{REF}}{2R} \frac{D_{m-3}}{2^2} + \dots + \frac{V_{REF}}{2R} \frac{D_0}{2^{n-1}}$$

## CONVERTITORI A SCALA R-2R



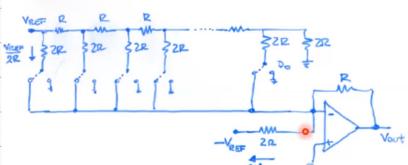
- ③ pesano le resistenze serie degli interruttori e la tensione di offset e le correnti di bias dell'opamp.

- ④ il massimo valore di resistenza che deve essere integrato è pari a  $2R$  indipendentemente dal numero di bit del DAC.

- ⑤ resistenza vista da  $V_{REF}$  non dipende dalla parola digitale in ingresso → La resistenza serie del generatore  $V_{REF}$  pesa come errore di guadagno (poco importante), ma non dà INL e DNL.

→ Per avere tensione di fondo scala positiva è sufficiente scegliere  $V_{REF}$  negativa

## CONVERTITORI A SCALA R-2R BIPOLARE



↓ l'uscita del DAC su nodo R-2R viene sommata ad una quantità  $+\frac{V_{REF}}{2R} \cdot R = +\frac{V_{REF}}{2}$  grazie al modo aggiuntivo

che sfruisce al modo di Terra virtuale

\* parola digitale di Tutti 0:  $V_{out} = -\left(\frac{V_{REF}}{2R}\right) \cdot R = -\frac{V_{REF}}{2}$

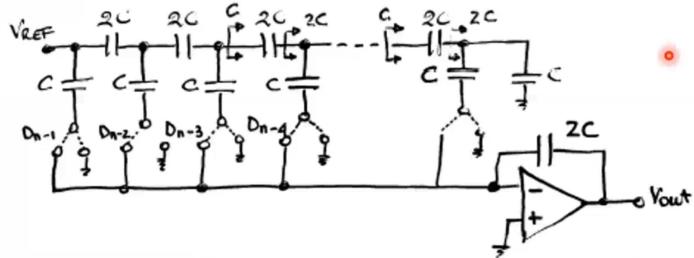
\* parola digitale di Tutti 1:  $\Rightarrow N_0 = 2 - 1$

$$V_{out} = -\frac{V_{REF}}{2} N_0 + \frac{V_{REF}}{2} = -\frac{V_{REF}}{2} (2^N - 1) + \frac{V_{REF}}{2} =$$

$$= -\frac{V_{REF}}{2} + \frac{V_{REF}}{2^N}$$

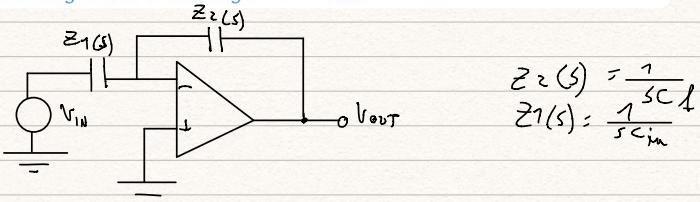
↳ LSB sotto il massimo valore della tensione di uscita

## CONVERTITORE A SCALA C-2C

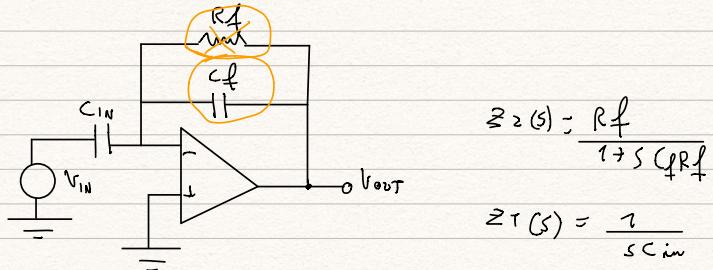


$$\begin{aligned}
 V_{out} &= -\frac{V_{REF}}{2C} \left[ CD_{n-1} + \frac{C}{2} D_{n-2} + \dots + \frac{C}{2^{n-2}} D_1 + \frac{C}{2^{n-1}} D_0 \right] = \\
 &= -\frac{V_{REF}}{2^n} [2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \dots + 2^1 D_1 + 2^0 D_0] = \\
 &= -N \frac{V_{REF}}{2^n}
 \end{aligned}$$

L'impiego delle capacità, al posto delle resistenze, rende questa topologia di DAC compatibile con l'integrazione in tecnologia VLSI MOS.



$$\begin{aligned}
 Z_2(s) &= \frac{1}{sC_L} \\
 Z_1(s) &= \frac{1}{sC_{in}}
 \end{aligned}$$



$$Z_2(s) = \frac{R_f}{1 + sC_f R_f}$$

$$Z_1(s) = \frac{1}{sC_{in}}$$

$$T(s) \stackrel{\Delta}{=} \frac{V_{out}(s)}{V_{in}(s)} = \frac{-R_f}{1 + sC_f R_f} \quad sC_{in} \xrightarrow{s \rightarrow \infty} -\frac{sC_{in} R_f}{sC_f R_f} = -\frac{C_{in}}{C_f}$$

capacità più semplici da integrare rispetto alle resistenze