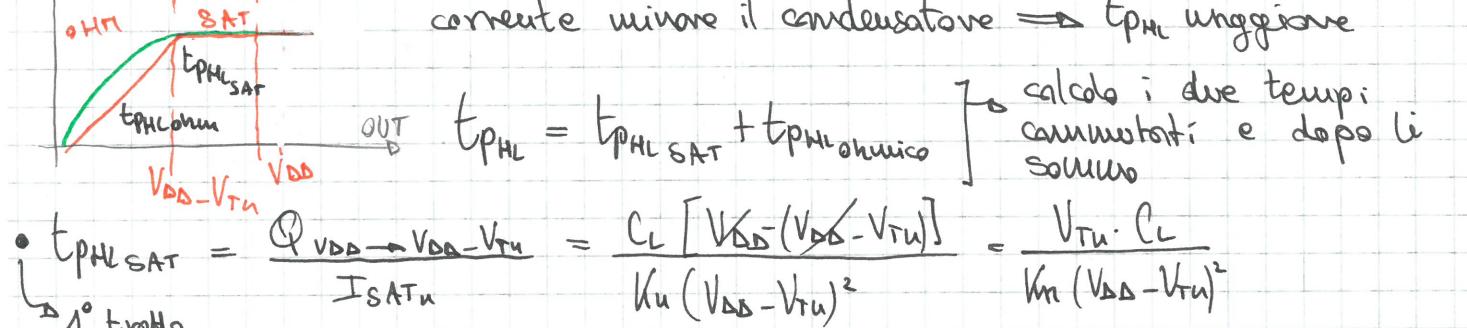


Ho la relazione  $V_{\text{out}} = V_{DD} \exp\left(-\frac{t}{\tau}\right)$  in cui  $\tau = R_{DSON} \cdot C_L$

$$\frac{V_{\text{out}}}{2} = V_{DD} \exp\left(-\frac{t_{PHL}}{\tau}\right) \quad t_{PHL} = \tau \ln 2 = 0,69 \tau$$

Il prezzo è che devo solo calcolare  $R_{DSON}$  un po' un'approx molto più alta rispetto alla 1<sup>a</sup> approx. È sempre per difetto. Qui si stima più o meno l'ordine di grandezza della commutazione e è utile per comprendere altre commutazioni con la stessa  $R_{DSON}$

3<sup>a</sup> approx) Questa è un'approx per eccesso, è come se semicassasse con una corrente minore il condensatore  $\Rightarrow t_{PHL}$  maggiore



$$t_{PHL,SAT} = \frac{Q_{VDD \rightarrow VDD-VTs}}{I_{SAT,u}} = \frac{C_L [V_{DD} - (V_{DD} - V_{Ts})]}{K_u (V_{DD} - V_{Ts})^2} = \frac{V_{Ts} \cdot C_L}{K_u (V_{DD} - V_{Ts})^2}$$

1° tratto

$$t_{PHL,\text{ohmico}} = \frac{V_{DD}-V_{Ts}}{I_{SAT,u}} \quad \begin{array}{l} \text{salto di tensione (vedi grafico)} \\ \text{modellizza con resistenza come parola} \end{array}$$

$$R_{\text{eq}} = \frac{V_{DD}-V_{Ts}}{I_{SAT,u}}$$

2° tratto

$$\tau = R_{\text{eq}} \cdot C_L$$



$$V_{\text{out}} = (V_{DD} - V_{Ts}) \exp\left(-\frac{t}{\tau}\right) \rightarrow$$

$$t \rightarrow \frac{V_{DD}}{2} - (V_{DD} - V_{Ts}) \exp\left(-\frac{t_{PHL,\text{ohmico}}}{\tau}\right) \rightarrow$$

$$\rightarrow t_{PHL,\text{ohmico}} = \tau \cdot \ln\left(\frac{V_{DD} - V_{Ts}}{V_{DD}/2}\right)$$

$$t_{PHL,\text{TOT}} = \frac{C_L \cdot V_{Ts}}{K_u (V_{DD} - V_{Ts})^2} + \tau \ln\left(\frac{V_{DD} - V_{Ts}}{V_{DD}/2}\right)$$

Se  $K_u = |K_p|$   $t_{PHL} = t_{PLH}$

Se  $K_u > |K_p|$   $t_{PHL} < t_{PLH}$  e viceversa

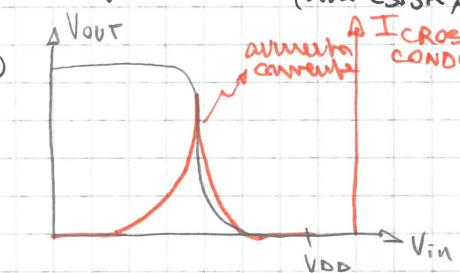
def Si definisce Ritardo di propagazione  $T_p = \frac{t_{PHL} + t_{PLH}}{2}$  (propagation delay)

dissipazione di potenza inverter Cross

- ①  $P_{STATICA} = 0$  non ho una dissipazione di potenza attraverso la porta
- Questo permette una tecnica sul wafer  $I_{DDQ}$  o quiescenza:  
Porto gli ingressi ad opportuni livelli logici alti e bassi:
  - Se la corrente di quiescenza è bassa  $\rightarrow$  IC OK
  - se la corrente di quiescenza è alta  $\rightarrow$  IC rotto (curlo circ)

$$③ P_{DINAMICA} = P_{CARICA}^{(1)} + P_{SCARICA}^{(2)} + P_{CROSS-CONDUZIONE}$$

è legata all'ingresso ~~esiste~~ (non esiste) resistenza interna dell'inverter



- ② Durante la commutazione si ha uno scorrimento di corrente nell'inverter. Questa potenza dissipata è molto minore di quella ①

pertanto, in genere  $P_1 \gg P_2$

ES: supponiamo di avere anche qui un 50% duty cycle

fronte positivo  $IN = V_{DD} \rightarrow$  si scarica attraverso l'nfet

pertanto  $E = \frac{1}{2} C_L V_{DD}^2$  dissipata attraverso nFet

fronte negativo  $IN = 0V \rightarrow$  il pFet preleva corrente per alimentare  $C_L$

$$E = \int i(t) \cdot V(t) dt = V_{DD} \int i(t) dt \quad Q \text{ è la carica sulla carica di } C_L$$

$$\text{dove } C_L = \frac{Q}{V_{DD}} \rightarrow Q = C_L \cdot V_{DD} \Rightarrow E = V_{DD} \cdot \int i(t) dt = C_L \cdot V_{DD}^2$$

$\frac{1}{2} C_L V_{DD}^2$  = immagazzinata da  $C_L$  carica a  $V_{DD}$

$\frac{1}{2} C_L V_{DD}^2$  = dissipata dal pFet per caricare  $C_L$

$$P = C_L V_{DD}^2 \cdot \text{frequenza} \quad HF = \text{alta dissipazione}$$

$\downarrow$  LF = bassa dissipazione

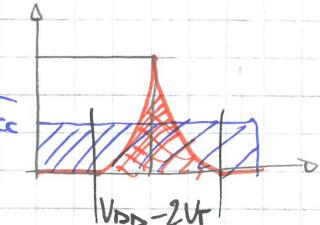
diminuisco capacità parassita

$\rightarrow$   $V_{DD}$  minima al quadrato, se alimenta a L voltage ha meno potenza

potenza

Vediamo la potenza di cross condutzione, stimandola. Spostiamoci  
l'area della cuspidate della corrente di cross condutzione

$$I_{\text{picco}}^{\text{cross-cond}} = K_n \left( \frac{V_{DD}}{2} - V_T \right)^2 \rightarrow I_{SAT}$$



$$\overline{I}_{CC} V_{DD} = \frac{1}{2} I_{\text{picco}}^{\text{cc}} (V_{DD} - 2V_T) \quad \overline{I}_{CC} = \frac{1}{2} I_{\text{picco}}^{\text{cc}} \frac{V_{DD} - 2V_T}{V_{DD}}$$

$$\overline{P}_{CC} = \overline{I}_{CC} \cdot V_{DD} \cdot \frac{2T_p}{T} \quad \begin{matrix} \text{in due fronti per periodo} \\ \text{suppongo che c'è due tempi di propagazione} \end{matrix}$$

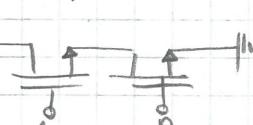
$\rightarrow$  periodo medi copre la durata del fronte di commutazione  
escludendo la durata

$$2T_p \approx \text{durata del fronte}$$

### Porte logiche elementari CMOS

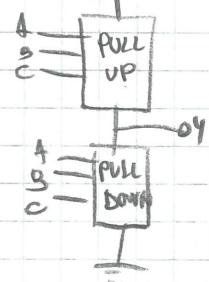
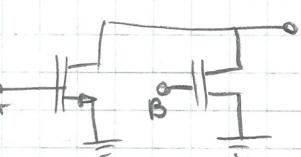
$\bar{Y} = (A, B, C, \dots)$  come faccio a sapere come connettere gli NMOS della rete  
di pull-down? Considero per esempio  $Y = \bar{A}\bar{B} \rightarrow \bar{Y} = \bar{\bar{A}}\bar{B} = A\bar{B}$   $\rightarrow$ ; PDS devono

essere in serie



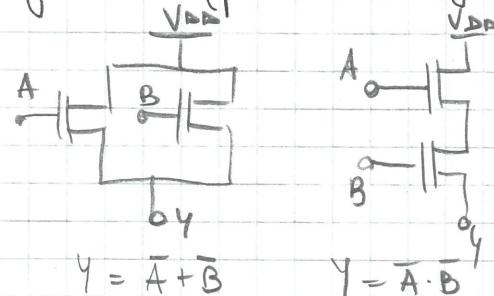
Analogamente, se ho  $Y = \bar{A} + \bar{B}$   $\bar{Y} = A + B$

Ovviamente in Logica CMOS  $P_{STATICA} = 0$ , ovvero

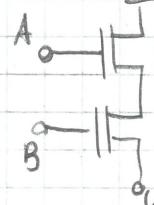


$\exists$  corrente tra i due  $\rightarrow$  grande vantaggio rispetto a TTL

Invece per la rete di pullup i PMOS connettono Y all'uscita quindi gli ingressi sono bassi. Per determinare la struttura della rete logica dovrà guardare (per i nPDS guarda  $\bar{Y}$ ) la combinaz degli INPUT regnanti.

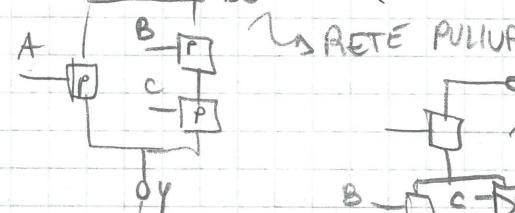


$$Y = \bar{A} + \bar{B}$$



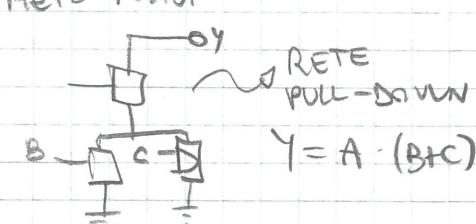
$$Y = \bar{A} \cdot \bar{B}$$

$$\text{es } Y = \bar{A} + \bar{B} \cdot \bar{C} = \bar{A} (\bar{B} + \bar{C})$$



$$Y$$

$\rightarrow$  RETE PULLUP



$$Y = A \cdot (B + C)$$

$\rightarrow$  RETE PULL-DOWN

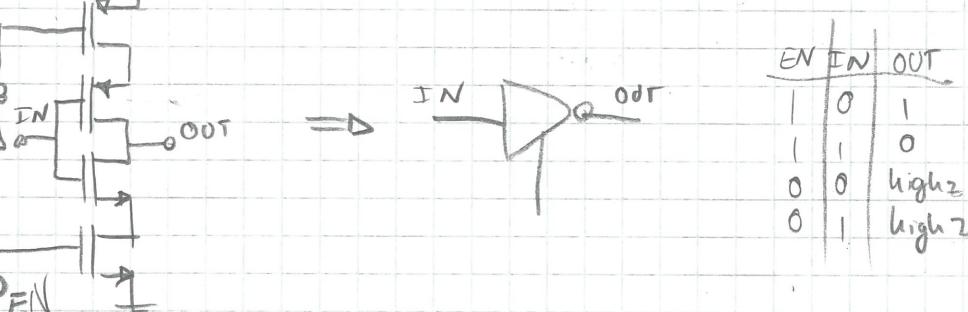
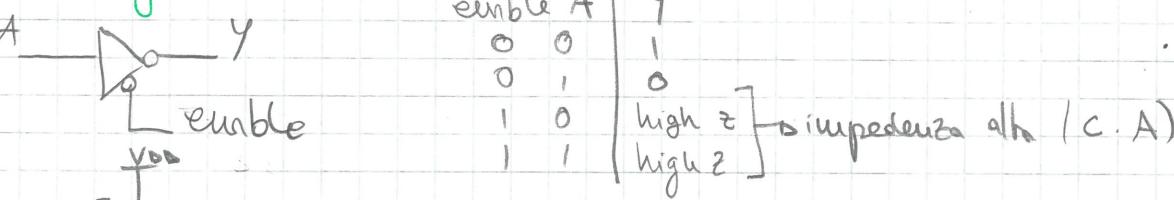
Transistor in  $\parallel \rightarrow$  somma le W dei transistori  $\rightarrow$   
 $\rightarrow$  l'eq parla più comodo

resistenze in serie

Transistor in serie  $\rightarrow$  somma delle lunghezze  $\rightarrow$  meno corrente

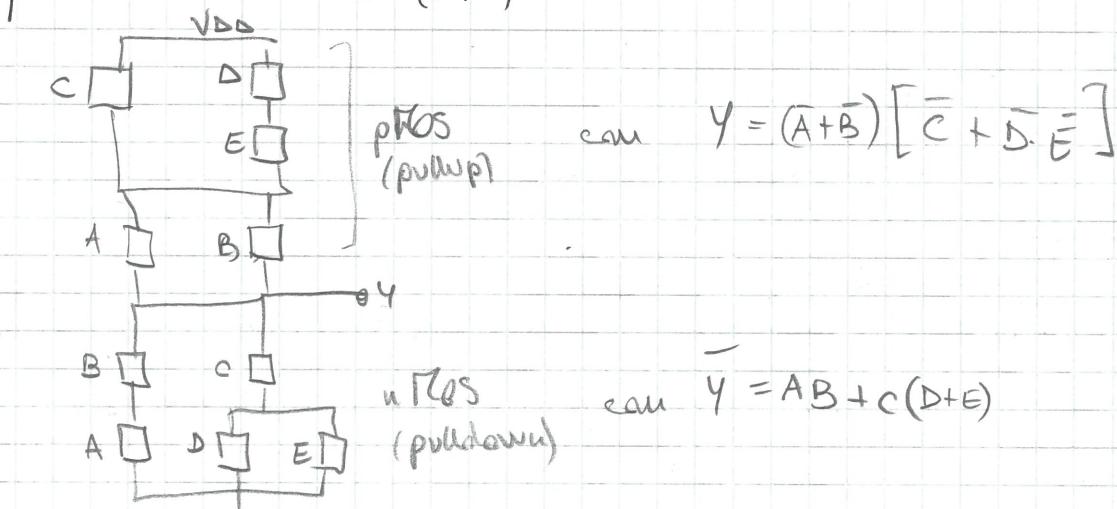
Posso partire dalla porta logica ad avere un inverter equivalente, per poi eseguire i soliti calcoli e approx

## Porte Logiche tri-state



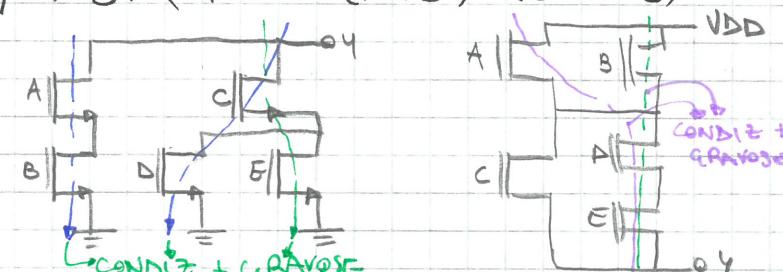
$$Y = \overline{A \cdot B + C(D+E)} = \overline{AB} \cdot \overline{C(D+E)} = (\bar{A} + \bar{B}) \cdot [\bar{C} + \bar{D} \cdot \bar{E}] \rightarrow \text{pullup}$$

pull down  $\bar{Y} = AB + C(D+E)$



## Dimensionamento transistor porta logica connesse CMOS

$$Y = \overline{AB + C(D+E)} = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D} \cdot \bar{E})$$



Dobbiamo dimensionare i vari transistor in modo da rispettare i tempi di propagazione

per transistor in parallelo  $\left(\frac{W}{L}\right)_{eq} = \sum_i \left(\frac{W}{L}\right)_i$ .

per transistor in serie invece ho la somma  $\left(\frac{W}{L}\right)_{eq} = 1 / \sum_i \left(\frac{L}{W}\right)_i$ ; transizione (nel nostro caso) HL più grossa è data da 2 nFOS in serie:  $A \cdot B, C \cdot D, C \cdot E$

transizione L  $\rightarrow$  H più grossa è data da 3 nFOS:  $A \cdot D \cdot E, B \cdot D \cdot E$

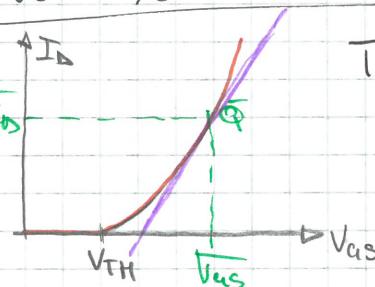
Perciò calcolo i fattori di forma  $\left(\frac{W}{L}\right)_{eq} = 2 \xrightarrow{\text{inverter}} \left(\frac{W}{L}\right)_{p,eq} = \frac{1}{M_p} \left(\frac{W}{L}\right)_{n,eq} = 5$

Allora  $\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{\frac{1}{M_p} + \left(\frac{W}{L}\right)_n} = \frac{1}{2} \cdot \left(\frac{W}{L}\right)_n \Rightarrow \left(\frac{W}{L}\right)_n = 2 \left(\frac{W}{L}\right)_{n,eq} = 10$

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{\left(\frac{W}{L}\right)_A + \left(\frac{W}{L}\right)_B + \left(\frac{W}{L}\right)_E} = \frac{1}{3} \left(\frac{W}{L}\right)_p \rightarrow \left(\frac{W}{L}\right)_{p,eq} = 3 \left(\frac{W}{L}\right)_{p,eq} = 15$$

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{\left(\frac{W}{L}\right)_A + \left(\frac{W}{L}\right)_C} \quad 5 = \frac{1}{\frac{1}{2S} + \left(\frac{W}{L}\right)_C} \quad \left[\left(\frac{L}{W}\right) + \frac{1}{2S}\right] S = 1 \Rightarrow \left(\frac{L}{W}\right) = \frac{2}{3} \cdot \frac{1}{5} \cdot \frac{1}{S} = 7,5$$

Transaratteristica (saturazione):  $I_D = K_u (V_{GS} - V_{TN})^2$



Transaratteristica: lega una variabile d'ingresso a quella d'uscita

$\bar{Q} = \text{pto lavoro/bits point}/Q_{point}$

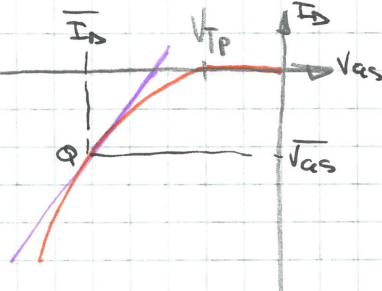
$\bar{m}$  = transconduttanza del MOS:

$$g_m \triangleq \left. \frac{\partial I_{DSAT}}{\partial V_{GS}} \right|_{V_{DS}=\text{costante}} = 2K_u(V_{GS} - V_{TN}) \quad [\text{Siemens}]$$

In sat con  $V_{GS} < V_{TP} < 0$   
 $V_{GS} > V_{TP}$

$$I_D = K_p (V_{GS} - V_{TP})^2$$

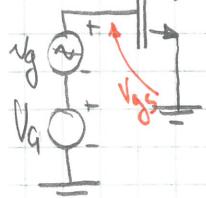
$$K_p = -\frac{1}{2} M_p \cos \left( \frac{W}{L} \right)_p$$



$$g_m \triangleq \left. \frac{\partial I_{DSAT}}{\partial V_{GS}} \right|_{V_{DS}=\text{costante}} = 2K_p(V_{GS} - V_{TP})$$

Comportamento del MOS su piccolo segnale

$$\frac{V_{DD}}{R_D} \quad V_D = V_{DS} (\text{DC}) \quad I_D = \text{corrente DC entrante al DRAIN}$$



$$V_{GS} = \text{diff di tensione DC tra G e S} \triangleq V_G - V_S$$

$i_d$  = corrente di segnale entrante al drain

$$V_{GS} = \text{diff di tensione tra gate e source} \triangleq V_G - V_S$$

$$I_D = I_{D0} + i_d \quad V_{DS} = V_{DS0} + v_{ds}$$

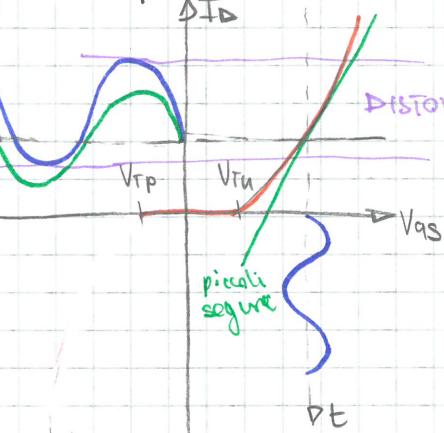
$$V_{GS} = V_{GS0} + v_{gs} \quad I_d = I_{D0} + i_d = K_u (V_{GS} - V_{TN})^2 = K_u [(V_{GS0} - V_{TN}) + v_{gs}]^2 = K_u (V_{GS0} - V_{TN})^2 + 2K_u (V_{GS0} - V_{TN})v_{gs} + K_u v_{gs}^2$$

$i_d = g_m V_{GS0} + K_u v_{gs}^2$  se mi liberassi del termine quadratico avrei un amplificatore

Ma se posso la condizione  $K_u v_{gs}^2 \ll K_u \cdot 2(V_{GS0} - V_{TN})v_{gs} \Rightarrow v_{gs} \ll 2(V_{GS0} - V_{TN})$

a condizioni di piccolo segnale è quindi  $V_{GS} \ll 2(V_{GS}-V_{TH})$

dunque posso dire che  $i_D = g_m V_{GS} + k_u V_{GS}^2 \approx g_m V_{GS}$  per piccoli segnali



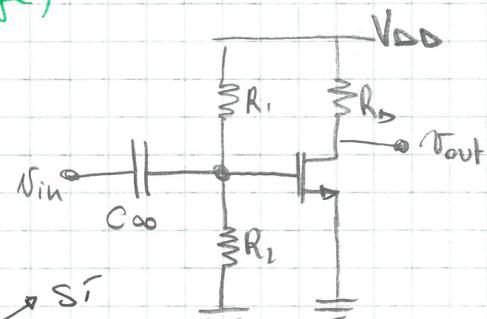
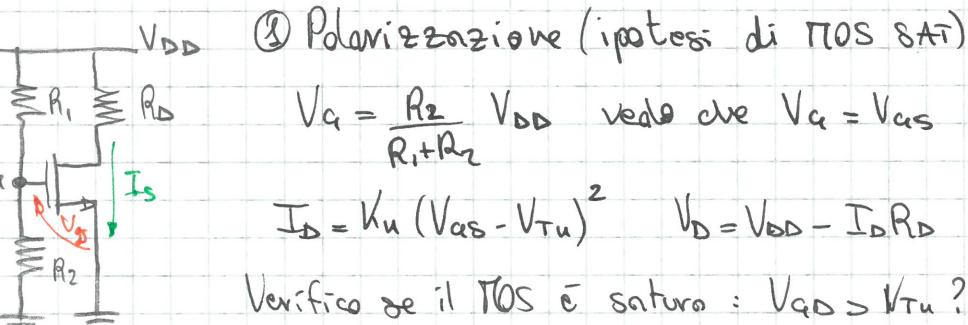
Ho un'asimmetria dell'onda amplificata. Essa dipende dalla parabola, vediamo l'errore di linearità

$$\epsilon \triangleq \frac{V_{TH} V_{GS}}{2k_u(V_{GS}-V_{TH})g_m} = \frac{V_{GS}}{2(V_{GS}-V_{TH})}$$

Per piccoli segnali però ho un'asimmetria differente, il segnale è linearizzato e ha un'asimmetria (vedi onda blu rispetto la verde)

e aumenta o diminuisce la tensione di comando  $V_{GS}$  modula l'ampliamento considerando l'IMOS come gen di corrente di segnale che scorre da D a S, soltato da  $V_{GS}$

### Stadio source a massa (Common source - CS stage)



Verifico se il TOS è saturo:  $V_{GD} > V_{TH}$ ?

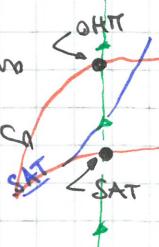
Per non alterare la polarizzazione del circuito, devo disaccoppiare il segnale d'ingresso con un condensatore ( $C \rightarrow \infty$ ). Per IN DC abbiamo un circuito aperto, ma per qualsiasi frequenza il condensatore è in cc.

Quindi devo avere 1 TOS SAT 2 condensatori circuiti aperti per  $V_{IN}$  DC ( $V_{IN}=0$  perché il valore medio del segnale è nullo perché periodico e alternato).



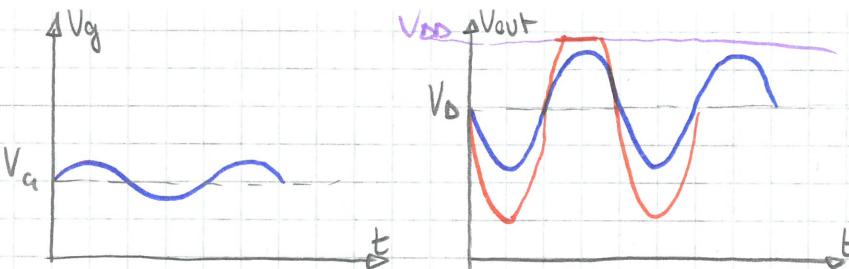
Se sposto troppo in su il pds lavoro

$$V_{GS} = \frac{R_2}{R_1+R_2} V_{DD} \quad \text{rischio di entrare in zona ohmica}$$



② Piccolo segnale:  $V_{GS} = V_{IN} \Rightarrow i_D = g_m V_{GS} = g_m V_{IN}$

$$V_{out} = -i_D R_D = -g_m V_{IN} R_D \quad G_V \triangleq \frac{V_{out}}{V_{IN}} = -g_m R_D$$



La dinamica di uscita è il massimo intervallo in cui il transistore mantiene la giusta caratteristica (senza clip/assimmetrie)

### Come portare verso pTOS su segnale

$$\begin{aligned} \text{Circuit diagram: } & V_g \quad V_{gs} \\ & \downarrow r_g \quad \downarrow \\ & \text{FET symbol} \quad \downarrow I_d \\ & \downarrow \quad \downarrow V_{gp} = V_{gs} + N_{gs} \\ & V_{ss} \quad I_d = I_D + i_d = K_p (V_{gs} - V_{Tp})^2 = K_p \left[ (V_{gs} - V_{Tp})^2 - 2(V_{gs} - V_{Tp})N_{gs} + N_{gs}^2 \right] \end{aligned}$$

poco segnale

Dipendenza di  $I_D$  da temperatura e caratteristiche costruttive

$$\begin{aligned} \text{Circuit diagram: } & V_{dd} \quad R_1 \quad R_2 \quad R_{iu} \quad R_o \\ & \text{FET symbol} \quad \downarrow I_d \end{aligned}$$

$$I_D = K_u (V_{gs} - V_{Tu})^2 \quad K_u = \frac{1}{2} \mu_n C_o \times \frac{W}{L}$$

$$\Delta I_D = \Delta K_u (V_{gs} - V_{Tu})^2 \frac{K_u}{K_u} \rightarrow \frac{\Delta I_D}{I_D} = \frac{\Delta K_u}{K_u}$$

$Ku_2 < Ku_1$

per lavori Q  
differenti per  
la stessa tensione

Se segnale afferro

$$\begin{aligned} \text{Circuit diagram: } & V_{dd} \quad R_o \quad R_{iu} \quad R_i \\ & \text{FET symbol} \quad \downarrow V_{out} \end{aligned}$$

$$V_{out} = -i_d R_o = -g_m N_{gs} \quad V_{gs} = \frac{(R_i // R_o) V_{in}}{R_{iu} + R_i // R_o}$$

$$N_{at} = -g_m N_{iu} \frac{R_i // R_o}{R_{iu} + R_i // R_o} \rightarrow G_W = -\frac{R_i // R_o}{R_{iu} + R_i // R_o} \cdot g_m R_o$$

parte in inverso

Per minimizzare le variazioni, devo fare in modo che  $R_{iu} \ll R_i // R_o$

$$\text{Circuit diagram: } V_{dd} \quad R_o \quad R_{iu} \quad V_{ss} \quad V_{gs}$$

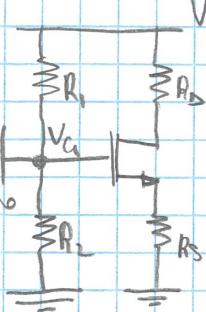
$$V_{gs} = 0 - (-V_{ss}) = V_{ss}$$

Posso anche realizzare un accoppiamento DC del segnale di ingresso

Utilizzando un'alimentazione doppia permette di non perdere in ingresso il fattore delle due resistenze  $R_i // R_o$  (ho perso il segnale DC)

Così facendo, desensibilizzo lo stadio a temperatura e variazioni di corrente, ottenendo una resistenza diretta in ingresso

# Studio sonore a massa degenerato

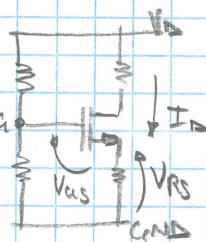


Polarizzazione:

- capacità in CA
- spegno gen segnale
- $H_p: V_{AS}$  in SAT

$$V_a = V_{DD} \frac{R_2}{R_1 + R_2}$$

$$V_{ci} = V_{cas} + V_{AS} = V_{cas} + I_D R_S$$

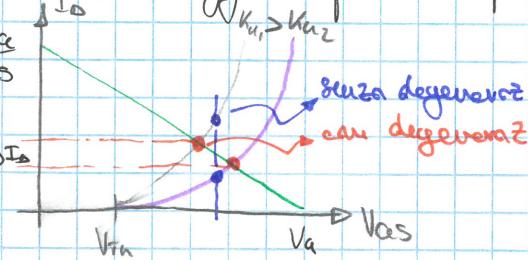


per  $H_p$  di stat

$$\left. \begin{aligned} I_D - I_{DSAT} &= K_u (V_{AS} - V_{Tu})^2 \\ V_{ci} &= V_{cas} + I_D R_S \end{aligned} \right\} \rightarrow \text{ottengo due sol, una } < V_{Tu} \text{ ma non abbiano } H_p \text{ di SAT, quindi viene esclusa}$$

$$V_D = V_{DD} - I_D R_D \Rightarrow I_D = K_u (V_{ci} - I_D R_S - V_T)$$

$R_S$  è vantaggiosa per la dipendenza dalla polarizzazione e dalla transcondutanza:



Geometricamente vedo che  $\Delta I_D$  è minore con

La generazione rispetto a non degener.

$$I_D = K_u [V_{AS}(K_u) - V_{Tu}]^2 \frac{\partial I_D}{\partial V_D} = (V_A - I_D R_S - V_T)^2 \frac{2K_u \partial I_D}{K_u} \cdot (V_{ci} - I_D R_S - V_T)$$

$\hookrightarrow V_{AS} = f(K_u)$ , lo vedo da  $\textcircled{2}$

Sappiamo che

$$2K_u (V_A - I_D R_S - V_T) = g_m$$

$$\Delta I_D = \Delta K_u [V_{AS}(K_u) - V_{Tu}]^2 + K_u \cdot 2(V_{AS} - V_{Tu}) \Delta V_{AS}$$

$$\Delta V_{AS} = 0 - \Delta I_D \cdot R_S \rightarrow \Delta I_D = \Delta K_u [V_{AS} - V_{Tu}]^2 + g_m (-\Delta I_D R_S) \quad \text{Allora} \quad \frac{\partial I_D}{\partial V_D} = \frac{\partial K_u}{K_u (1 + g_m R_S)}$$

$$(1 + g_m R_S) \Delta I_D = \frac{\Delta K_u}{K_u} (V_{AS} - V_{Tu})^2$$

$$\boxed{\frac{\Delta I_D}{I_D} = \frac{\Delta K_u}{K_u} \cdot \frac{1}{(1 + g_m R_S)}}$$

La variaz % della componente di corrente risulta ridotta dal fattore di degeneraz  
che varia a seconda di  $R_S$  (che ~~è~~ vogliamo più grande possibile)

Guadagno per piccolo segnale

Circuit diagram with a bypass capacitor Cao at the collector node:

$$\left. \begin{aligned} V_{in} &= N_{gs} + i_d R_S \\ i_{ds} &= g_m N_{gs} \end{aligned} \right\} \rightarrow N_{in} = N_{gs} + g_m N_{gs} R_S \Rightarrow N_{gs} = \frac{N_{in}}{1 + g_m R_S}$$

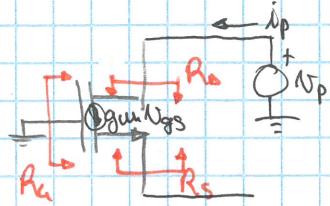
$$V_{out} = -i_d R_D = -g_m N_{gs} R_D = -g_m R_S \frac{N_{in}}{1 + g_m R_S} \rightarrow$$

$$C_{in} = \frac{N_{in}}{V_{in}} = -\frac{g_m R_D}{1 + g_m R_S} \xrightarrow{R_S \gg 1} -\frac{R_D}{g_m} \quad \boxed{\text{però in guadagno}}$$

Inserisco una capacità di bypass: finché essa è c.a. ha la diminuzione di guadagno.

Nel momento in cui il condensatore diventa c.c., ottengo l'aumento di guadagno, non avendo più  $R_S$  a rompere le bolle.

Resistenze viste su segnale dai terminali del Mos

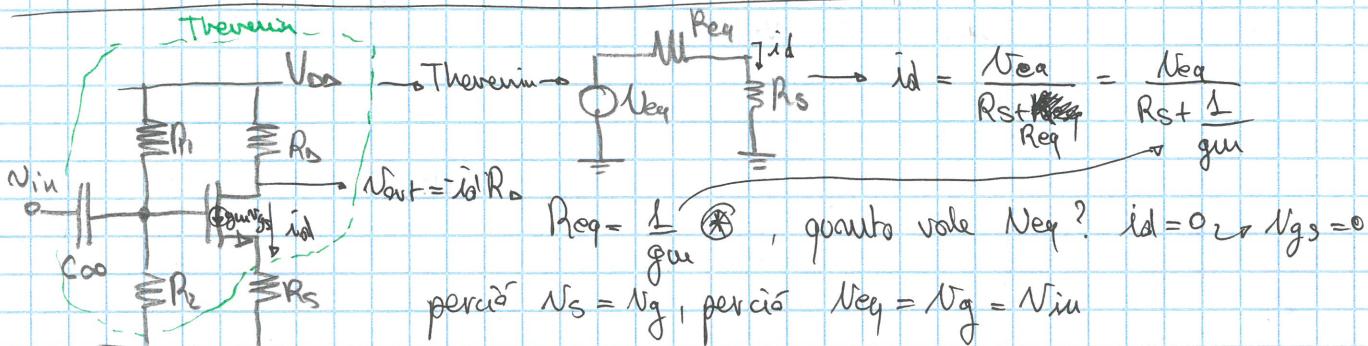


Ovviaamente  $R_G \rightarrow \infty$

$$R_{drain} = \frac{V_D}{I_D} = \frac{V_D}{\frac{V_D - V_{GS}}{g_m N_{GS}}} = \frac{V_D}{\frac{V_D}{g_m N_{GS}}} = g_m N_{GS} \rightarrow \infty \text{ perche } g_m N_{GS} = 0 \text{ (gate a } 0 \text{ V)}$$

$$\text{Psource} = \frac{V_D}{I_D} = \frac{V_D}{\frac{V_D - V_{GS}}{g_m N_{GS}}} = \frac{V_D}{\frac{V_D}{g_m N_{GS}}} = \frac{V_D}{\frac{V_D}{g_m N_{GS}}} = \frac{1}{g_m}$$

Possiamo modellizzare il transistor utilizzando tutto con Thévenin?



Di conseguenza  $id = \frac{Vin}{R_s + \frac{1}{gm}}$  non questo è possibile perché mi

ricordo che la resistenza vista dal source è  $\Delta$  ???

$$I_D = I_D + id = K_u [V_{GS} - V_{TH}]^2 \Rightarrow id = \frac{V_{GS}}{2(V_{GS} - V_{TH})} \cdot \frac{1}{1 + g_m R_s}$$

Studio source follower o studio inseguitore di source

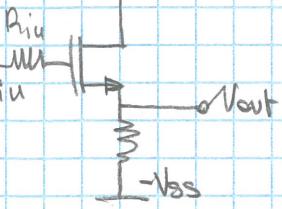
$$\text{Nout} = \frac{R_s}{R_s + \frac{1}{g_m N_{GS}}} \cdot N_{GS} = \frac{R_s}{R_s + \frac{1}{g_m N_{GS}}} \cdot \frac{R_1 || R_2}{R_{in} + R_1 || R_2} \cdot V_{in}$$

$$R_{eq} = \frac{1}{g_m}, N_{eq} = N_{GS}$$

$$V_g = \frac{R_1 || R_2}{R_{in} + R_1 || R_2} \cdot V_{in}$$

$$C_{AV} \triangleq \frac{N_{out}}{V_{in}} = \frac{R_1 || R_2}{R_{in} + R_1 || R_2} \cdot \frac{R_s}{\frac{1}{g_m} + R_s} \xrightarrow{\substack{\text{partiz. ingresso} \\ \text{poco < 1}}} \xrightarrow{\substack{\text{è non invertente, la partiz. ing > 1} \\ \text{la seconda parte attenua perché il guadagno} \\ \text{è poco minore di 1}}}$$

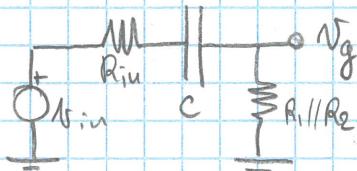
$V_{DD}$



$$R_{out} = \frac{1}{j\omega C} \parallel R_1 \text{ se modello bene gnu posso ordinare bene}$$

il livello di impedenza. Questo "buffer" mi permette di separare le ~~casate~~ <sup>impedenze</sup> ed ottenere un guadagno poco minore di 1 e "accoppiare" circuiti con impedenze ~~molto~~ diverse molto.

### Dimensionamento delle capacità di disaccoppiamento in ingresso



abbiamo  $R_1 \parallel R_2$  perché  $V_{DD}$  una fornisce contributi al segnale, quindi lo consideriamo a massa

$$\text{Vediamo nel dominio di Laplace: } Z_c = \frac{1}{j\omega C} \quad Z_{in} = R_{in} \quad Z_o = R_1 \parallel R_2$$

$$Z_{eq} = \frac{Z_{in}}{Z_{in} + Z_o} = \frac{N_g}{N_{in}} = \frac{R_1 \parallel R_2}{R_{in} + R_1 \parallel R_2 + \frac{1}{j\omega C}}$$

$$= \frac{j\omega C R_1 \parallel R_2}{1 + j\omega C [R_{in} + R_1 \parallel R_2]}$$

$$s = j\omega$$

$$\frac{N_g}{N_{in}} = \frac{j\omega C R_1 \parallel R_2}{1 + j\omega C [R_{in} + R_1 \parallel R_2]}$$

calcoliamo il modulo di  $Z_{eq}$

$$\left| \frac{N_g}{N_{in}} (j\omega) \right| = \frac{j\omega C R_1 \parallel R_2}{\sqrt{1 + \omega^2 C^2 [R_{in} + R_1 \parallel R_2]^2}}$$

$$\rightarrow w \ll \frac{1}{C[R_1 \parallel R_2 + R_{in}]} \rightarrow j\omega C R_1 \parallel R_2$$

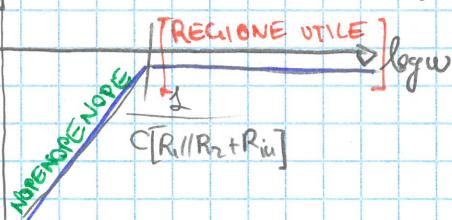
$$\rightarrow w = \frac{1}{C[R_1 \parallel R_2 + R_{in}]} \rightarrow \frac{1}{\sqrt{2}} \sqrt{\frac{R_1 \parallel R_2}{[R_1 \parallel R_2 + R_{in}]}} = \frac{R_1 \parallel R_2}{\sqrt{2}[R_{in} + R_1 \parallel R_2]}$$

$$\rightarrow w \gg \frac{1}{C[R_1 \parallel R_2 + R_{in}]} \rightarrow \frac{j\omega C R_1 \parallel R_2}{\sqrt{2}C[R_1 \parallel R_2 + R_{in}]} \text{ no impedenza comune trascurabile rispetto alle impedenze delle resistenze}$$

Il mio obiettivo è ottenere il caso

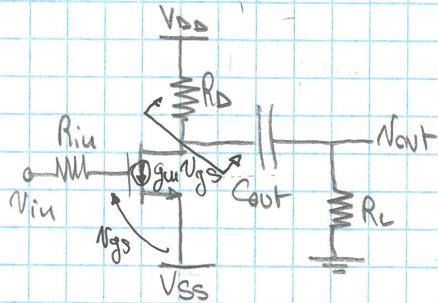
$$\rightarrow \frac{1}{C[R_1 \parallel R_2 + R_{in}]} \text{ così che io abbia}$$

un guadagno costante per ogni ~~impedenza~~ pulsazione



Dimensiono la capacità  $C$  in modo tale che l'inverso della sua costante di tempo sia minore della minima pulsazione che si vuole amplificare

## Due capacità di decoppiaaggio in uscita



$C_{out}$  fa la stessa cosa della capacità di bypass in ingresso  
devo fare sempre in modo da non avere cambiamenti di guadagno per tutta la banda di amplificazione.

$$\frac{N_{out}}{N_{in}} = -g_m \cdot \left[ R_D \left/ \left( R_L + \frac{1}{S_{Cout}} \right) \right. \right] \cdot \frac{R_L}{R_L + \frac{1}{S_{Cout}}} =$$

$$= -g_m \frac{R_D \left( R_L + \frac{1}{S_{Cout}} \right)}{R_D + R_L + \frac{1}{S_{Cout}}} = -g_m \frac{R_D R_L}{R_D + R_L + \frac{1}{S_{Cout}}} = -g_m \frac{S_{Cout} \cdot R_D R_L}{(R_D + R_L) S_{Cout} + 1}$$

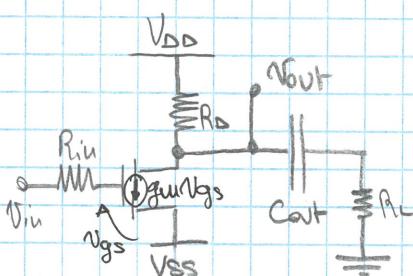
Abbiamo ancora una volta un fdt del tipo passa alto  $\rho_{out} = C_{out} (R_D + R_L)$

$$\left| \frac{N_{out}}{N_{in}} \right| = g_m \frac{w C_{out} \cdot R_D R_L}{\sqrt{1 + w^2 C_{out}^2 (R_D + R_L)^2}}$$

$w \ll \frac{1}{\rho_{out}} \rightarrow g_m R_D w C_{out} R_L$

$w \gg \frac{1}{\rho_{out}} \rightarrow \frac{-g_m w C_{out} R_D R_L}{w C_{out} (R_D + R_L)} = g_m (R_D // R_L)$

Vediamo cosa succede prelevando la tensione  $N_{out}$  dal dominio



$$\frac{N_{out}}{N_{in}} = -g_m \left[ R_D \left/ \left( R_L + \frac{1}{S_{Cout}} \right) \right. \right] = -g_m \frac{R_D (1 + S_{Cout} + R_L)}{1 + S_{Cout} (R_L + R_D)}$$

LF =  $C_{out}$  è assimilabile a C.A

$$\left| \frac{N_{out}}{N_{in}} \right|_{LF} = -g_m R_D$$

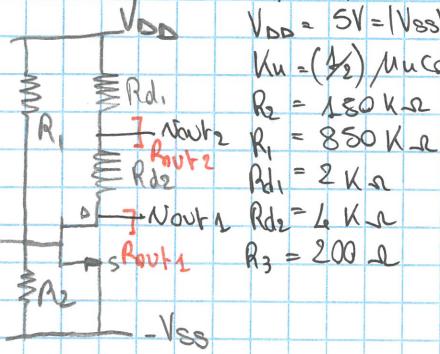
MF =  $C_{out}$  è già intervenuta  $\rightarrow$  assimilabile a C.C.

$$\left| \frac{N_{out}}{N_{in}} \right|_{MF} = -g_m (R_D // R_L)$$

log w

Per le HF l'impedenza della capacità arriverà ad essere trascurabile rispetto alle altre impedenze in gioco

## Esercizio



### 1. Polarizzazione

1. Capacitor C.A.
2. Sposto i gen di segnale
3. H<sub>p</sub>: nMOS lavora in saturazione

1) Polarizzazione

$$V_{in} = V_{DD} - V_{SS} = 5V - 0.5V = 4.5V$$

$$V_{GS1} = V_{DD} - (R_1 + R_{d1}) I_D = 5V - (180k\Omega + 2k\Omega) \frac{2mA}{2k\Omega} = 3.5V$$

$$V_{GS2} = V_{GS1} - R_2 I_D = 3.5V - 850k\Omega \cdot 2mA = 1.5V$$

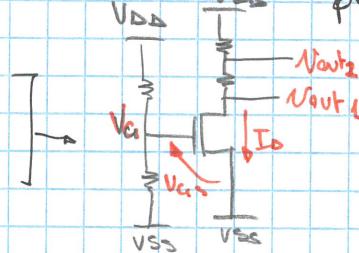
$$2) \frac{|V_{out1}|}{|V_S|} = \frac{K_u R_2}{|V_S|}$$

3) Dimensione C<sub>in</sub> per  $f \in [1K, 50K] Hz$

4) Resistenze R<sub>out1</sub> e R<sub>out2</sub>

$$5) E' lineare: N_S = 100mV \sin(2\pi f t)$$

$$V_{DD} \text{ per } f = 30KHz$$



$$V_{GS1} = \frac{R_2}{R_1 + R_2} [V_{DD} - (-V_{SS})] - V_{SS} = \frac{R_2}{R_1 + R_2} [5V - (-0.5V)] - 0.5V = 1.5V$$

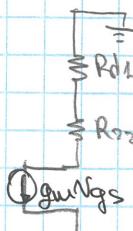
$$V_{GS2} = \frac{R_2}{R_1 + R_2} [V_{DD} - (-V_{SS})] \approx \text{cdt ai capi di } R_2 = 1.5V > V_T \text{ nMOS acceso}$$

$$I_D = K_u (V_{GS} - V_{TH})^2 = 2mA \text{ sempre ammesso che il nMOS sia SATURATO}$$

$$V_D = V_{DD} - (R_{d1} + R_{d2}) I_D = 5V - 1mA \cdot (6k\Omega) = -1V$$

$$V_{GD} = -3.5V - (-1V) = -2.5V < V_T \text{ OK il nMOS è effettivamente saturo}$$

$$V_{out2} = V_{DD} - I_D R_{d2} = 5V - 1mA \cdot 2k\Omega = 3V$$



Calcola anche la transconduttanza  $g_m = 2K_u (V_{GS} - V_{TH}) = 2mS$

$$2. \quad \frac{V_g}{V_s} = \frac{R_1 || R_2}{R_s + R_1 || R_2} N_S \quad N_{out1} = -g_m N_S (R_{d1} + R_{d2})$$

$$\frac{N_{out2}}{N_S} = -g_m (R_{d1} + R_{d2}) \cdot \frac{R_1 || R_2}{R_s + R_1 || R_2} = -11.98$$

$$N_{out2} = -g_m N_S R_{d2} = -g_m R_{d2} \frac{R_1 || R_2}{R_s + R_1 || R_2} N_S \approx 0.998$$

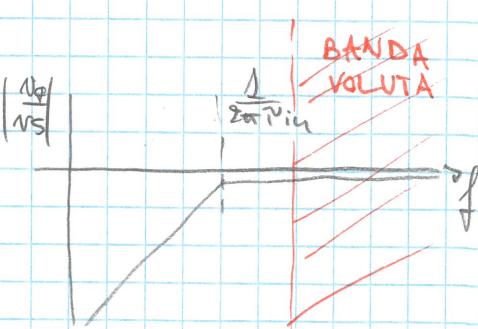
$$\frac{V_{out2}}{N_S} = -g_m R_{d1} \cdot \frac{R_1 || R_2}{R_s + R_1 || R_2} = -3.99$$

3) Avendo una zero, circuitalmente, significa che ho un certo punto in cui per qualsiasi ingresso, ho uscita nulla (impedenza infinita)

$$P_{in} = C_{in} R_{eq} =$$

$$R_{eq} = (R_s + R_1 || R_2) = 127.7k\Omega$$

$$N_S(s) = \frac{R_1 || R_2}{R_s + \frac{1}{sC_{in}} + R_1 || R_2} \quad N_S(j\omega) = \frac{sC_{in} R_1 || R_2}{1 + sC_{in} (R_s + R_1 || R_2)} N_S(s)$$



## ~~Dimensionamento conduttore~~

Per essere comodo, sposto di un decade prima la  $f_{TAU}$  (da 1kHz a 100Hz) così da non avere il taglio di 3dB (effetto dello zero esaurito)

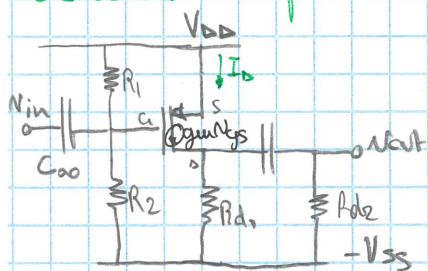
Di conseguenza  $\frac{1}{2\pi R_{eq} C_{in}} = 100\text{Hz}$   $C_{in} \approx 12,5\text{nF}$

4)  $g_{m1} = 2\mu S$   $R_{out1} = R_{d1} + R_{d2} = 6K\Omega$

$$R_{out2} = \frac{R_{d1}}{\left[ \frac{R_{d2} + \infty}{\infty} \right]} = R_{d1} = 2K\Omega$$

5)  $\xi = \frac{V_{gs}}{2(V_{as}-V_T)} = \frac{R_1/R_2}{R_{st}+R_1/R_2} \cdot \cancel{V_s} \cdot \frac{2}{2(V_{as}-V_T)} \approx \frac{100\text{mV}}{2(1,5V-0,5V)} = 5\%$

Esercizio con pMOS



$$V_{TP} = -1V \quad |K_p| = 0,5 \frac{\mu A}{V^2} \quad R_1 = 100K\Omega \quad R_2 = 200K\Omega$$

$$R_{d1} = 7K\Omega = R_{d2} \quad V_{DD} = V_{SS} = 3V$$

$$1) P_0 \quad 2) \frac{V_{out}}{V_{in}} \quad 3) \cancel{\text{Dinamica del}} \quad \cancel{\text{volo drain a LF (c open)}}$$

$$4) \text{ Dimensiona circuito per } f \in [100\text{Hz}, 100\text{kHz}]$$

1)  $P_0$ :

$$V_{as} = V_{SD} = -\frac{R_1}{R_1+R_2} [V_{DD} - (V_{SS})] = -\frac{1}{3} [3V + 3V] = -2V \rightsquigarrow \text{pMOS acceso}$$

$$I_D = |K_p| (V_{GS} - |V_{TP}|)^2 = 0,5 \frac{\mu A}{V^2} [-2V - (-1V)] = 0,5 \mu A$$

$$V_{GD} = -V_{SS} + V_{D1} = -V_{SS} + I_D \cdot R_{d1} = -3V + \cancel{3,5V} = 0,5V$$

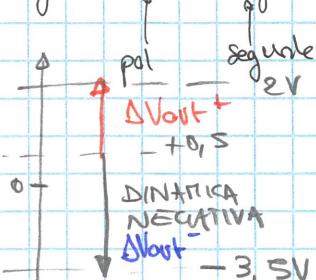
$$V_u = +1V \quad V_{GD} = V_g - V_D = 1V - 0,5V = 0,5V \rightsquigarrow \text{pMOS saturo}$$

$$g_{m1} = 2K_p (V_{as} - V_{TP}) = 2(-0,5 \frac{\mu A}{V^2}) \cdot (-2V + 1V) = 1 \mu S \quad -1 \mu S \cdot 3,5K\Omega$$

$$V_{out} = -g_{m1} V_{in} (R_{d1}/R_{d2}) \Rightarrow G \triangleq \frac{V_{out}}{V_{in}} = -g_{m1} R_{d1}/R_{d2} = -3,5$$

3)

$$V_{GD} = V_{CD} + V_{g1} > V_{TP} \quad V_{D1IN} = -V_{SS} \quad \Delta V_{out} = V_{D1IN} - V_{D1sat} = -3V - 0,5V = -3,5V$$



$$V_{as} > V_{TP} \quad V_p < V_a - V_{TP} \Rightarrow V_{D1MAX} = V_a - V_{TP} = 1V + 1V = 2V$$

$$\Delta V_{out}^+ = 1,5V$$

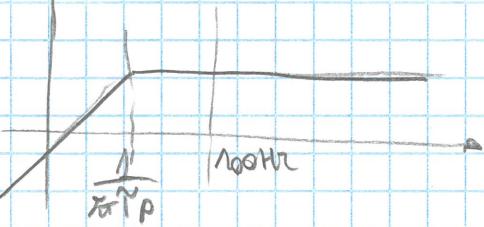
Ai bordi della dinamica non avrò più valori lineari. Procedo con appross per piccolo segnale alla dinamica

$$V_{as} + N_{g1} > V_{TP} \quad V_{as} + V_g - V_d > V_{TP} \quad V_{as} - \frac{N_d}{g_{m1} R_{d1}} - N_d > V_{TP} \Rightarrow$$

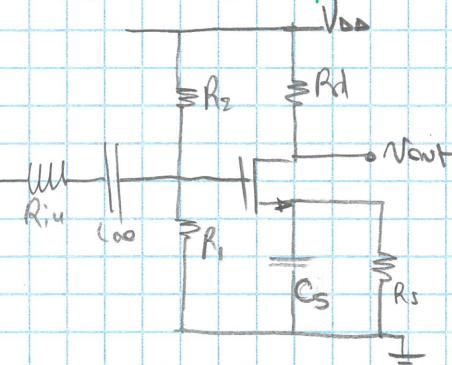
$$-N_d \left[ 2 + \frac{1}{g_{m1} R_{d1}} \right] > V_{TP} - V_{as} \quad N_d < \frac{V_{as} - V_{TP}}{\frac{1}{g_{m1} R_{d1}}} \Rightarrow N_d = 1,3V$$

Vedo che è leggermente minore di 1,5V

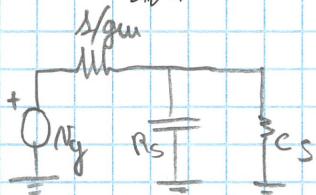
$$4) C_{out} \approx C_{out} (R_{d1} + R_{d2}) \quad \frac{1}{2\pi f_p} \leq 10 \text{ Hz} \rightarrow C_{out} = 1,15 \mu\text{F}$$



Dimensionamento capacità di bypass



$$N_g = \frac{R_2 // R_1}{R_2 // R_1 + R_{in}} \text{ min}$$



$$\begin{aligned} i_d &= \frac{N_g}{\frac{1}{gm} + \frac{R_s}{1+sC_sR_s}} = \\ &= \frac{(1+sC_sR_s) gm N_g}{1+sC_sR_s + gm R_s} \end{aligned}$$

$$N_{out} = -i_d R_D = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{gm R_D}{1+gm R_s} \cdot \frac{1+sC_sR_s}{1+sC_sR_s + gm R_s} \text{ min}$$

$$T(s) = \frac{N_{out}}{N_{in}} = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{gm R_D}{1+gm R_s} \cdot \frac{1+sC_sR_s}{1+sC_sR_s + gm R_s} \rightarrow R_s // \frac{1}{gm}$$

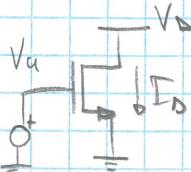
$$T(0) = \frac{\infty}{\infty} \xrightarrow{\text{O(s)}} \frac{0}{0} \xrightarrow{\text{O(s)}} T(\infty) = \frac{\frac{1+sC_sR_s}{1+gmR_s}}{\frac{1+sC_sR_s // \frac{1}{gm}}{1+gmR_s}} = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{gm R_D}{1+gm R_s} \cdot \frac{R_s}{R_s // \frac{1}{gm}}$$

$$Z_p = C_S \left( R_s // \frac{1}{gm} \right) \quad P_2 = C_S R_s \quad S_2 = -\frac{1}{P_2}$$

$$Z_{eq}(s) = \frac{R_s}{1+sC_sR_s} \rightarrow \infty \iff s = -\frac{1}{C_s R_s}$$

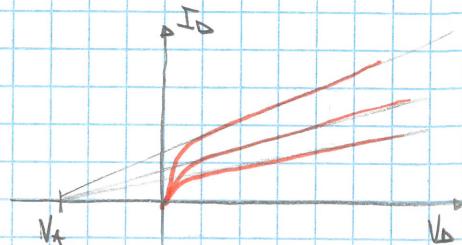
posso calcolare la f di taglio  
senza calcolare la fdt in maniera  
diretta

## Effetto della modulazione della lunghezza di canale



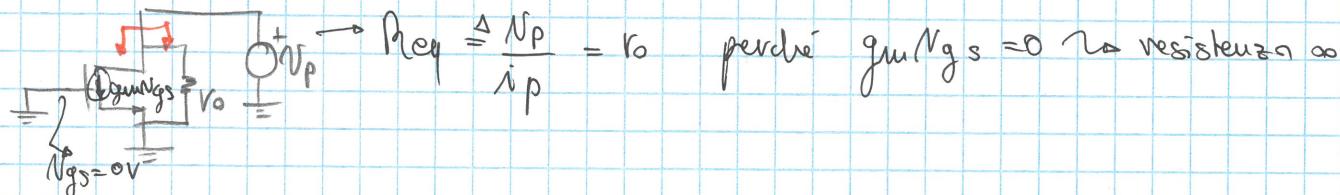
Suppongo  $I_D = K_u (V_{ds} - V_{Th})^2$  un po' in realtà ha

$$I_D = K_u (V_{ds} - V_{Th})^2 \cdot (1 + 2V_{ds})$$



$$\frac{\partial I_{DSAT}}{\partial V_{ds}} = K_u (V_{ds} - V_{Th})^2 / 2 \Rightarrow \frac{I_D}{IV_A} \rightsquigarrow \text{perché } \lambda = \frac{1}{IV_A}$$

$$\frac{\partial I_{DSAT}}{\partial V_{ds}} = \frac{1}{r_o}$$



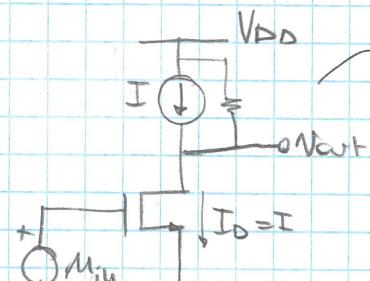
$$V_{ds} \rightarrow N_{out} = -g_m R_o / r_o \quad \text{min} \Rightarrow G = -g_m (R_d / r_o)$$

Il guadagno dipende fortemente dalle moltiplicazioni di  $R_o$ .

Sost  $R_o$  con una gen. corrente per non avere

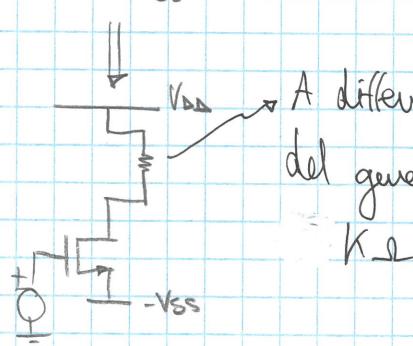
dipendenze sul guadagno:

generatore di corrente reale al posto del canale



Data  $I$  fissa, ma ha variazioni di corrente, risolvere

il problema di  $R_d$  ma rimane comunque la resistenza del gen. corrente reale (seppur di valore generalmente elevato).

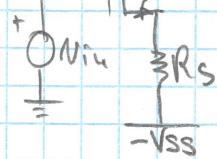


A differenza di  $R_d$ , questa resistenza è parve del generatore reale di corrente, che è nell'ordine di molti  $K\Omega$

## Stadio amplificatore con carico attivo

$$V_{DD} \quad |Kp| (V_{GS} - V_{Tp})^2 = |Kp| [(V_u - V_{DD}) - V_{Tp}]^2$$

Il generatore di corrente "reale" è un ~~unico~~ transistor



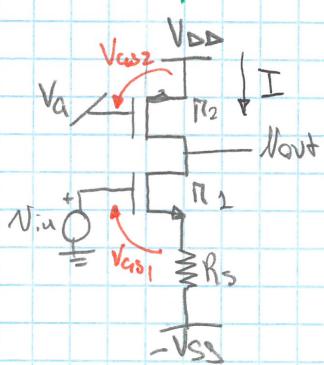
Resistenza eq nel ws con modulaz. carica (e degeneraz. source)

$$\begin{aligned} R_{eq} &\triangleq \frac{V_p}{I_p} & i_p = g_m N_s + i_{r_0} = -g_m R_s i_p + \frac{N_p}{r_0} - I_p \frac{R_s}{r_0} = * \\ &\text{circuit diagram showing current flow: } i_p \rightarrow M1 \rightarrow M2 \rightarrow R_s \rightarrow -V_{SS} \\ &i_{r_0} = \frac{N_p r_0}{r_0} = \frac{N_p - I_p R_s}{r_0} \\ &* = \frac{V_p}{r_0} - I_p \left[ g_m R_s + \frac{R_s}{r_0} \right] = I_p \left[ 1 + g_m R_s + \frac{R_s}{r_0} \right] = \frac{N_p}{r_0} \end{aligned}$$

$$R_{eq} \triangleq \frac{V_p}{I_p} = \frac{i_p}{I_p} r_0 \left[ 1 + g_m R_s + \frac{R_s}{r_0} \right] = r_0 + R_s + g_m R_s r_0 = (r_0 + R_s) \left[ 1 + g_m R_s / r_0 \right]$$

Per avere  $R_{eq}$  molto alta è necessario buon soluzione degenerare il source per avere un buon gen. corrente dalla resistenza più alta

## Stadio ampli con carico attivo (continua)



$$\begin{aligned} I &= |Kp| (V_{GS1} - V_{Tp})^2 \\ &= K_u (V_{GS1} - V_{Tn})^2 \end{aligned} \quad \Rightarrow \quad V_{GS1} = \sqrt{\frac{I}{K_u}} + V_{Tn} \quad \begin{cases} \text{tengo la soluzione} \\ \text{con il + della eq} \\ \text{di 2° grado perché} \\ \text{V_{GS} deve essere maggiore} \\ \text{della soglia} \end{cases}$$

Come garantisco  $M_1, M_2$  SAT?

$$\begin{aligned} \text{Per } M_1 &\rightarrow V_{GS1} < V_{in} & \xrightarrow[V_{Tn}]{SAT} V_{GS1} \\ M_2 &\rightarrow V_{GS2} > V_{Tp} & \xrightarrow[V_{Tp}]{SAT} V_{GS2} \\ && \xrightarrow[SAT]{V_{out}} V_{o1} \\ && \xrightarrow[SAT]{V_{out}} V_{o2} \end{aligned} \quad \Rightarrow \text{sempre che } M_1, M_2 \text{ siano ON}$$

$$V_{D1} = V_{G1} - V_{D1} < V_{Tn} \text{ in cui } V_{D1} = V_{out} \quad V_{G1} - V_{out} < V_{Tn} \quad \left\{ V_{out} \geq V_{G1} - V_{Tn} \right.$$

$$V_{D2} = V_{G2} - V_{D2} > V_{Tp} \text{ in cui } V_{D2} = V_{out} \quad V_{G2} - V_{out} > V_{Tp} \quad \left\{ V_{out} < V_{G2} - V_{Tp} \right.$$

Le condizioni per la SAT  $V_{G1} - V_{Tn} < V_{out} < V_{G2} - V_{Tp}$  nel nostro caso:

$$-V_{Tn} < V_{out} < V_a - V_{Tp} \rightsquigarrow \text{in polarizzazione } V_{GS} = 0V$$

