

# MIXED SIGNALS CIRCUIT DESIGN

12.09.2022

3h

L'orela è la parte più importante dell'esame.

Analysis and Design of Analog Integrated Circuits (5a edizione)

Fare il Digitale in BJT è difficile perché non riusciamo bene a fare un gate static power come facciamo con i MOS.

Avere il Digitale sullo stesso die dell'analogico ci dà molti disturbi perché dobbiamo usare una monte fully-differential structure.

Se ho un feedback per togliere l'errore di offset anche questi feedback però zero un offset. La soluzione è di nel feedback nei 2ndario più però e quindi possiamo fare transistor più grandi e quindi per pelgrin abbiamo meno offset.

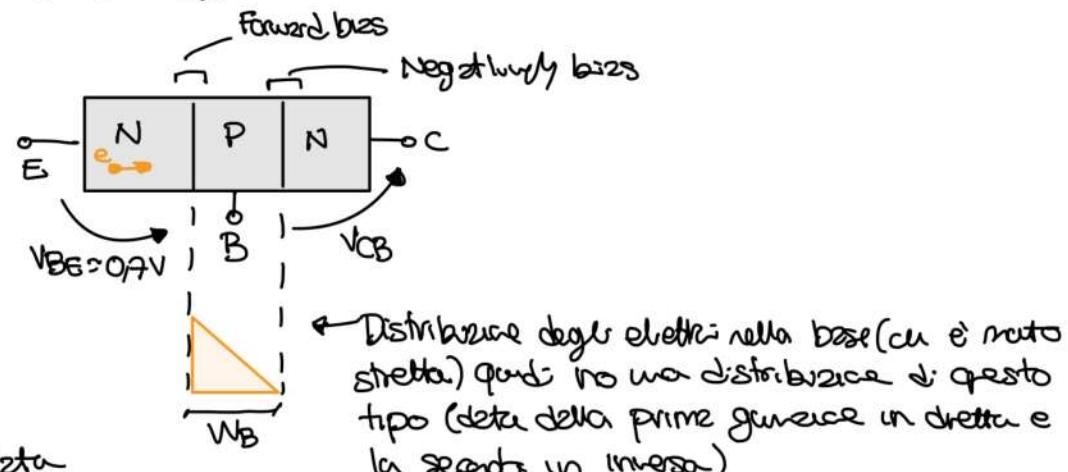
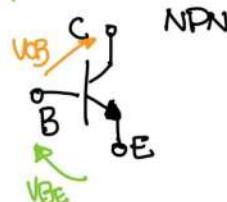
Quelli sono gli svantaggi di usare una tecnologia scelta?

- Con i MOS abbiamo meno guadagno che i BJT.
- Rumore  $1/f$ .
- I MOS hanno meno current capability dei BJT (Per avere la stessa corrente l'area dei MOS è molto più grande)

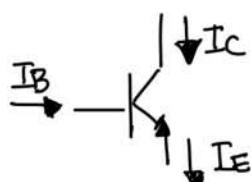
Tipicamente quando scelgono una tecnologia le performance del circuito analogico migliora. Questo tipicamente è dovuto al fatto che usano il circuito digitale per correggere errori del circuito analogico.

Ci può usare il thermometer code al posto del binario perché la linearità DNL è molto migliore di in quello binario. (Tuttavia abbiamo un bottino di commessi in più sul termometro che sul binario).

BJT



La corrente di base è data da delle linee di verso verso l'emettitore



Ora noi dobbiamo calcolare la current density

$$J_n = \frac{q D_n n(0)}{W_B}$$

dove  $\frac{n(0)}{W_B}$  è il gradiente degli elettroni

Se volessimo la corrente dovremo moltiplicare per l'area.  
Esprimiamo ora il valore di  $n(0)$

$$J = q \frac{D_n}{W_B} \cdot \frac{n^2}{N_B} e^{\frac{V_{BE}}{V_{TH}}}$$

con  $V_{TH} \approx 25mV$

$n_i$  = concentrazione intrinseca

Se noi moltiplichiamo per l'area abbiamo che

$$I_C = J \times A = I_S e^{\frac{V_{BE}}{V_{TH}}}$$

Noi diciamo che  $V_{BS}$  è circa costante a 0,7V perché per piccole variazioni di  $V_{BE}$  ho che la corrente varia moltissimo.

I parametri del BJT in DC abbiamo che sono

$$I_E = I_C + I_B$$

$$\alpha = \frac{I_C}{I_E} \approx 0,989\dots$$

$$\frac{I_C}{\alpha} = I_C + I_B$$

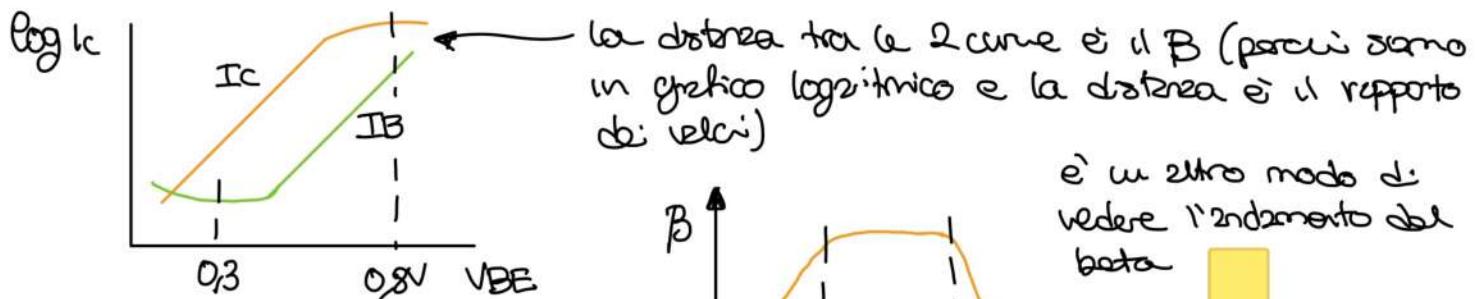
$$I_C = I_B \frac{\alpha}{1-\alpha} = \beta I_B$$

$$\text{dove } \beta = \frac{\alpha}{1-\alpha}$$

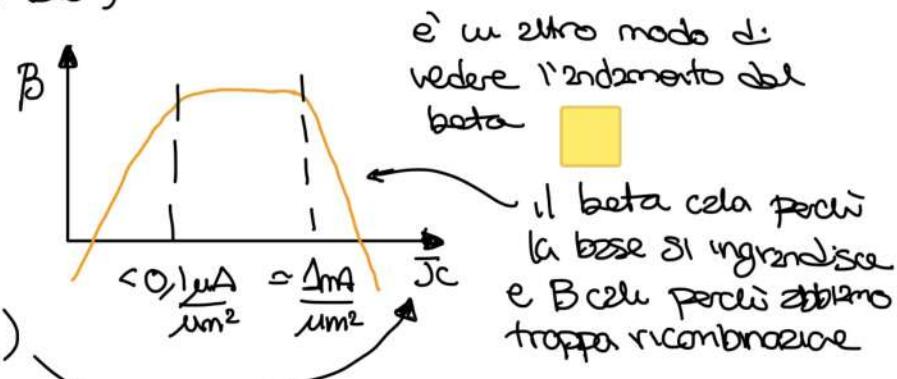
è un numero molto alto perché  $\alpha \approx 1$

Perciò  $I_E = (\beta + 1)I_C$  ← Molto spesso trascuriamo  $\beta + 1$ .

Una cosa importante da ricordare è che  $\beta$  non è costante a tutti i valori di corrente, tipicamente ha un andamento: (IMPORTANTE)

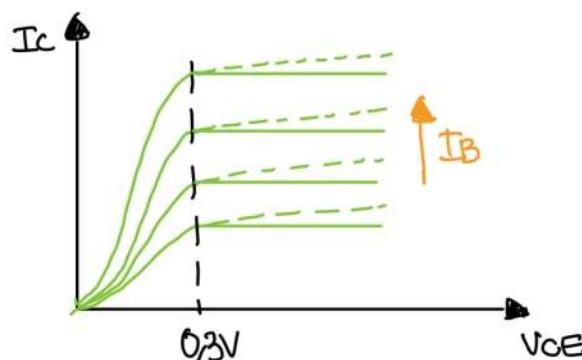


Capiamo che non possiamo ridurre solo la corrente del BJT perché  $\beta$  ci cessa. Dobbiamo cambiare anche l'area (Attenzione! Qui c'è Current Density!!)  
Noi come desideriamo vogliamo avere al minimo di dare  $\beta$  è alto (vogliamo questo per ridurre l'impedenza d'ingresso del BJT)

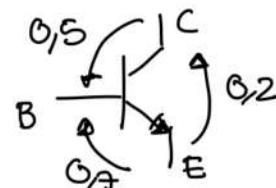


il beta cesa perché la base si ingrandisce e  $\beta$  cesa perché abbiamo troppo ricombinazione

La caratteristica del BJT è:



Il BJT in zona attiva è un generatore di corrente anche con  $V_{CB}$  negative e  $V_{CE} \approx 0,2/0,5V$  esempio:



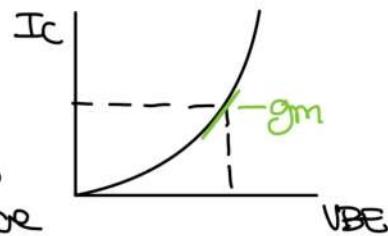
In zona attiva ho corrente in primo ordine costante, tuttavia ho l'effetto early.

Abbiamo quindi un resistore  $r_o$  tra collettore e emettitore che ha valore  $r_o = V_A/I_C$ . Nei BJT  $r_o$  risulta molto più grande di quelli dei MOS.

### Piccolo segnale del BJT

Analizziamo la variazione della  $I_C$  data da piccola variazione di  $V_{BE}$ .

$$\frac{\partial I_C}{\partial V_{BE}} = \frac{I_C}{V_{th}} = g_m$$



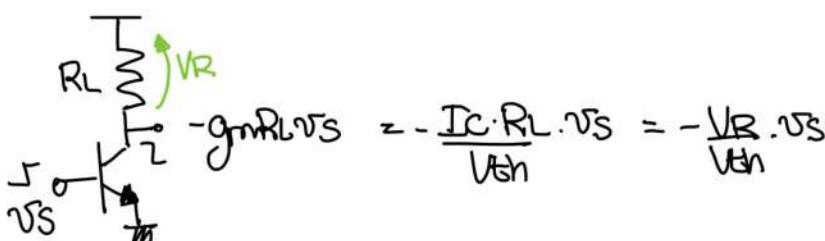
Nei BJT linearizziamo, perché  $g_m$  è valido solo per  $\Delta V_{BE} \leq V_{th}$  (ma in realtà dipende dall'errore che vogliamo avere)

A room temperature per  $I_C = 1\text{mA}$   $g_m \approx 60\text{mS}$  quindi  $\frac{1}{g_m} = 25\Omega$

13.09.2022

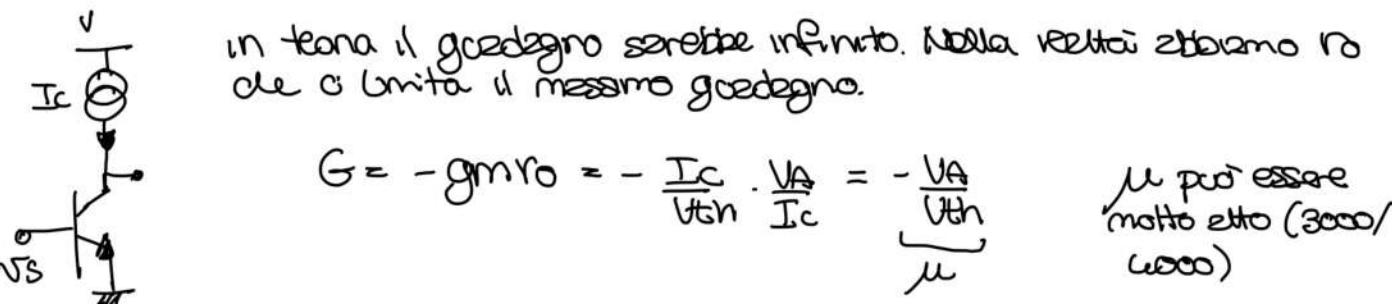
2n

Se usiamo i BJT in zona attiva noi possiamo usarli come amplificatori.

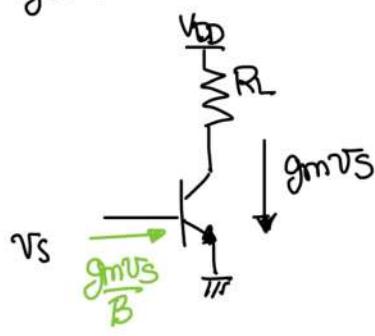


Ovviamente abbiamo un limite sul gain perché  $V_R$  non può essere troppo alto perché dobbiamo fare il bias del bjt.

Un modo per alzare il gain sopra questo limite è usare un circuito ettwo.



Una differenza fondamentale tra bjt e mos è l'impedenza vista dal gate.



Se nei semiconduttori la corrente di collettore somma anche la corrente di base dunque un valore tipico di

$$\Delta I_B = \frac{g_m V_S}{B}$$

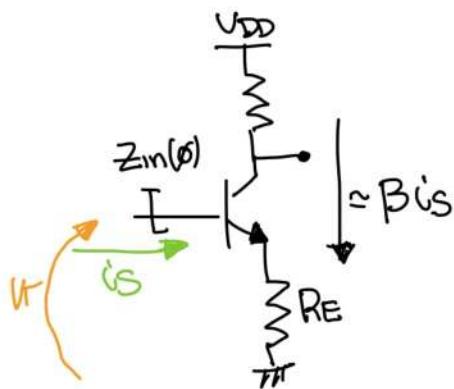
è un valore di impedenza resistivo

$$\frac{V_S}{\Delta I_B} = \frac{B}{g_m} = V_T$$

Uno dei motivi per cui gli opamp a BJT sono basati a bassa corrente e per avere  $r_o$  grande.

Se ho una situazione del genere cosa accade

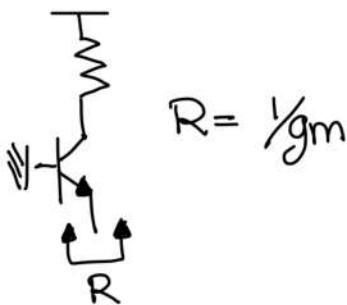
Misuriamo l'impedenza del gate.



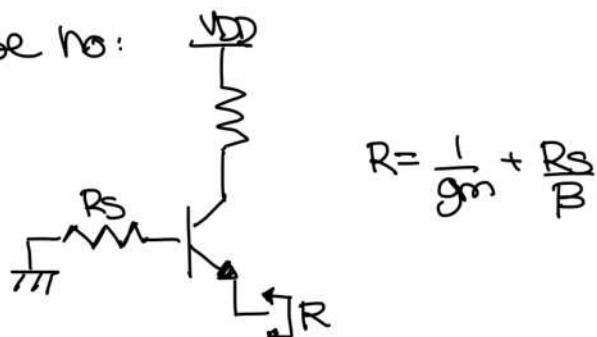
Quindi:

$$Z_{in}(0) = r_{IT} + \frac{R_E}{B}$$

Vediamo adesso l'impedenza dell'emettitore

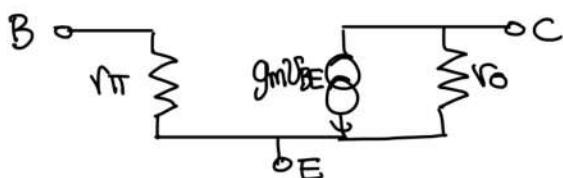


Ma se ho:



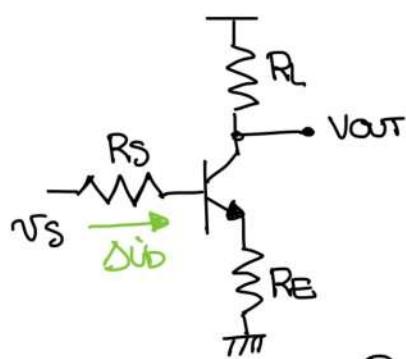
$$R = \frac{1}{gm} + \frac{R_S}{B}$$

Però il modello di piccolo segnale è:



Ma tanto non lo useremo

Quindi in un circuito come questo ho che



Prima calcolo la corrente di base

$$\Delta I_B = \frac{V_S}{R_S + B R_E + r_{IT}}$$

$$\text{Quindi } \Delta I_C = B \Delta I_B = \frac{B V_S}{R_S + B R_E + r_{IT}}$$

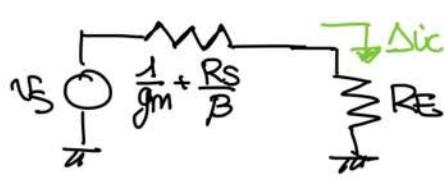
$$\text{Però } V_{OUT} = -\frac{B \cdot R_L}{R_S + r_{IT} + B R_E} \approx -\frac{R_L}{R_E}$$

Si può risolvere il problema andando in modo contrario (uso therefore sull'emettitore)



$$Z = \frac{1}{gm} + \frac{R_S}{B}$$

La tensione sull'emettitore è VS, quindi posso fare



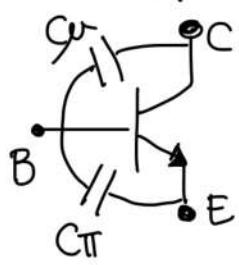
$$\Delta I_C = \frac{V_S}{\frac{1}{gm} + R_S + R_E}$$

Quindi  $\frac{V_{out}}{V_{in}} = - \frac{R_L}{\frac{1}{gm} + \frac{R_S}{B} + R_E} \approx - \frac{R_L}{R_E}$  vale per  $\begin{cases} R_S \gg 1/gm \\ gmR_E \gg 1 \end{cases}$

Dove  $gmR_E$  è il loop gain locale della struttura (emitter degeneration è un circuito a feedback locale)

Possiamo capire dal bias che  $gmR_E \gg 1$  perché  $gmR_E = \frac{I_C R_E}{U_{TH}}$  dove  $I_C \cdot R_E$  è la caduta di tensione su  $R_E$ .

Non abbiamo parlato di capacità. In un BJT ci sono almeno 2 contributi alle capacità:



Dove  $C_\mu$  oggi tanto ci dà cos'è perché c'è l'effetto Miller.

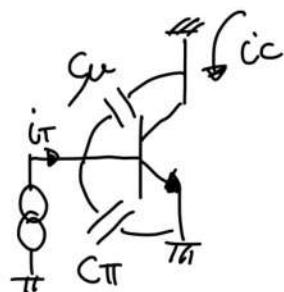
$C_\pi$  deriva dalla presenza delle corde in base. Questo perché la corrente d'output è

$$I_C = Q D_n \frac{n(0)}{W_B} \cdot A \quad \text{e} \quad Q = \frac{1}{2} W_B \cdot A \cdot n(0) \cdot q$$

Quindi queste 2 grandezze sono proporzionali:

$$\frac{Q}{I_C} = \tau_D = \frac{W_B^2}{2D_n} \quad \text{dove } \tau_D \text{ è chiamato tempo d'attivazione.}$$

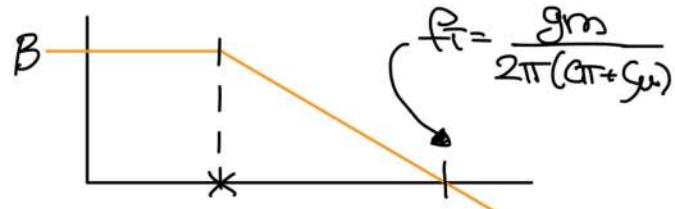
Se abbiamo delle capacità abbiamo per forza dei limiti in banda.  
Noi usiamo  $f_T$  cioè la frequenza d'taglio



Per forza abbiamo che

$$C_c = C_\pi \cdot \frac{\frac{1}{s(C_\pi + C_\mu)}}{\frac{1}{r_\pi} + \frac{1}{s(C_\pi + C_\mu)}} \cdot gm$$

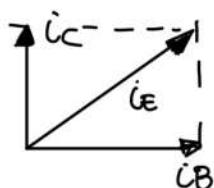
Quindi  $\frac{C_c}{C_\pi} = \frac{B}{1 + s r_\pi (C_\pi + C_\mu)}$



Allora

$$C_B = 1mA$$

$|i_E| = \sqrt{2} \cdot i_B$  questo perché la corrente d'base e d'odiatore sono in quadratura



Esprimiamo ora il valore di  $C_{TR}$ .

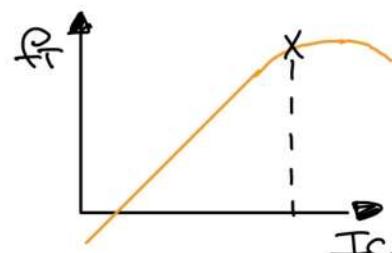
$$C_{TR} = \frac{dQ_B}{dV_{BE}} \quad \text{noi sappiamo che } g_m = \frac{dI_C}{dV_{BE}} \quad (\text{potremo sfruttarla per calcolare } C_{TR})$$

$$\frac{C_{TR}}{g_m} = \frac{dQ}{dI_C} = \frac{Q}{I_C} = C_{DRAFT}$$

In questo caso

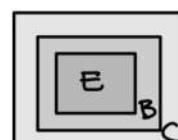
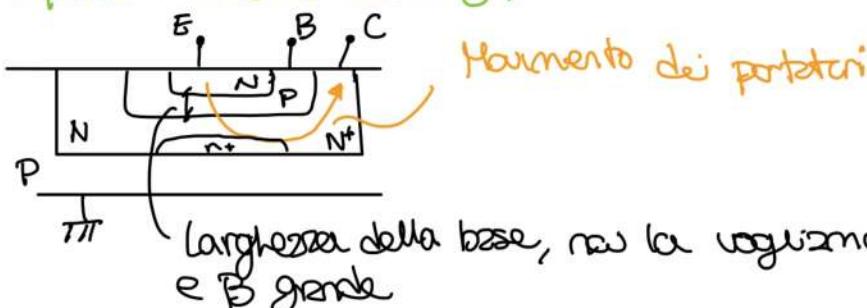
Potremo quindi esprimere  $f_T$  come  $f_T = \frac{1}{2\pi} \frac{1}{C_{DRAFT} + C_L} \approx \frac{1}{2\pi} \frac{g_m}{C_{TR}}$

Abbiamo quindi che  $f_T$  dipende dal bias più corrente abbiammo più  $f_T$  sele



Dobbiamo ricordare che nella realtà  $f_T$  è solo un benchmark della tecnologia

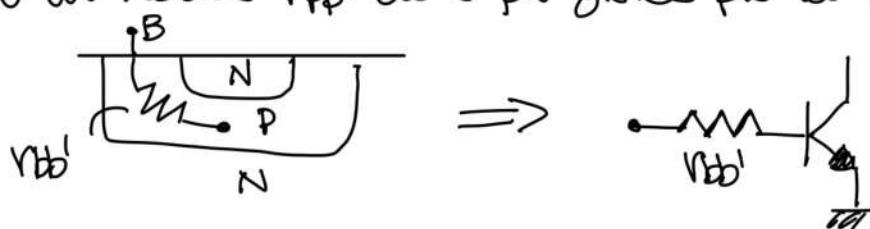
### Bipolar standard technology



(vista dall'alto)

Larghezza della base, non la vogliamo sottile perché vogliamo  $f_T$  alto e  $B$  grande

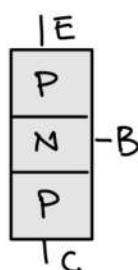
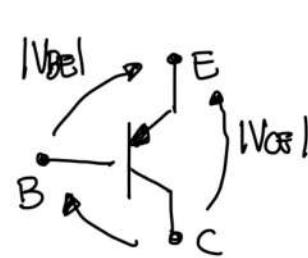
Una cosa che non abbiamo considerato è che dalla base al centro della zona P ho un resistore  $R_{BB'}$  che è più grande più la base è stretta



$R_{BB'}$  non è grande ed è  $\ll R_{T^2}$   
Quindi per il segnale non ho problemi. Tuttavia questo è un resistore reale e FA RUORE !!!

### PNP Transistor

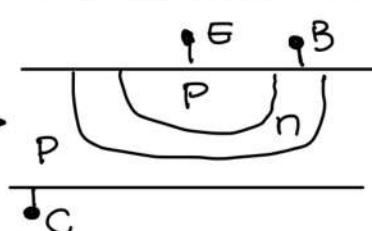
Dovrebbe essere il transistor complementare ma non lo è:



I BJT PNP hanno performance molto peggiori rispetto ai NPN (nella standard technology + ce edesso)

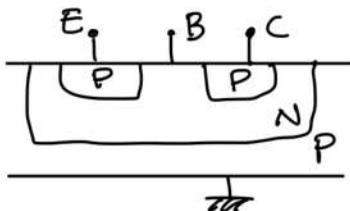
Nella standard technology i PNP erano fatti così:

il collettore deve essere connesso a terra e non ci può. In più abbiamo anche buchi molto bassi.



In pratica c'è solo per zone → un link esponenziale tra  $I_C$  e  $V_{BE}$  (dato il B piccolo non possiamo fare amplificatori)

Un'altra tecnica è fare il PNP orizzontale (lateral transistor)



In questo caso il collettore può non essere collegato a terra.

Il fatto negativo è che la larghezza della base è più difficile da controllare quindi  $h_{FE} >$  di quello degli NPN quindi non meno forte e  $B_{FET}$  più piccolo.

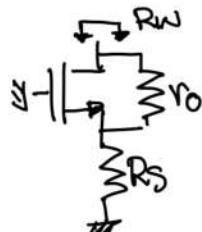
Quindi noi vogliamo evitare che il segnale passi per BJT PNP ma andiamo a usarli solo per il bias.

14.09.2022

3h

Esempio di Current Degeneration

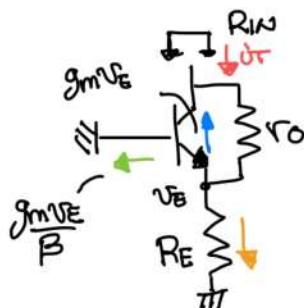
- Nel MOS



$$R_{IN} = R_S + R_g + g_m R_D$$

Se aumento  $R_S$  l'impedenza sale verso  $\infty$ .

- NCL BJT (situazione diversa)



$$\left\{ \begin{array}{l} I_T = \frac{V_E}{R_E} + \frac{g_m V_E}{B} \\ I_T = \frac{V_T - V_E}{R_O} - g_m V_E \end{array} \right.$$

$$\text{OTTENIAMO CHE } R_{IN} = R_O \left[ 1 + \frac{B R_E}{R_O} \frac{(1 + g_m R_O)}{B g_m R_E} \right]$$

Noi consideriamo  $g_m R_O \gg 1$ , allora ottieniamo che

$$R_{IN} \approx 1 + \frac{g_m R_O}{1 + \frac{R_E}{R_O}}$$

$$V_{TE} = \frac{B}{g_m}$$

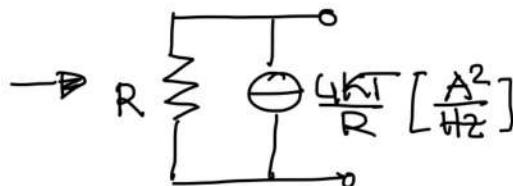
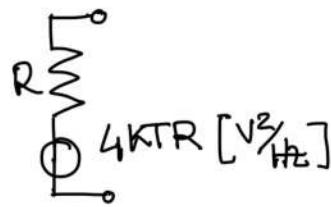
La cosa da sapere è quale è il limite! Se noi facciamo  $R_E \gg B/g_m$  allora

$$R_W \approx R_O B$$

è una situazione diversa rispetto al MOS in cui se facciamo  $R_E$  grande la nostra impedenza andava a  $\infty$  (qui andiamo a  $R_O B$ )

Questo significa che non è worthy degenerare troppo un bjt (quindi non vedremo grandi strutture cascode come possiamo vedere in tecnologie MOS)

## Rumore



È un rumore bianco circa fino alla  $10^{14}$  Hz.

(Questo è lo spettro white del rumore, se vogliamo il bianco dividiamo per 2)

Ma è + rumoroso con resistore da  $50\Omega$  o  $1k\Omega$ . Dipende da che tipo di rumore  
Concrete/Tensile c'è quello che ci dà più fastidio.

- Rumore del Mosfet

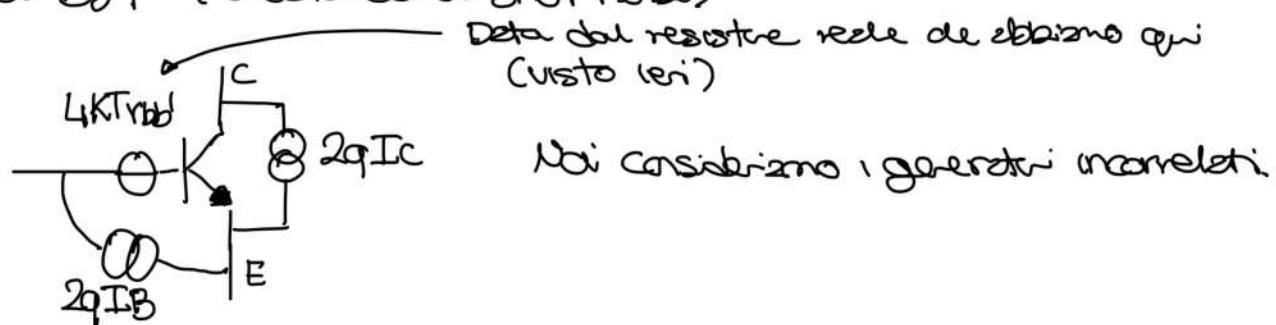


$$\text{esiste anche il rumore } \frac{1}{f} \rightarrow S_{1/f} = \frac{KvT}{Cox WL} \cdot \frac{1}{f} \quad (+\text{ lungo è il transistor meglio è})$$

dove  $KvT/f$  è meglio per i pmos (tipicamente)

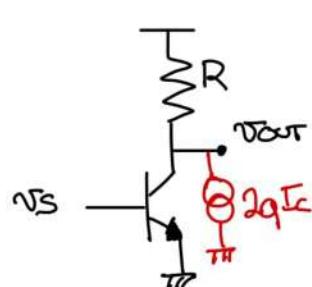
Ma come mai a  $f=0$  il rumore non va a  $\infty$  perché non abbiamo una  
frequenza 0 perché abbiamo sempre una frequenza minima detta da  $t_{ON}$   
dove  $T_{ON}$  = tempo di ON del dispositivo.

- Rumore nei BJT (è detta della shot noise)



### Equivalent noise generator

Esempio (consideriamo solo la shot noise del BJT)



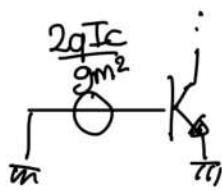
$$S_{VOUT} = 2qI_C \cdot R^2$$

VALUTIAMO L'SNR

$$\left(\frac{S}{N}\right)^2 = \frac{\int_0^{BW} S_{VOUT}^2 \cdot gm^2 \cdot R^2 \cdot df}{2qI_C R^2 \cdot BW} = \frac{\int_0^{BW} I_S^2 I^2 df}{\frac{2qI_C}{gm^2} (BW)}$$

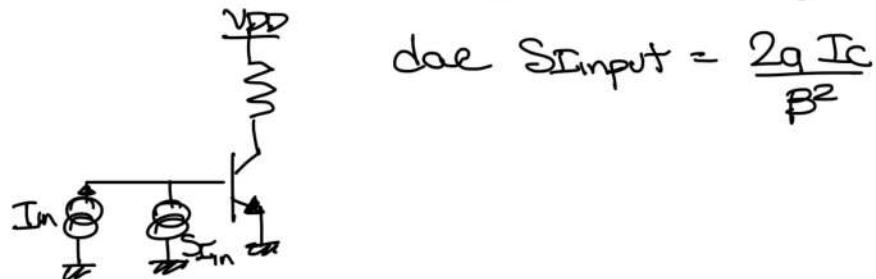
noi sappiamo che  $gm = \frac{I_C}{V_{TH}}$  quindi SNR aumenta se aumentiamo la corrente.

La formula dell'SNR ci dà la possibilità di misurare l'SNR direttamente all'input



Questo ci permette direttamente di confrontare il segnale con il rumore.

E se considerassimo l'ingresso con un gen di corrente ideale?

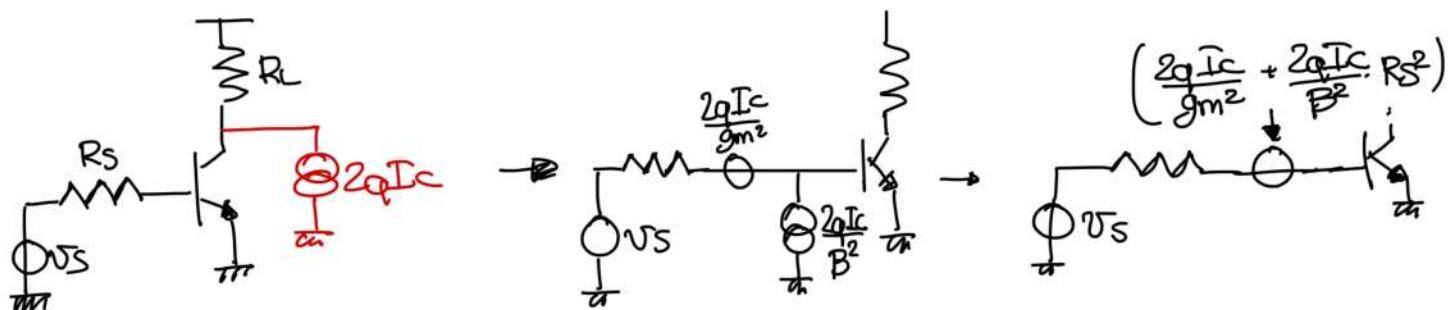


Se ho un doppio bipolo noi possiamo rappresentare il rumore del bipolo riferendo all'input con 2 generatori uno di tensore e uno di corrente. Noi usiamo i 2 generatori perché vogliamo modellizzarli per qualsiasi impedenza d'ingresso. Se ne sapevamo esattamente l'impedenza d'ingresso possiamo usare solo un generatore.

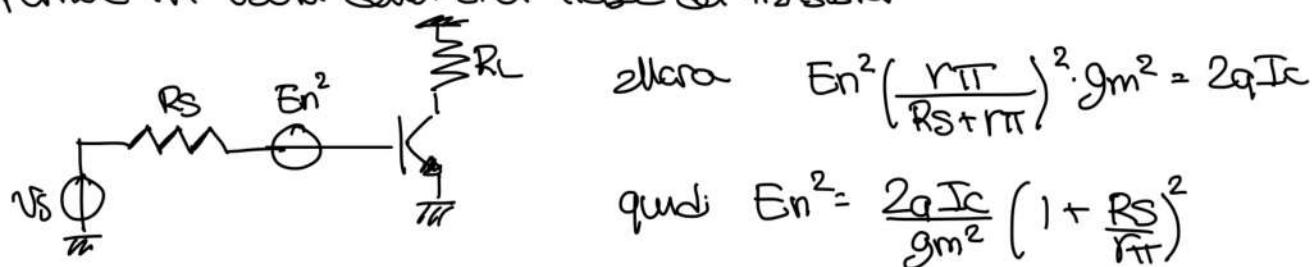
Se abbiamo una rete così:



Esempio



Adesso voglio ricavare il generatore in ingresso che mi dà lo stesso rumore in uscita dello shot noise del transistore



Ma ATTENZIONE!! Ci viene DIVERSO DA PRIMA!! PERCHÉ MAI?

$$\text{In particolare si vede } \overline{E_n^2} = \frac{2q\overline{I_C}}{gm^2} + \frac{2q\overline{I_C} \cdot R_S^2}{B^2} + \frac{2q\overline{I_C} \cdot 2R_S}{gm^2 \cdot R_L}$$

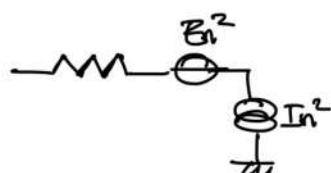
Questo primo non lo zerro

Quelli dei 2  $\overline{E_n^2}$  è corretto??

L'ultimo risultato è quello giusto!!  
Ma perché?

Questo è detto al fatto che i 2 generatori nel primo caso sono fully correlated ma noi nel primo metodo abbiamo sommato le potenze come se fossero uncorrelated, ma non lo sono)

Anzitutto devo dire

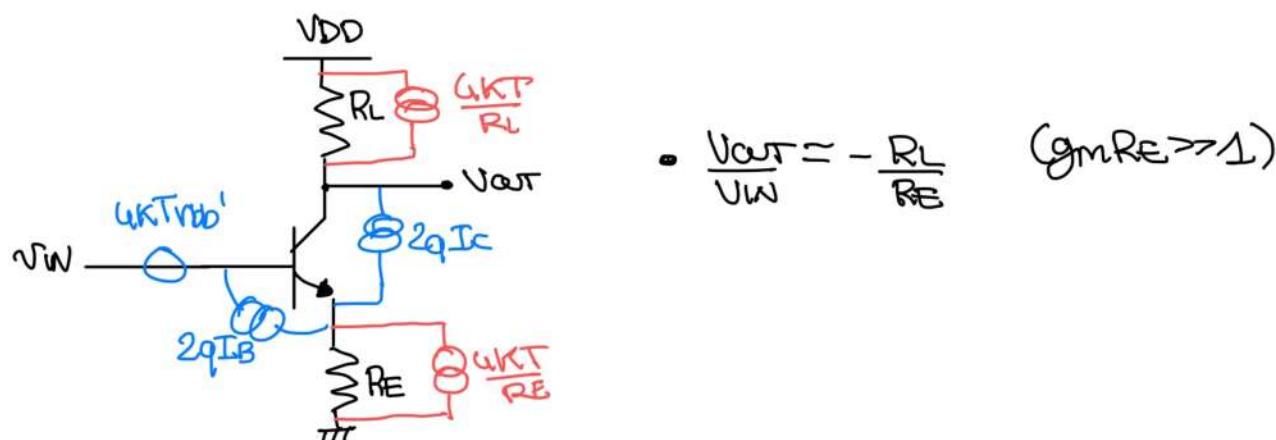


$$\left( \sqrt{\frac{2q\overline{I_C}}{gm^2}} + \sqrt{\frac{2q\overline{I_C}R_S^2}{B^2}} \right)^2 = \overline{E_n^2}$$

Nella rete non sono sempre fully correlated ma partially correlated (poiché aggiungiamo elementi di rete che hanno contributi diversi in rumore di corrente e tensione)

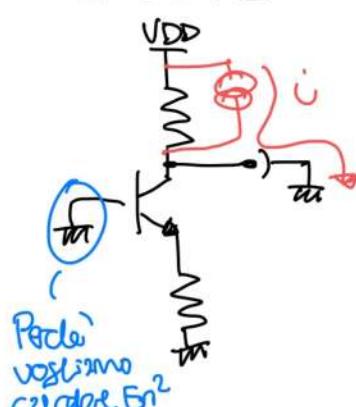
Anche se è sbagliato tuttavia noi usiamo il metodo 1 perché è più facile.

### Esempio / Esercizio sul rumore



- Calcoliamo adesso gli effetti del rumore

- Rumore  $R_L$



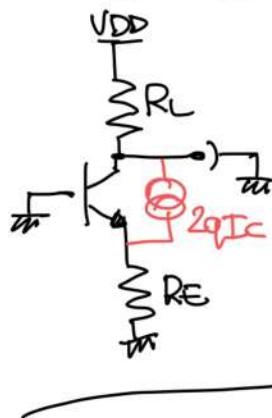
$$\overline{E_n^2} = \frac{4kT}{R_L} \left( R_S + \frac{1}{gm} \right)^2$$

$$\text{perciò } \overline{E_n^2} \cdot \frac{1}{\left( \frac{1}{gm} + R_E \right)^2} = \frac{4kT}{R} \\ \text{è il trasferimento}$$

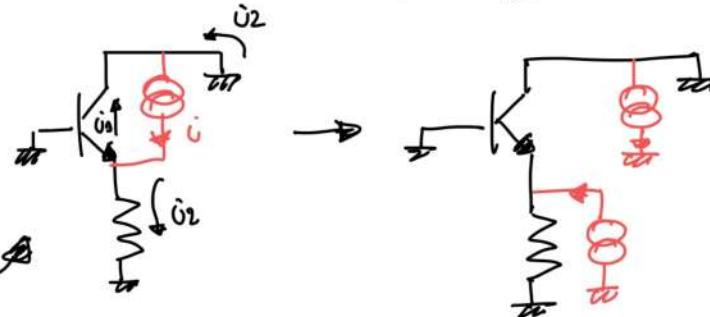
Per il current noise zpro l'input, quindi ho che

$$\overline{I_n^2} \cdot B^2 = \frac{4kT}{R_L} \rightarrow \overline{I_n^2} = \frac{4kT}{R_L B^2}$$

- Rumore shot di canale del transistor



Possiamo usare lo splitting theorem



[nella retta vediamo che dato che c'è a 0 abbiamo già il tutto riferito a terra]

Possiamo lavorare su questo altra

$$i_2 \approx \frac{i}{\frac{1}{gm} + RE}$$

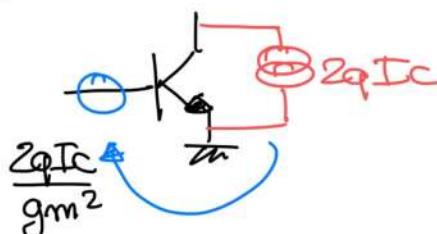
Approssimazione perché nel problema considero la corrente di base.

Allora, quel'è la corrente di input che mi dà questa corrente  $i_2$  in output?

$$En^2 \cdot \frac{1}{(\frac{1}{gm} + RE)^2} = 2qIc \cdot \frac{1}{(\frac{1}{gm} + RE)^2} \rightarrow En^2 = \frac{2qIc}{gm^2}$$

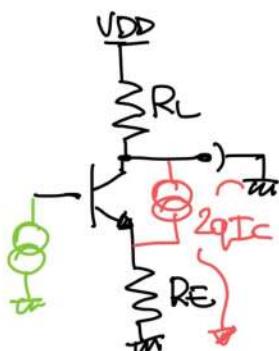
Vediamo che non tutta la corrente arriva all'output (quindi non rumore) tuttavia calcoliamo della stessa quantità anche il trasferimento del segnale quindi abbiamo che USNR rimane uguale. (Quindi IL FEEDBACK NON RIDUCE IL RUMORE)

Inoltre:



Vediamo che con l'emettitore a terra il rumore di input è uguale.

Analizziamo subito il circuito generatore (aperto all'ingresso)



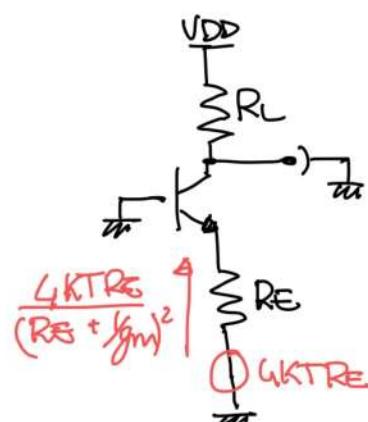
La corrente non può ricirculare perché la base del BJT è aperta. tutta la corrente va all'output

$$In^2 = \frac{2qIc}{B^2}$$

- Rumore di RE

il generatore induce una corrente pari a

$$\frac{4KTR_E}{(RE + \frac{1}{gm})^2}$$

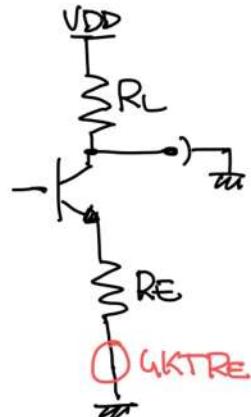


So poi che  $\frac{u_{KTR_E}}{(R_E + R_m)^2} = \frac{E_n^2}{(R_E + R_m)^2} \rightarrow E_n^2 = u_{KTR_E}$

Cose pericolosa da fare ma giusta è che se spostò il generatore perché sono nella stessa mappa.



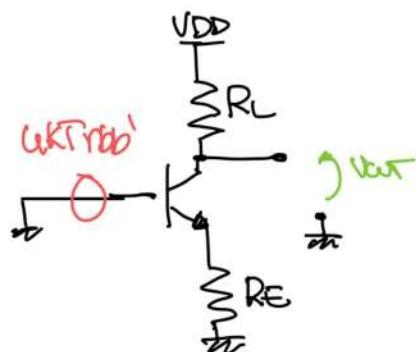
Ricaviamo il gen eq di corrente:



Non può scorrere corrente in OUT perché la base del BJT è aperta

$$I_n^2 = \emptyset$$

- Rumore di  $u_{bb'}$



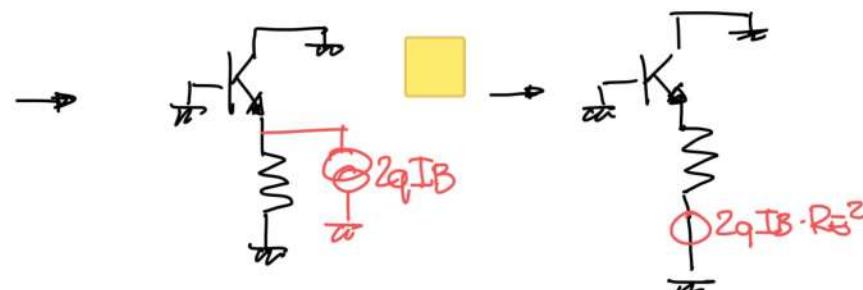
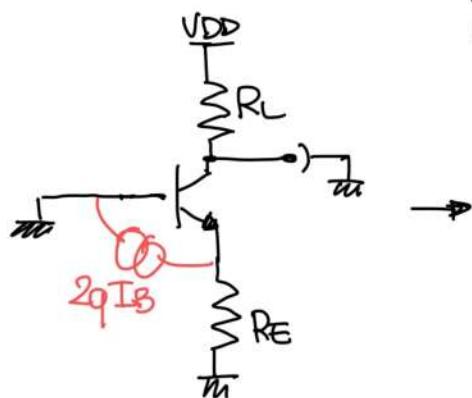
Allora

$$E_n^2 = u_{KTR_{bb'}}^2$$

$$I_n^2 = \emptyset$$

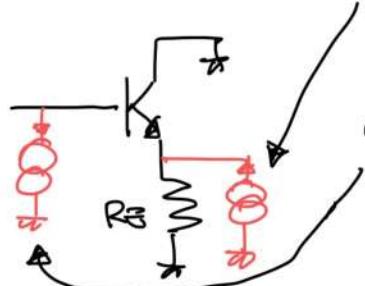
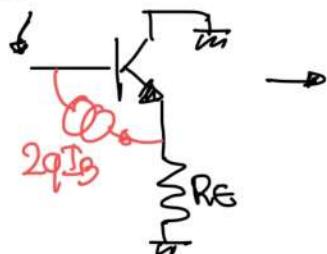
- Rumore shot della base

Iniziamo calcolando il voltge generator (short all'input)



Quindi  $E_n^2 = 2qIB \cdot R_E^2$

Calcoliamo ora la corrente  
sporco!



Questo generatore non ha effetto perché non può raggiungere l'alt detto che la base del BJT è aperta

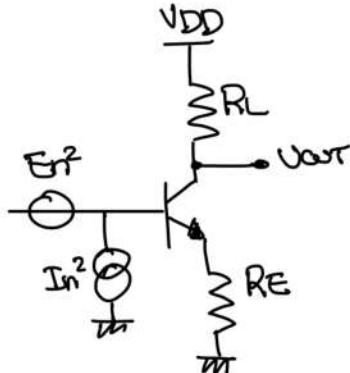
questo è già diretto all'input

$$I_n^2 = 2qIB$$

DA PARTE: CALCOLARE IL RUMORE PER  $R_E = \emptyset$  (No degeneration)  
 E VEDERE IL TERMINE DOMINANTE (ASSUNZIONE GUADAGNO >> 1) VEDRE Poi  
 IL UNICO ULTIMO PER I RUMORE DI CORRENTE E TENSIONE.  
 FACCIAPOI POI LA STESSA ROBA PER  $R_E \neq \emptyset$  (QUANDI CON FEEDBACK DEGENERATION)  
 PARTE POI LA STESSA COSE CON UN RL CHE AL POSTO DI ESSERE UNA  
 RESISTENZA E' UN ACTIVE LOAD.

19.09.2022

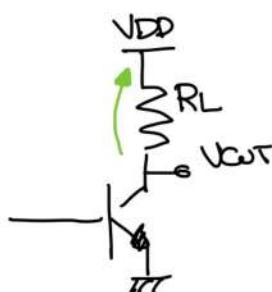
3h



$$\overline{E_n^2} = \frac{4KT}{RL} \left( \frac{1}{g_m} + R_E \right)^2 + \frac{2qI_c}{g_m^2} + 4KTr_{bb} + 2qI_B R_E^2 + 4KTR_E$$

$$\overline{I_n^2} = \frac{4KT}{RL} \cdot \frac{1}{B^2} + \frac{2qI_c}{B^2} + \emptyset + 2qI_B + \emptyset$$

Studiamo ora il circuito senza feedback ( $R_E = \emptyset$ ). Vogliamo evidenziare quelli sono i contributi maggiori per il rumore



$$\overline{E_n^2} = \frac{4KT}{RL g_m^2} + \frac{2qI_c}{g_m^2} + 4KTr_{bb}$$

$$\text{tipicamente } \frac{2qI_c}{g_m^2} > \frac{4KT}{RL g_m^2}$$

$$\text{Questo perché } I_C \cdot R_L > \frac{2KT}{q} \quad (\text{di norma è vero})$$

il rumore che arriva da un load passivo non è poi così importante (passive load meno rumoroso di un transistor)

$$\text{Notiamo anche che } \frac{2qI_c}{g_m^2} = \frac{2qI_c}{I_C} \cdot \frac{KT}{q} \cdot \frac{1}{g_m} = 2KT \frac{1}{g_m}$$

Vediamo che quindi è facile fare una comparazione tra  $2KT \frac{1}{g_m}$  e  $4KTr_{bb}$ .

Come avviene  $\frac{1}{g_m}$  dipende dal bias ( $I_C = 1mA \rightarrow 25k\Omega \quad I_C \rightarrow 10\mu A \rightarrow 25k\Omega$ )  
 Inoltre  $r_{bb}$  tipicamente vale ( $100 - 500\Omega$ )

Tipicamente nei BJT  $I_{bb2} \approx 1\mu A$  quindi capiamo che  $2KT \frac{1}{g_m}$  è il rumore dominante (per  $I_{bb2} \approx 1\mu A$ ).

Come posso ridurre il rumore? Aumento il bias, così ho che  $\frac{1}{g_m}$  cala e  $2KT \frac{1}{g_m}$  diventa piccolo.

Il unico ultimo del rumore è  $4KTr_{bb}$ .

SE NOI VOLUIMMO RIDURRE IL FATTORE DOMINANTE DOBBIAMO AUMENTARE LA POTENZA (TRADEOFF RUMORE/POTENZA)

Quanto detto sopra vale per il rumore di tensione in ingresso.

Per quanto riguarda il rumore di corrente abbiamo che è uguale al caso con il feedback.

$$\overline{I_n^2} = \frac{4KT}{R_L} \cdot \frac{1}{B^2} + \frac{2qI_C}{B^2} + 2qI_B$$

Vediamo che ovviamente  $2qI_B$  è il fattore dominante.

Possiamo verificare che

$$\frac{4KT}{R_L} \cdot \frac{1}{B^2} < 2qI_B \rightarrow \frac{2KT}{q} \cdot \frac{1}{B} \ll \underbrace{I_B \cdot B \cdot R_L}_{I_C}$$

Quindi il limite ultimo è  $2qI_B$ .

ANALIZZIAMO ORA L'IMPATTO DEL FEEDBACK (RE<sub>F</sub>) SUL FATTORE DOMINANTE DEL GENERATORE DI TENSIONE DI RUMORE

$$\overline{E_n^2} = \frac{4KT}{R_L} \left( \frac{1}{g_m} + RE \right)^2 + \frac{2qI_C}{g_m^2} + 4KT I_{FB}^2 + 2qI_B R_E^2 + 4KTR_E$$

NUOVO  
RUMORE

NON ABBIANO NELL'  
MIGLIORAMENTO SUL  
FATTORE DOMINANTE  
NEL CASO SENZA FEEDBACK

NON ABBIANO MIGLIORATO  
IL FATTORE ULTIMO

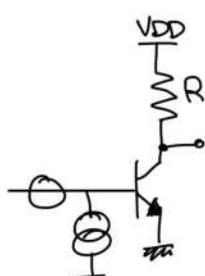
NUOVO  
RUMORE,  
È IL NUOVO  
RUMORE  
DOMINANTE

$$\text{Attenzione } 4KTR_E \gg \frac{2qI_C}{g_m} \rightarrow 2KT \frac{1}{g_m}$$

Dove essere così perché se degeneriamo per linearizzate  $g_m R_E \gg 1$

Quindi se ho un buon feedback ho più rumore che nel caso precedente  
(il feedback c'è solo per migliorare la linearità)

### ACTIVE LOAD VS PASSIVE LOAD (impatto sui rumore)



$$\overline{E_n^2} = \frac{2qI_C}{g_m^2} + 4KT I_{FB}^2$$

Se noi vogliamo aumentare il gain dobbiamo usare un load attivo

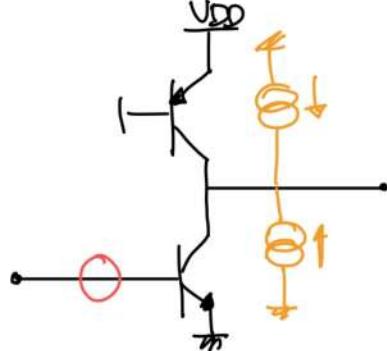
In questo caso ho che il guadagno è

$$|G| = g_m r_o = \frac{1}{2} \frac{V_A}{V_{TH}}$$



Sta roba non funziona così e basta perché abbiano 2 generatrici che devono essere uguali. Noi fixiamo questo con gli specchi e con il feedback

Analizziamo ora il rumore d'ingresso

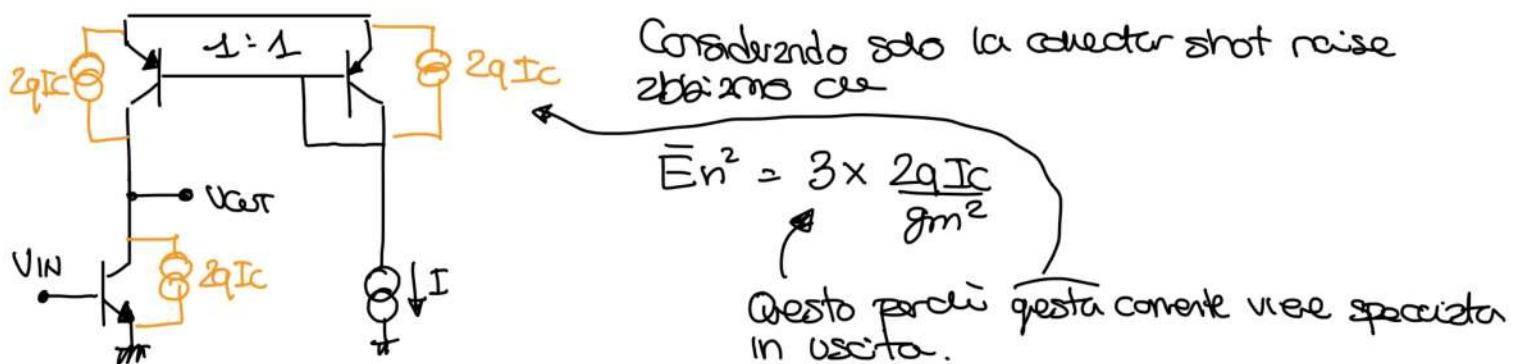


$$\bar{E}_n^2 = \frac{2qI_C}{g_m^2} \times 2 + 4kT_{NPN}^b + 4kT_{NPN} \cdot \left( \frac{g_m PNP}{g_m NPN} \right)^2$$

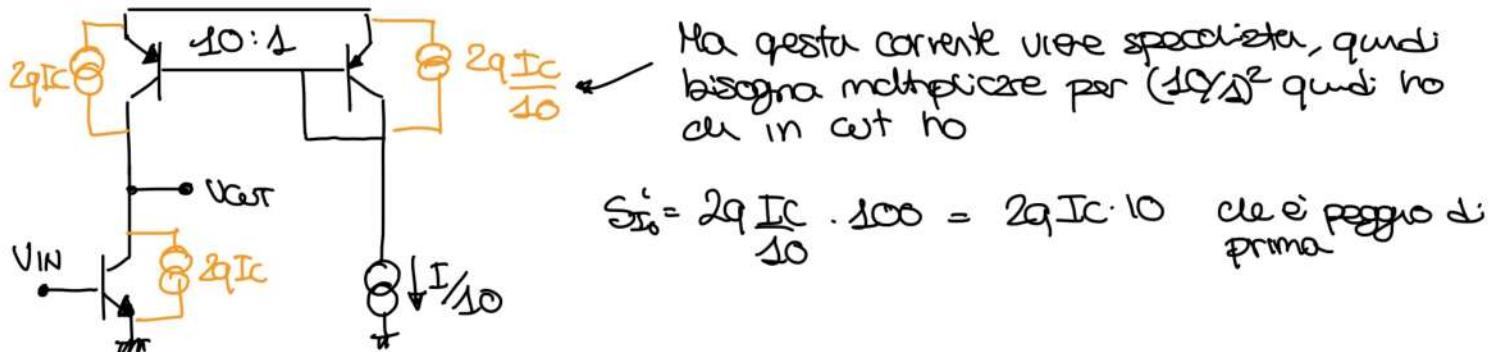
E' IL FATTORE DOMINANTE! NOI VEDIAMO CHE RADDOPPIA PERCHÉ HO 2 GENERATORI SHOT IN PARALELO. IL PRIMO E' DEL TRANSISTOR NPN, IL SECONDO DEL PNP.

QUANDO USO CAPIOTTI ATTIVI HO PIÙ RUMORE CHE NEL CASO DI CAPIOTTI PASSIVI.

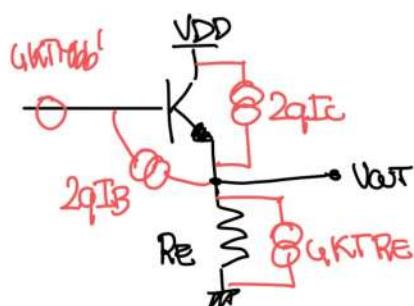
Vediamo adesso un circuito più reale:



Ma così stiamo consumando  $2I$ , quindi ho un buon consumo di potenza.  
Per ridurre il consumo di potenza posso fare lo specchio 10:1 e ridurre  $I=I/10$   
Ma così il rumore mi aumenta



Facciamo adesso lo stesso studio sul rumore di un emitter follower



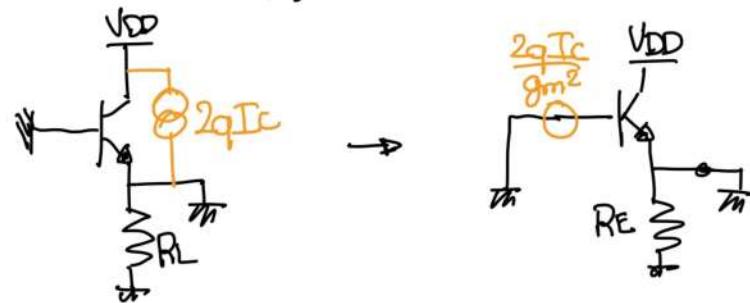
$$\bar{E}_n^2 = 4kT_{NPN}^b + \frac{2qI_C}{g_m^2} + \frac{4kT}{R_E g_m^2} + \frac{2qI_B}{g_m^2}$$

Terme dominate (se  $I_C R_E \gg 2kT/q$ )

$$\bar{E}_n^2 = \emptyset + \frac{2qI_C}{B^2} + \frac{4kT}{R_E B^2} + 2qI_B$$

Se aumentiamo  $R_E$  il follower risulta MENO rumoroso!

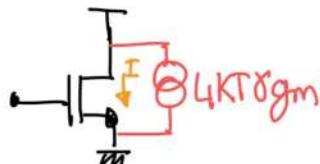
Vediamo il trasferimento di  $2qIc/gm^2$



Se usiamo un carico attivo al posto di  $R_L$  abbiamo che nel caso migliore il rumore è il doppio.

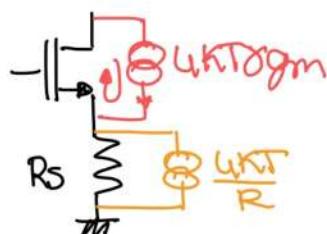
Rumore in uscita da un generatore di corrente

(NON VALUTARE EQUIVALENTE INPUT NOSO MA SOLO IL RUMORE IN USCITA)



In quest'caso la degenerazione può tornare utile. Questo perché stiamo misurando solo il rumore in uscita e NON il rumore riportato all'ingresso.

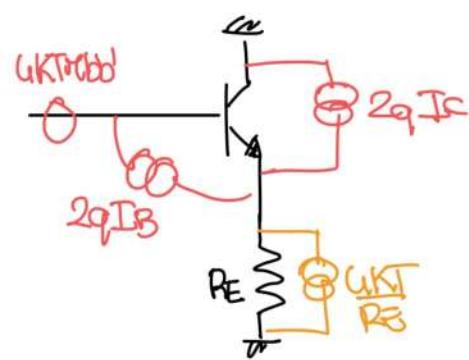
Allora con la degenerazione ho che



Notiamo che per  $R_S$  alto ho che la corrente del mos circola completamente.

Ulteriormente ho anche la corrente di  $R_S$ , ma se  $R_S \rightarrow \infty$  ho che ho bassissima corrente.

Coni BJT ho un circuito di questo tipo.



$2qIc$  circola parzialmente su se stesso e una parte va su re

$$S_{Ic} = 2qIc \left( \frac{g_m}{R_E + g_m} \right)^2$$

Poi supponiamo  $R_E$  grande e quindi tutto il rumore va in out

$$S_{Ic} = \frac{4KT}{R_E}$$

Poi 2bbiamo che il rumore di tensore dato da rebb va

$$S_{Ic}^{rebb} = \frac{4KT^{rebb}}{\left( \frac{1}{g_m} + R_E \right)^2}$$

e puoi 2bbiamo che dato che  $R_E$  è grande

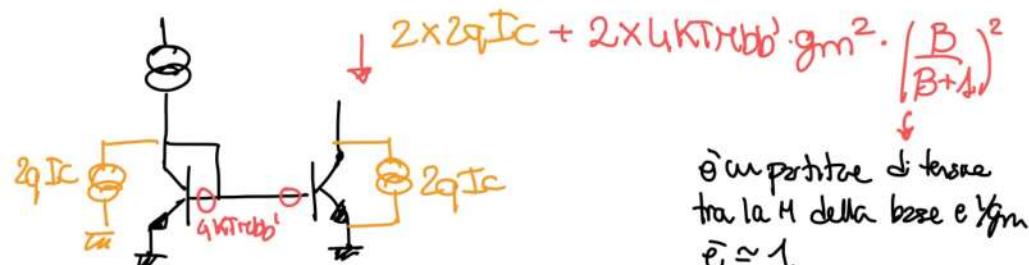
$$S_{Ic} = 2qIb$$

Vediamo che se aumentiamo  $R_E \rightarrow \infty$  ho da tutte le componenti tranne  $2qI_B$  valore a 0. Ho un limite sul minimo rumore.

E' molto difficile raggiungere questo limite perché se vogliamo:

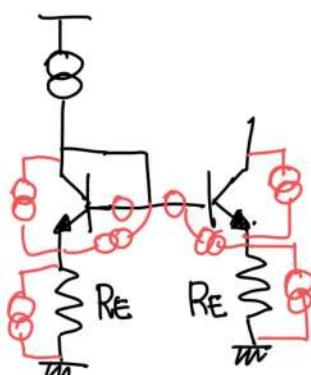
$$2qI_B > \frac{4kT}{R_E} \rightarrow I_C \cdot R_E > 2B \left( \frac{kT}{q} \right) \leftarrow \text{è molto difficile.}$$

Altri esempi di generazione di corrente



è un'ipotesi di tensione  
tra la M della base e l'emittore  
 $\approx 1$

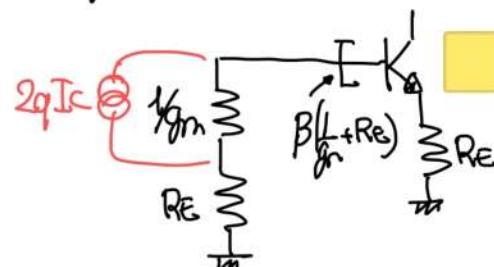
E se degenerassimo lo specchio



Vedrete per conto nostro il rumore all'output

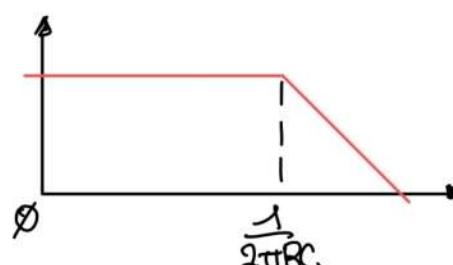
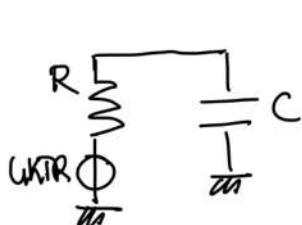
E quali è il limite ultimo se  $R_E \rightarrow \infty$ ?  
(La soluzione è  $I_{C0}^2 = 8qI_B$ )

Il modo per vedere il rumore qui è usare i modelli equivalenti



Il limite minimo arriva da  $2qI_B$ .

## DISCUSSIONE SUL RUMORE



che equivale a una banda equivalente per la  $B_{Neq} = \frac{1}{C \cdot R \cdot C}$

Quindi abbiamo che la varianza del rumore è  $\sigma_v^2 = \frac{WkTR}{4RC} = \frac{KT}{C} [V^2]$

$$\text{con } T=300K \quad C=1\text{pF} \rightarrow \sqrt{\frac{KT}{C}} \approx 64\mu V$$

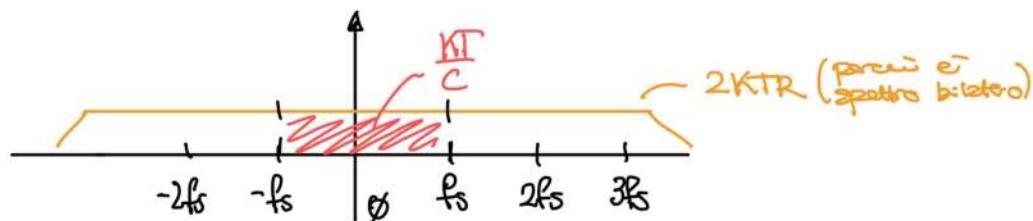
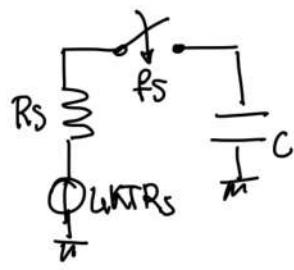
il rumore non dipende dalla resistenza perché se R è più grande  $B_{Neq}$  è più piccola e le 2 cose si bilanciano.

Inoltre + capacità = + potenza ma il condensatore non dissipava potenza.  
Nella realtà quello che consuma è il circuito che deve comandare la capacità.

Questo funziona anche nel caso di circuiti tipo switched cap.

Cosa succede al rumore nel mondo discreto?

Iniziamo considerando lo spettro del segnale

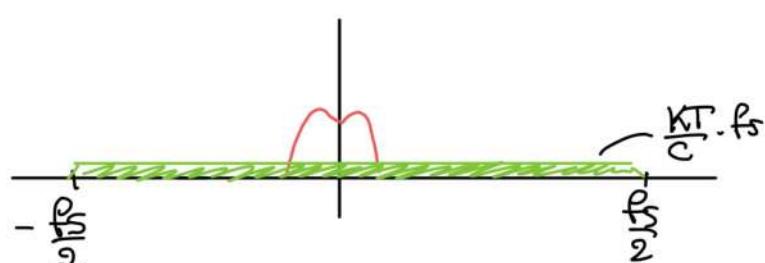


Anche il rumore viene replicato con tutte le ripliche. In conclusione abbiamo che tutto il rumore viene riportato. Il rumore sarà l'area di  $\frac{K_T}{C}$  quindi la varianza del segnale su C è  $\frac{K_T}{C}$ .

### • Oversampling

è una tecnica per cui facciamo un sampling >> 2BW.

Quanta è la noise power che cade sul nostro segnale samplato?



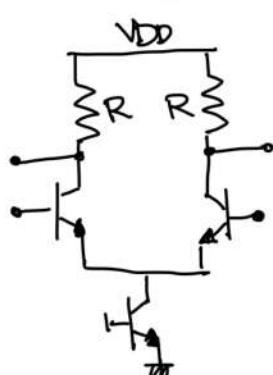
il livello del rumore è più basso perché l'area è più grande.

Nel mondo reale di norma noi per aumentare la frequenza di sampling noi diminuiamo la capacità e quindi  $\frac{K_T}{C}$  aumenta. (riducendo la capacità perché senon consumiamo troppa potenza)

20.09.2022

2h

### Differential pair



Questo non è un doppio bipolo ma è un bipolare. Questo significa che non si potrebbero usare i generatori equivalenti.

Nella realtà noi lo applichiamo comunque per il generatore di tensione equivalente.

In particolare se la Common Mode rejection ratio è molto alta, allora per il voltage equivalent signal posso vederlo come un doppio bipolo.

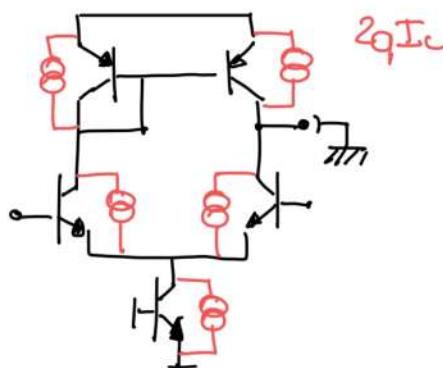
Per la current noise non c'è un argomento così forte su dove mettere il generatore equivalente.

Ma quindi useremo solo la voltage noise.

Notiamo poi però che il rumore del BJT non si spartisce perfettamente a metà se comandiamo i BJT in input con delle singole tensioni con resistenze diverse (che è stupido) comodamente in questo caso il teorema non funziona perché il rumore di cui non è

Indipendente dal carico della sorgente.

### • Valutiamo il rumore (consideriamo solo la collector shot noise)



L'output voltage noise current è  $4 \times 2qI_c$

Quanto è l'input voltage noise generator?  
So che il guadagno è:

$$G = g_m \cdot R_{out}$$

$$\text{Allora } S_{out} = S_{in} \cdot g_m^2 \rightarrow S_{in} = \frac{S_{out}}{g_m^2}$$

In questo caso il circuito è fully simmetrico

Per il rumore di tensione posso considerare questo circuito

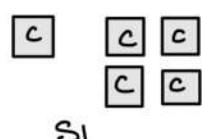
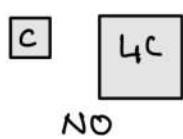


### • Matching

Molte volte noi non lavoriamo sui valori assoluti dei componenti ma sui rapporti tra valori degli stessi. Quindi a noi interessa il matching.

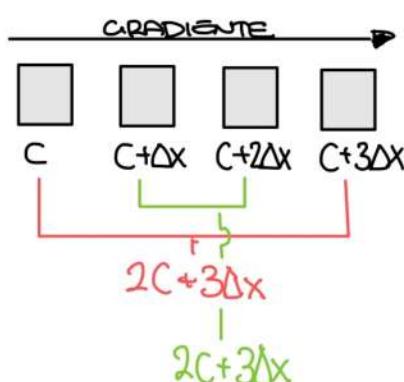
Per avere good matching dobbiamo fare tutto simetrico il più possibile.

Ad esempio se ho 2 capacitori ma grande C e una grande LC C io non ne faccio una grande C e una LC ma una grande C e 4 grandi C connesse in parallelo.



Facciamo questo per diversi motivi  
ma il principale è il rapporto area  
perimetro.

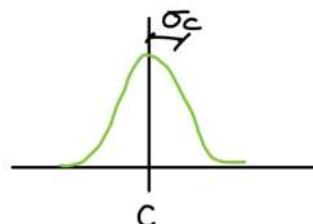
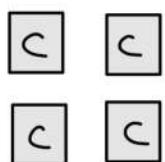
Quando lavoriamo su grandi CMOS possiamo avere dei gradienti diversi.  
(tipo dello spessore dell'ossido)



Supponiamo debba correggere assieme i 4 componenti  
per avere il rapporto uguale a 1.

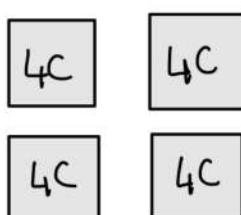
In pratica abbiamo fatto common centroid structure approach.

Oltre ai fattori deterministici dati dal gradiente abbiamo anche delle fluttuazioni statistiche. Queste sono state discusse da Pelgrom.



Ho una fluttuazione statistica del vettore

Se lo ho



Ho che la deviazione standard è proporzionale (non ho capito perché).  
Forse ho capito! La deviazione standard aumenta con zanche il vettore del mio condensatore quindi io alla fine ho un vertigoglio.  
Per Pelgrom credo mi dia la formula della varianza del rapporto  $\Delta C/C$  ed è per questo che mi verrebbe che si diminuisse con WL.

In particolare  $\sigma_{\frac{\Delta C}{C}}^2 = \frac{Kv^2}{WL}$  ← che infatti diminuisce con l'aumento di WL.

21.08.2022

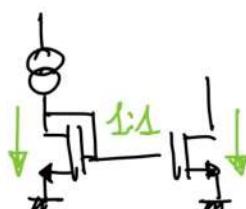
3h

L'acciazzatura dei componenti è uno dei problemi principali nel IC design.

$$I = \frac{1}{2} \mu n C_o x \left( \frac{V_{AS} - V_T}{L} \right)^2$$

La varianza della corrente di uscita può essere data da variazioni di  $V_T$  e di  $K$ .

Sappiamo che specchio 1:1, quel senso l'errore  $\Delta I/I$ ? Quelli sono gli impatti di un mismatch di  $K$  e di  $V_T$ ?



$$\Delta I = (dK)(V_{AS} - V_T)^2 - K^2(V_{AS} - V_T)^2 dV_T$$

quindi

$$\frac{\Delta I}{I} = \frac{dK}{K} - \frac{2dV_T}{V_{AS}}$$

Possiamo quindi calcolare la varianza

$$\sigma_{\frac{\Delta I}{I}}^2 = \sigma_{\frac{dK}{K}}^2 + \sigma_{dV_T}^2 \cdot \frac{4}{V_{AS}^2}$$

Possiamo scrivere così

$$\sigma_{\frac{\Delta I}{I}}^2 = \frac{Ak^2}{WL} + \frac{Av_T^2}{WL} \cdot \frac{4}{V_{AS}^2}$$

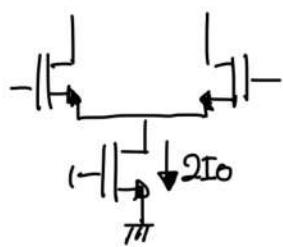
Capiamo che se  $V_{AS}$  è molto piccolo abbiamo che l'errore dato da  $\sigma_{dV_T}^2$  è molto alto. In ogni caso  $\sigma_{dV_T}^2$  è di norma il termine dominante

Abbiamo espresso la varianza tramite le formule di Pelgrom.

Studiamo un altro caso dove il mismatch è fondamentale.

Sei vogliano calcolare l'offset del paio differenziale.

Dato che noi vogliamo la stessa corrente su 2 MOS abbiamo che  $V_{OS} = \Delta V$

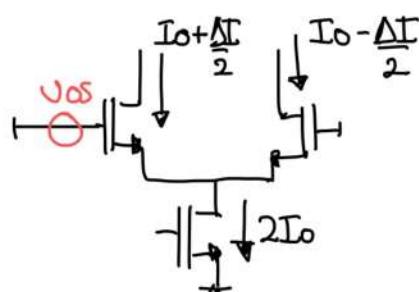


E se avessimo una differenza dei valori di  $K$ ?  
Questo significa che

Nel doppiozmo questa differenza di correnti.

Supponiamo che  $V_{OS}$  dia una corrente di

$$i = g_m \frac{V_{OS}}{2}$$



$$\text{Allora se } \frac{\Delta I}{2} = g_m \frac{V_{OS}}{2} \rightarrow V_{OS} = \frac{\Delta I}{g_m}$$

$$= \frac{\Delta I}{I_0} \cdot \frac{V_{DD}}{2} = \frac{\Delta K}{K} \frac{V_{DD}}{2}$$

L'offset totale è una distribuzione statistica la cui varianza è pari a

$$\begin{aligned} \sigma_{V_{OS}}^2 &= \sigma_V^2 + \sigma_{\Delta K}^2 \cdot \frac{V_{DD}^2}{4} \\ &= \frac{A_V^2}{WL} + \frac{A_K^2}{WL} \cdot \frac{V_{DD}^2}{4} \end{aligned}$$

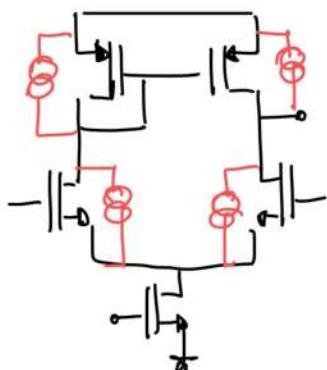
(tipicamente la threshold è il termine dominante)

→ Grande overdrive, grande  $\sigma_{V_{OS}}^2$ !!

Vediamo invece che se vogliamo poco offset dobbiamo aumentare l'area del componente.

### Esempio offset di un single ended differential stage

Consideriamo solo errori di  $\Delta V$ .



Calcoliamo l'equivalent input noise

$$\overline{E_n^2} = \frac{8kT\sigma}{g_{mn}} \left( 1 + \frac{g_{mp}}{g_{mn}} \right)$$

Supponiamo ora di avere un offset nella threshold del paio di input, dato

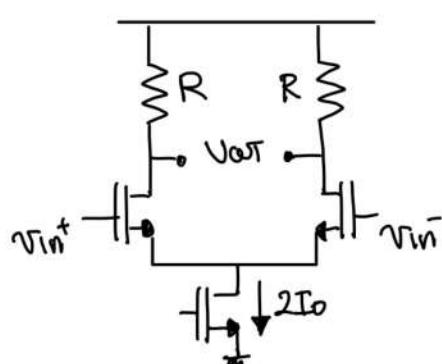
$$V_{OFF} = \Delta V_{Tn}$$

Supponiamo ora che sia il paio superiore quello con l'errore di threshold

$$V_{OFF} = \frac{g_{mp}}{g_{mn}} \Delta V_{Tp}$$

Quindi  $\sigma_{V_{OFF}}^2 \rightarrow \sigma_{V_{IN}}^2 + \sigma_{V_{IP}}^2 \cdot \left( \frac{g_{mp}}{g_{mn}} \right)^2 \leftarrow$  Di qui si spiega il rumore

### Passive load



L'offset d'input transistors è  $V_{OS} = \Delta V$

Supponiamo ora una variazione delle resistenze  $(R + \Delta R/2)$  e  $(R - \Delta R/2)$ . In questo caso riceve

$$\frac{g_m}{2} V_{OS} 2R = (\Delta R) I_o$$

allora

$$V_{OS}'' = \frac{I_o}{g_m} \cdot \left( \frac{\Delta R}{R} \right) = \frac{V_{OS}}{2} \left( \frac{\Delta R}{R} \right)$$

### Offset BJT (hanno meno offset di i MOS)

Questo perciò non hanno una threshold!

$$I_C = I_s \exp\left(\frac{V_{BE}}{V_{th}}\right)$$

Quindi:  $\frac{\Delta I_C}{I_C} = \frac{\Delta I_S}{I_S}$

Se noi vogliamo calcolare l'input voltage offset

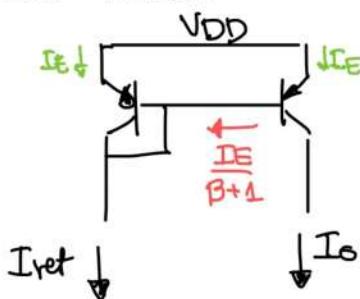
$$g_m \frac{V_{OS}}{2} = \frac{\Delta I}{2} \rightarrow V_{OS} = \frac{\Delta I}{g_m} = \left( \frac{\Delta I}{I} \right) V_{th} = \left( \frac{\Delta I_S}{I_S} \right) \cdot V_{th}$$

dove possiamo vedere  $\frac{\Delta I_S}{I_S} = \frac{A_{DS}}{AE}$   $\leftarrow$  Area dell'emettitore

(non è una formula della varianza molto utilizzata)

### OFFSET SISTEMATICO

è un offset che può essere bilanciato tramite il design dei circuiti  
(esempio la differenza delle resistenze in un differential pair single output)  
Nei BJT otte l'effetto che abbiamo nei mos abbiamo solo  $B$  che ci serve tutto.



Se mettiamo  $V_0$  supponendo cosa succede.

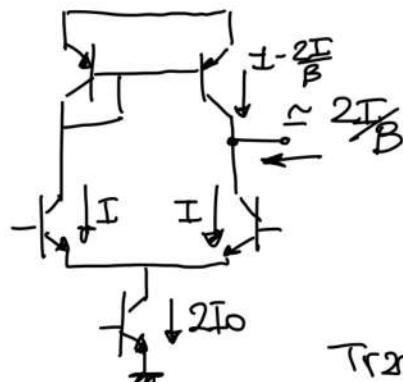
Vediamo solo cosa succede quando abbiliamo i beta

$$\begin{cases} I_E + \frac{I_E}{B+1} = I_{REF} \\ 2I_E = I_o + I_{REF} \end{cases} \rightarrow I_o = I_{REF} \left[ 1 - \frac{2}{B+2} \right] \approx I_{REF} \left( 1 - \frac{2}{B} \right)$$

La corrente in uscita non è uguale a quella di riferimento.

Se ora noi collegiamo questo specchio a un paio differenziale avremo per

forsa un offset all'input.



$$A_{VDD} = \frac{V_{OFF}}{2} \cdot g_m \cdot 2 = I \cdot \frac{2}{B}$$

e' lo specchio

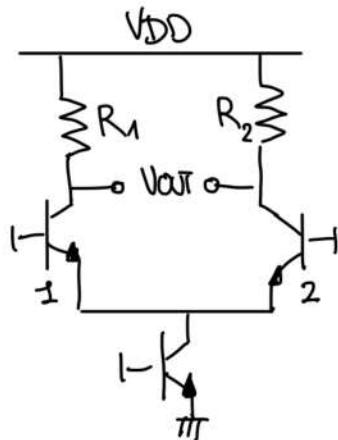
$$\rightarrow V_{OFF} = \frac{I}{g_m} \cdot \frac{2}{B} = \frac{2V_{th}}{B} \quad (< 1mV)$$

(è piccolo!)

Tramite il design noi bilanciamo questo offset sistematico.

### ESEMPIO DI CALCOLO COMPLETO DELL'OFFSET (NON APROSSIMATO)

parametri delle caratteristiche di grande segnale



$$\text{Supponiamo } R_1 = R + \frac{\Delta R}{2}, \quad R_2 = R - \frac{\Delta R}{2}$$

e abbiamo un mismatch nelle caratteristiche dei transistori

$$1) I_S + \frac{\Delta I_S}{2} \quad 2) I_S - \frac{\Delta I_S}{2}$$

$$\text{Sappiamo che il mismatch di } I_S \text{ da } V_{OS'} = V_{th} \cdot \frac{\Delta I_S}{I_S}$$

$$\text{Quello dei resistori da } V_{OS''} = V_{th} \cdot \frac{\Delta R}{R}$$

Quindi e' l'offset che devo mettere tra i 2 BJT di input per avere tutto equilibrato

$$V_{BE1} - V_{BE2} = V_{th} \cdot \ln \left[ \frac{I_{C1}}{I_{S1}} \cdot \frac{I_{S2}}{I_{C2}} \right] \quad \leftarrow \text{Questo e' l'unbalance in generale}$$

Nei vogliamo misurare questo unbalance quando  $V_{out} = 0 \Rightarrow I_{A1}R_1 = I_{A2}R_2$   
allora in questo caso viene

$$V_{BE1} - V_{BE2} = V_{OFF} = V_{th} \ln \left[ \frac{R_2}{R_1} \cdot \frac{I_{S2}}{I_{S1}} \right]$$

$$= V_{th} \ln \left[ \frac{R - \Delta R/2}{R + \Delta R/2} \cdot \frac{I_S - \Delta I_S/2}{I_S + \Delta I_S/2} \right]$$

$$= V_{th} \ln \left[ \frac{1 - \Delta R/2R}{1 + \Delta R/2R} \cdot \frac{1 - \Delta I_S/2I_S}{1 + \Delta I_S/2I_S} \right]$$

Dunque facciamo una small signal approx sull'errore  
(e allora tutto questo e'  
(notile))

$$\approx V_{th} \ln \left[ \left( 1 + \frac{\Delta R}{2R} \right)^2 \right] + V_{th} \ln \left[ \left( 1 - \frac{\Delta I_S}{2I_S} \right)^2 \right]$$

$$V_{th}(1+x) \approx x \rightarrow$$

$$\frac{1}{2} = 2V_{th}R\left[1 - \frac{1}{2R}\right] + 2V_{th}R\left[1 - \frac{\Delta I_S}{2I_S}\right]$$

$$\approx V_{th} \cdot \frac{\Delta R}{R} + V_{th} \cdot \frac{\Delta I_S}{I_S}$$

de è il risultato  
che ci aspettavamo.

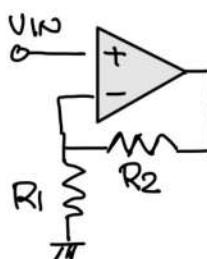
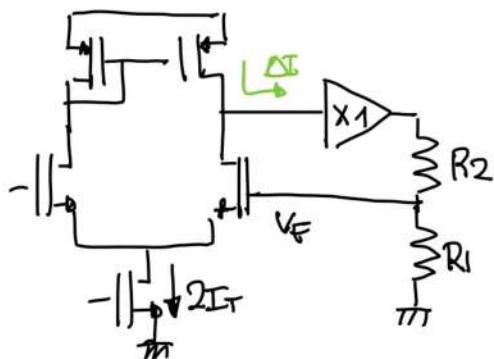
Quindi:  $\sigma_{\text{over}}^2 = (V_{th})^2 \frac{\Delta R^2}{R^2} + (V_{th})^2 \cdot \frac{\Delta I_S^2}{I_S^2}$

Una roba da sapere è che se un elemento fa rumore allora molto probabilmente fa anche offset.

26.09.2022

3h

Se valutiamo l'offset di input quando siamo in feedback non abbiamo miglioramenti (al massimo solo peggioramenti)



Supponiamo ci sia un mismatch tra le tensioni di threshold dei 2 mosfet dello specchio.  
Allora abbiamo che  $\Delta I = g_{mp} \Delta V_T$ .

Allora abbiamo una tensioce  $\Delta V = g_{mp} \Delta V_T \cdot R_{out}'$

Questa tensioce viene portata viale del buffer e il segnale invia viene riportato sul mos di input.

$$V_F = g_{mp} \Delta V_T \cdot R_{out}' \cdot \frac{R_1}{R_2 + R_1}$$

e questo riporta circa l'output a un valore OK.

Questa tensioce genera una corrente

$$I_x = \frac{g_{mp}}{2} \cdot V_F$$

Dato questo noi vogliamo calcolare l'output voltage in closed loop

$$V_{out} = \Delta V_T \cdot g_{mp} \cdot R_{out} - V_{out} \cdot \left( \frac{R_1}{R_2 + R_1} \right) \frac{g_{mp}}{2} \cdot R_{out}'$$

Current mirror

$$V_{out} = \frac{\Delta V_T g_{mp} R_{out}'}{1 + \left( \frac{R_1}{R_2 + R_1} \right) g_{mp} R_{out}'} = \Delta V_T \cdot \left( \frac{g_{mp}}{g_{mn}} \right) \cdot \frac{\frac{1}{1 + \frac{1}{\frac{g_{mn} R_{out}'}{g_{mn} R_{out}' \left( \frac{R_1}{R_2 + R_1} \right)}}}}$$

Ideal gain

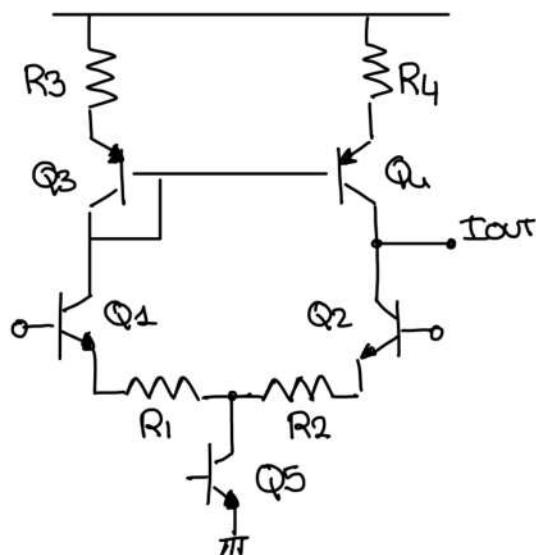
Gloop

Dove  $\Delta V \cdot \left( \frac{g_{mp}}{g_{mn}} \right)$  non è altro che il threshold error riferito all'ingresso

il feedback sbilancia solo l'ingresso in modo che l'amp possa funzionare anche con l'offset.

## ESERCIZIO

(Abbiamo degenerato tutti i transistori)



$$r_o = \infty$$

$$\beta = \infty$$

$$\text{Poi } R_1 = R_i + \frac{\Delta R}{2} \quad R_2 = R_i - \frac{\Delta R}{2}$$

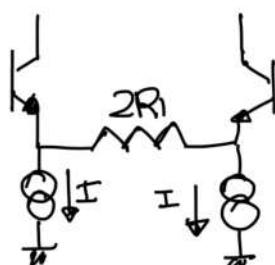
$$R_3 = R_3 + \frac{\Delta R}{2} \quad R_4 = R_3 - \frac{\Delta R}{2}$$

Perciò usiamo la degenerazione?

- ✗ Usandola noi manchiamo voltage headroom
- ✗ Però abbiammo anche i rumori delle resistenze.
- Ma quali sono i vantaggi?
- ✓ Aumenta un po' la linearità
- ✓ Se  $r_o \neq \infty$  con la degenerazione aumenta l'impedenza d'uscita (dopo degenerare da entrambe le parti perciò sono crea mismatch).

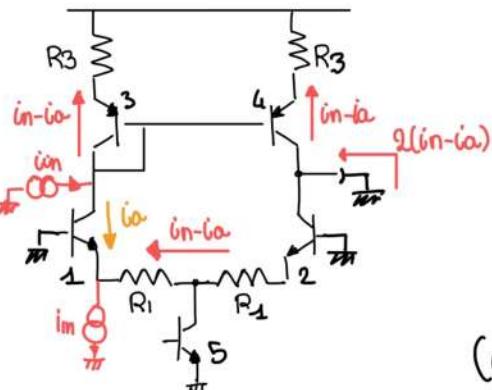
- ✓ Aumentiamo anche l'impedenza di input
- ✓ Miglioriamo lo Slew Rate perché portiamo la stessa corrente con meno  $g_m$  e quindi possiamo fare C Miller più piccola.

Per migliorare headroom e rumore (dei resistori) possiamo fare



Il problema di questo è mettere le 2 correnti. Ulteriormente i 2 gen di corrente non sono indipendenti quindi dobbiamo considerare il rumore.

Analizziamo il circuito principale. (Rumore)



Calcoliamo il rumore di 1 e 2

$$2(in-ia) = in \cdot \frac{\frac{1}{g_m}}{2R_1 + \frac{2}{g_m}} \cdot 2$$

$$(\text{corrente d'output}) = in \cdot \frac{\frac{1}{g_m}}{R_1 + \frac{1}{g_m}}$$

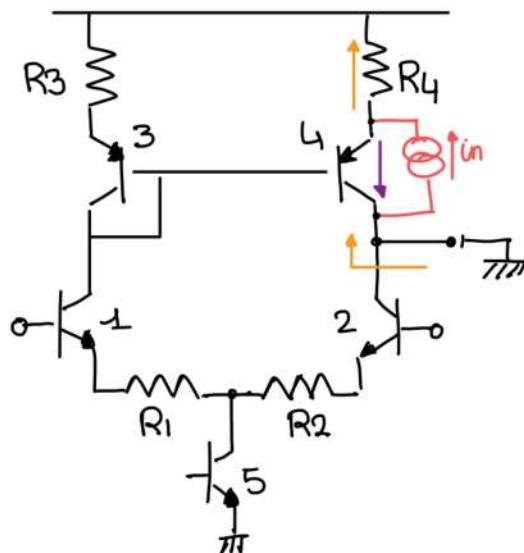
Allora calcoliamo la tensore d'output

$$\frac{V_n}{\frac{2}{g_m} + 2R_u} \cdot 2 = i_n \frac{\frac{1}{g_m}}{\frac{1}{g_m} + R_u} \rightarrow V_n = i_n \cdot \frac{1}{g_m}$$

Quindi:  $\overline{E_n^2} = 2qI_0 \cdot \left(\frac{1}{g_m}\right)^2 \times 2$  ← Rumore transistors input.

L'input degeneration non cambia il contributo del rumore dei bjt d'input.

- Contributi transistor dello specchio.



Non sono spillore perché è già riferito all'ingresso.

In questo caso il local feedback riduce il rumore di questo transistor.

La corrente di pessai sull'output è la stessa di pessai su  $R_4$

$$i_o = i_n \cdot \frac{\frac{1}{g_m}}{R_4 + \frac{1}{g_m}}$$

Calcoliamo il gen d'tensore

$$\frac{V_n}{\frac{2}{g_m} + 2R_u} \cdot 2 = i_n \cdot \frac{\frac{1}{g_m}}{R_u + \frac{1}{g_m}}$$

Quindi:

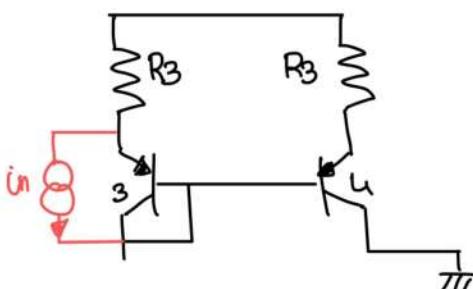
$$V_n = \frac{i_n}{g_m} \frac{(1+g_m R_1)}{(1+g_m R_3)}$$

e ottieno una power spectral density del tipo

$$\overline{E_n^2} = \frac{2qI_0}{g_m^2} \cdot \left( \frac{1+g_m R_1}{1+g_m R_3} \right)^2$$

La degenerazione del mirror riduce il rumore ma la degenerazione d'input riduce il gain.

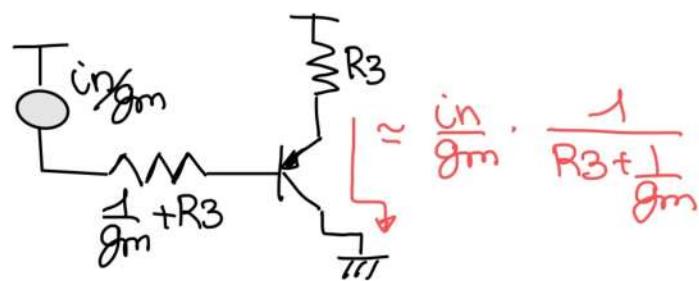
Ma QB dà lo stesso rumore d'Qu?



Possiamo vedere QB come

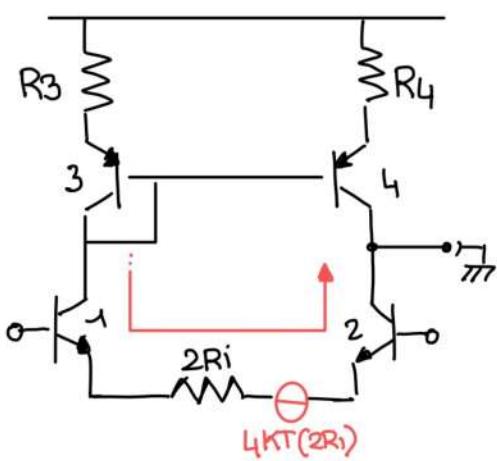
$$\text{in} \circlearrowleft \frac{1}{g_m} = \frac{1}{g_m} \text{in}$$

Allora posso vedere il circuito con



Quindi abbiamo che Q3 contribuisce allo stesso modo di R3 al rumore

- Rumore dei Resistori



La corrente che scorre nei resistori è

$$\frac{4KT(2R_i)}{(2R_i + \frac{2}{gm})^2}$$

Quindi:

$$\frac{\overline{E_n^2}}{(2R_i + \frac{2}{gm})^2} = \frac{4KT(2R_i)}{(2R_i + \frac{2}{gm})^2}$$

$$\overline{E_n^2} = 4KT(2R_i)$$

La corrente di output è

$$i_{in} = \frac{4KTR_3}{R + \frac{1}{gm}}$$

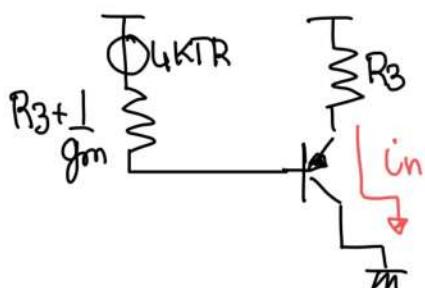
Per il generatore equivalente d'input abbiamo

$$\overline{E_n^2} \left( \frac{2}{\frac{2}{gm} + 2R_i} \right)^2 = \frac{4KTR_3}{(\frac{1}{gm} + R_3)^2}$$

E dunque

$$\overline{E_n^2} = 4KTR_3 \frac{(1+gmR_i)^2}{(1+gmR_3)^2}$$

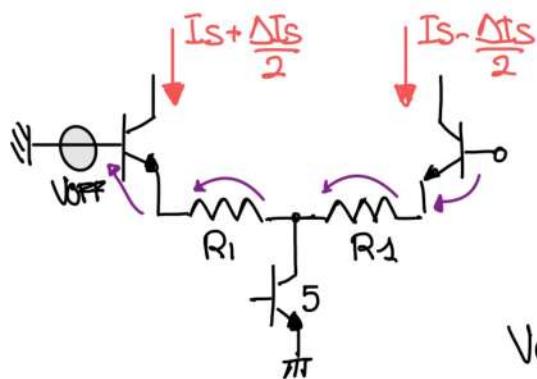
Per l'altra resistenza possiamo vedere



$$i_{in} = \frac{4KTR_3}{(\frac{1}{gm} + R_3)^2}$$

che è lo stesso dell'altra resistenza.

Calcolo 2mo ora l'offset.

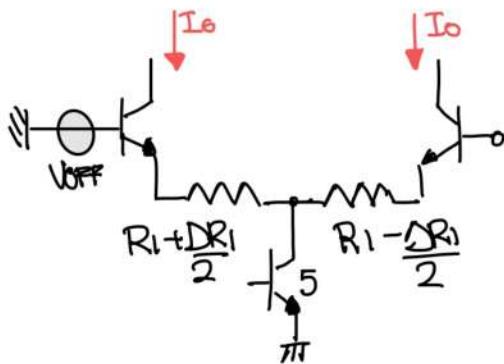


Noi mettiamo in  $V_{OFF}$  tale che le 2 correnti siano uguali. Dopo abbiamo che  $V_{OFF}$  dipende dalla differenza delle  $V_{BE}$  dei 2 transistor.  
Vediamo che i resistori non hanno effetto nell'offset

$$V_{OFF} = V_{BE1} + I_o R_1 - I_o R_1 - V_{BE2}$$

$$\begin{aligned} V_{OFF} &= V_{th} \ln \left[ \frac{I_o}{I_s + \frac{\Delta I_s}{2}} \right] - V_{th} \ln \left[ \frac{I_o}{I_s - \frac{\Delta I_s}{2}} \right] \\ &= V_{th} \ln \left[ \frac{I_s - \frac{\Delta I_s}{2}}{I_s + \frac{\Delta I_s}{2}} \right] = V_{th} \ln \left[ \frac{1 - \frac{\Delta I_s}{2 I_s}}{1 + \frac{\Delta I_s}{2 I_s}} \right] \quad \frac{1-x}{1+x} \approx (1-x)(1-x) \\ &\approx V_{th} \ln \left[ 1 - \frac{\Delta I_s}{2 I_s} \right]^2 \\ &\approx 2 V_{th} \ln \left[ 1 - \frac{\Delta I_s}{2 I_s} \right] \approx -2 V_{th} \cdot \frac{\Delta I_s}{2 I_s} \end{aligned}$$

Mismatch dei resistori di input



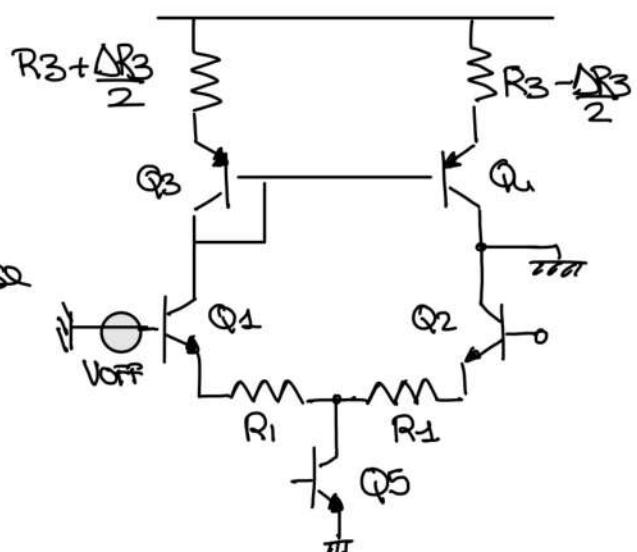
Calcolo 2mo  $V_{OFF}$ . Questo è dato dalla differenza di ceduta su 2 resistori

$$\begin{aligned} V_{OFF} &= I_o \left( R_1 + \frac{\Delta R_1}{2} \right) - I_o \left( R_1 - \frac{\Delta R_1}{2} \right) \\ &= I_o \Delta R \end{aligned}$$

$$\text{Perciò } V_{OFF} = (I_o R_i) \cdot \frac{\Delta R_i}{R_i}$$

• Mismatch resistori specchio.

Dato che  $R_3$  sono diverse ho che non può scorrere la stessa corrente nei 2 ramo perché se scorresse la stessa  $I$  avrei  $V_{BE}$  diverse (che non è possibile).



$$(R_3 + \frac{\Delta R_3}{2})(I + \frac{\Delta I}{2}) + V_{th} \ln \underbrace{\left( \frac{I + \frac{\Delta I}{2}}{I_S} \right)}_{V_{BE3}} = (R_3 - \frac{\Delta R_3}{2})(I - \frac{\Delta I}{2}) + V_{th} \ln \underbrace{\left( \frac{I - \frac{\Delta I}{2}}{I_S} \right)}_{V_{BE3}}$$

Quindi:

$$= R_3(\Delta I) + (\Delta R_3)I + V_{th} \ln \left[ \frac{1 + \frac{\Delta I}{2I}}{1 - \frac{\Delta I}{2I}} \right] = 0$$

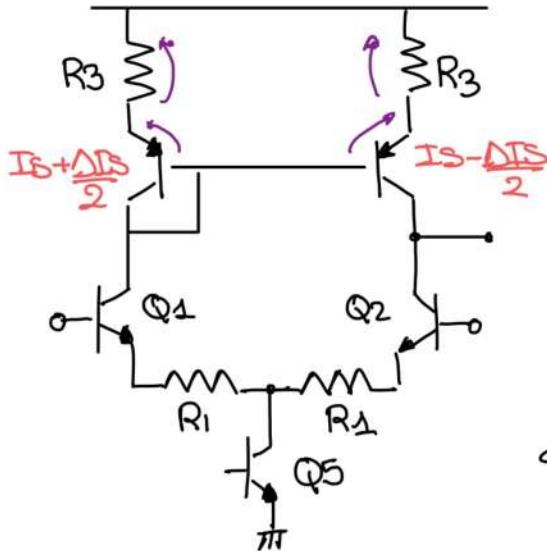
$$= R_3(\Delta I) + (\Delta R_3)I + \frac{V_{th} \Delta I}{I} = 0$$

$$= R_3(\Delta I) + (\Delta R_3)I + \frac{1}{g_m} \Delta I = 0$$

Quindi:  $\Delta I = - \frac{I}{R_3 + \frac{1}{g_m}} \cdot \Delta R_3$

Perciò avremo un offset di input pari a:  $\frac{V_{OFF}}{2R_1 + \frac{2}{g_m}} \times 2 = - \frac{I}{R_3 + \frac{1}{g_m}} \cdot \Delta R_3$

- Contributo offset transistor dello specchio



la corrente non può essere uguale poiché se fosse uguale la  $V_{BE}$  tra i 2 BJT sarebbe diversa dato che  $I_S$  diverse.  
(ricordiamo che facciamo le approssimazioni a piccoli segnali)

Per avere 0 offset una corrente deve essere maggiore dell'altra.

Scriviamo la corrente del loop per trovare il mismatch:

oppio che cambino sia la corrente di base  
che la corrente di saturazione

$$R_3(I + \frac{\Delta I}{2}) + V_{th} \ln \underbrace{\left( \frac{I + \frac{\Delta I}{2}}{I_S + \frac{\Delta I_S}{2}} \right)}_{V_{BE3}} = R_3(I - \frac{\Delta I}{2}) + V_{th} \ln \left( \frac{I - \frac{\Delta I}{2}}{I_S - \frac{\Delta I_S}{2}} \right)$$

$$R_3 \Delta I + V_{th} \ln \left[ \frac{1 + \frac{\Delta I}{2I}}{1 - \frac{\Delta I}{2I}} \right] + V_{th} \ln \left[ \frac{1 - \frac{\Delta I_S}{2I_S}}{1 + \frac{\Delta I_S}{2I_S}} \right] = 0$$

Ottimo

$$R_3 \Delta I \approx V_{th} \frac{\Delta I}{I} + V_{th} \frac{\Delta I s}{I s}$$

$$\Delta I = \frac{V_{th} \Delta I s / I s}{R_3 + \frac{1}{g_m}}$$

Come nel caso del rumore znde in questo caso la degenerazione riduce l'effetto del mismatch.

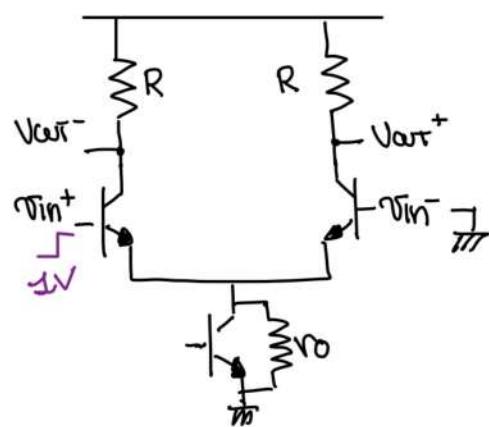
Perciò

$$V_{OFF} \cdot \frac{1}{\frac{2}{g_m} + 2R_1} = \frac{\Delta I}{2} = \frac{1}{2} \cdot \frac{V_{th} \left( \frac{\Delta I s}{I s} \right)}{R_3 + \frac{1}{g_m}}$$

27.09.2022

2h

Common mode rejection ratio and link with mismatch.



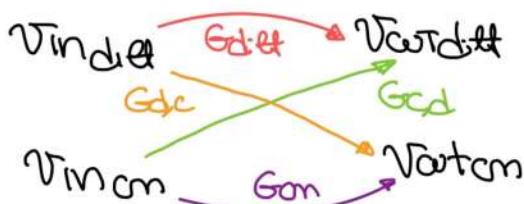
Tengo  $V_{in^-}$  a terra e metto  $V^+$  uno scalino di 1V (e' un segnale sia differenziale che di common mode).

$$\begin{array}{ll} V_{in^-} & V_{in^+} \\ \text{---} 1V & -\emptyset \\ = & \\ \text{---} 0.5 & \text{---} -0.5 \text{ (differenziale)} \\ \text{---} 0.5 & \text{---} 0.5 \text{ (common mode)} \end{array}$$

$$\text{Quindi } V_{diff} = V_{in^+} - V_{in^-} \quad V_{cm} = \frac{V_{in^+} + V_{in^-}}{2}$$

(stesso lavoro si può fare per il segnale d'output)

Il modo differenziale non dovrebbe interagire con il modo di common mode

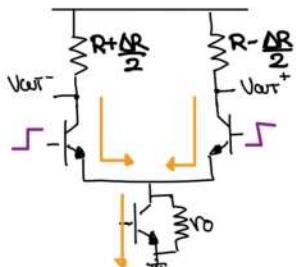


$$\begin{aligned} G_{d,dif} &= g_m R \\ G_{c,m} &\approx -\frac{R}{2Ro} \end{aligned}$$

La CMRR in un fully differential è il rapporto tra  $G_{d,dif}$  e  $G_{c,d}$  !! Però a noi interessa il segnale differenziale

Nella realtà abbiamo che il segnale non è ideale e quindi ho znde di cross guadagni.

Un circuito con un perfetto gen di corrente o simmetrico dovrebbe avere  $G_{c,d} = 0$ . Tuttavia se abbiamo dei mismatch allora abbiamo che  $G_{c,d} \neq 0$

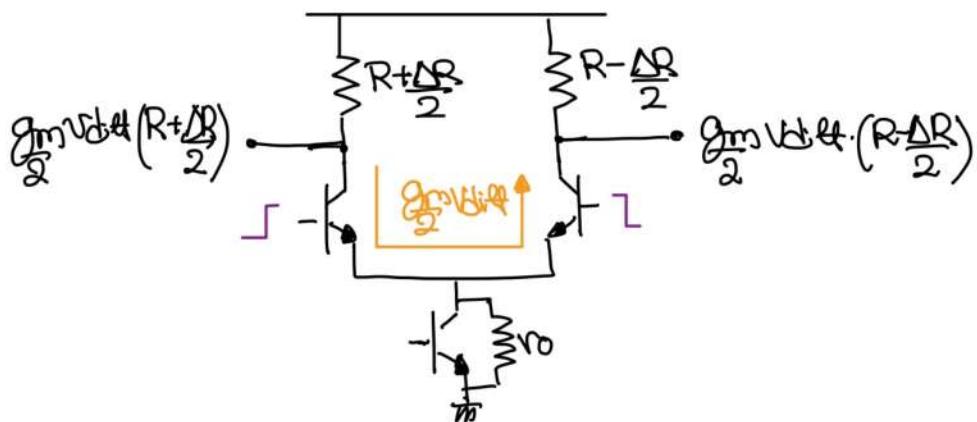


Abbiamo che la corrente si divide perfettamente (circa) tra i 2 ram. ma abbiamo il mismatch di resistenza allora

$$G_{c,d} \approx -\frac{\Delta R}{2Ro} \quad (\text{NON CI PIACE PERCHÉ CI MODIFICA IL SEGNALE CHE CI INTERESSA})$$

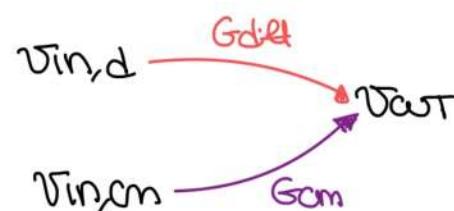
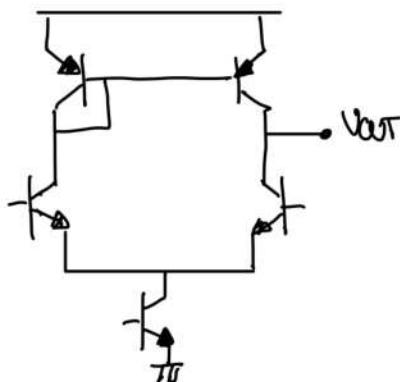
(possiamo avere znde in mismatch dell'emitter area)

Possiamo avere un problema simile anche nel caso inverso



Abbiamo quindi un guadagno per la differenza  
 $G_{diff} = -\frac{g_m \Delta R}{4}$

Ma cosa succede se al posto di un fully differential usassimo un single ended circuit.

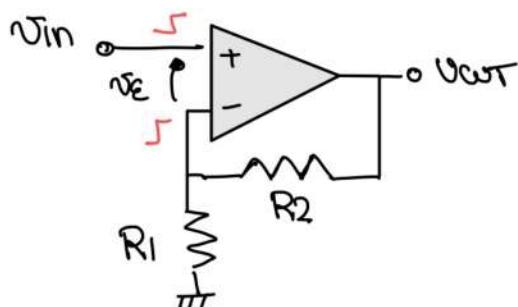


Usiamo il mirror per il bias (perciò senno i mos vanno in triodo)  
NON per recuperare il fattore 2 del gain!!

$G_{cm}$  dovrebbe essere 0 ma non lo è perché il transistor non è ideale, inoltre non c'è la simmetria perfetta e in più abbriamo anche i mismatch.

La CMRR è  $CMRR = G_{diff}/G_{cm}$ .

Ma perciò noi usiamo il guadagno di differenza e quello di common mode? Non usiamo lo stage in open loop? Perciò quando chiudiamo in loop l'appoggia abbiamo una terra virtuale e quindi il segnale ai 2 ingressi è uguale e quindi esercitiamo molla common mode.



$$V_{out} \approx G_{diff} \cdot V_E + G_{cm} \cdot V_{in}$$

Noi stiamo dicendo che la common mode input è  $\approx V_{in}$ .

$$V_E = V_{in} - V_{out} \frac{R_1}{R_1 + R_2}$$

Unendo le 2 equazioni si ricava che

$$\frac{V_{out}}{V_{in}} = \frac{G_{diff}}{1 + G_{diff} \left( \frac{R_1}{R_1 + R_2} \right)} + \frac{G_{cm}}{1 + G_{cm} \left( \frac{R_1}{R_1 + R_2} \right)}$$

Lo definirei  
**MOLTO  
 IMPORTANTE**

$$\approx 1 + \frac{R_2}{R_1}$$

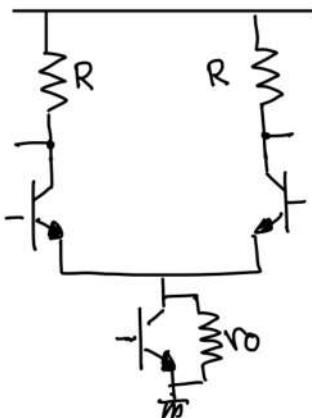
(che è il  $G_{standard}$ )

Abbriamo 2 gain, quello virtuale e quello spurio. Il feedback fa la stessa cosa sui 2 guadagni quindi se facciamo il rapporto tra i 2 otteniamo la CMRR ed è per questo che la usiamo anche se siamo in closed loop.

Nella rete può essere più precisi  $V_{in}$  non è  $V_{in}$  ma sarebbe la media tra  $V_{in}$  e  $V_{out}$  ( $R_1/(R_1+R_2)$ ) quindi la formula totale sarebbe un po' modificata

$$\frac{V_{out}}{V_{in}} = \frac{G_{diff}}{1 + G_{diff} \left( \frac{R_1}{R_1+R_2} \right) - \frac{1}{2} G_{cm} \left( \frac{R_1}{R_1+R_2} \right)} + \frac{1}{2} \frac{G_{cm}}{1 + G_{diff} \left( \frac{R_1}{R_1+R_2} \right) - \frac{1}{2} G_{cm} \left( \frac{R_1}{R_1+R_2} \right)}$$

Thumb rule per calcolare la common mode rejection ratio



$$CMRR = \frac{G_{diff}}{G_{cm,diff}}$$

E' possibile vedere che con buona approssimazione la CMRR è calcolabile come

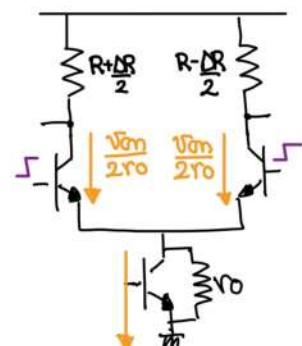
$$CMRR \approx \frac{V_A}{V_{OVS}}$$

Questa formula vale  
anche per i single  
ended.

(dove  $V_A$  è la tensione di early del tal generatore)

In se non deve essere esatto questo perché i motivi per i quali abbiano la CMRR sono la non perfezione del tal generatore e l'offset dei componenti.

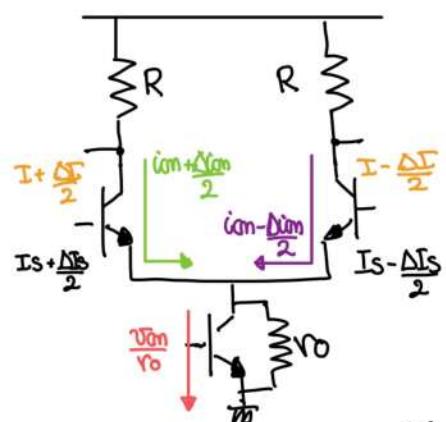
E se ho il cascode del tal generatore? Devo solo cambiare la tensione di early (che sarà tipo aumentata di  $B$ , credo) questo perché due fore  $r_o$   $I = V_A$



$$CMRR = \frac{G_m R}{\frac{\Delta R}{2r_o}} = \frac{I(2r_o)}{V_{th} \cdot \left( \frac{\Delta R}{R} \right)} = \frac{V_A}{V_{OVS}}$$

In altri casi può venire un po' ma va bene come thumb rule.

Analizziamo adesso la common mode davanti al mismatch dei 2 transistri di input



Se la tensione di saturazione del transistor varia ci aspettiamo che non anche la corrente di bias e quindi la corrente di common mode non si divide perfettamente

$$\frac{\Delta I_{cm}}{I_{cm}} = \frac{I_{cm}}{I_{cm}} \frac{g_{m1} - g_{m2}}{g_{m1} + g_{m2}} \approx \frac{I_{cm}}{I_{cm}} \cdot \frac{g_{m1} - g_{m2}}{2g_{m1}}$$

$$\approx \frac{\left( I + \frac{\Delta I}{2} \right) - \left( I - \frac{\Delta I}{2} \right)}{2I} = \frac{\Delta I}{2I} = \frac{\Delta I_S}{2I_S}$$

Questa differenza di corrente tra i 2 ramo è indipendente dal carico.

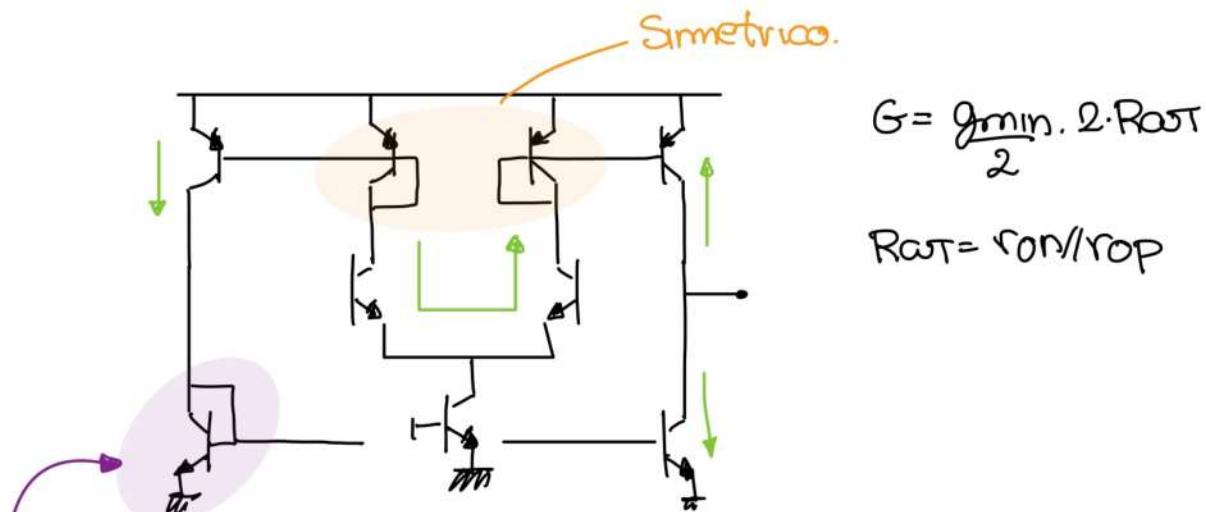
La common mode rejection ratio è quindi:  $CMR = \frac{f_{CM}}{\frac{1}{2r_o} \left( \frac{D_{IS}}{2I_S} \right)} = \frac{V_A}{V_{OFS}}$

Stesso discorso si può fare anche per un mismatch dei  $B$  dei transistor. In questo caso otteniamo

$$CMRR = \frac{g_m}{\frac{1}{2r_o} \cdot \frac{2}{B}} = \frac{2r_o I}{V_{th} \cdot \frac{2}{B}} = \frac{V_A}{V_{OFS}}$$

03.10.2022

3h

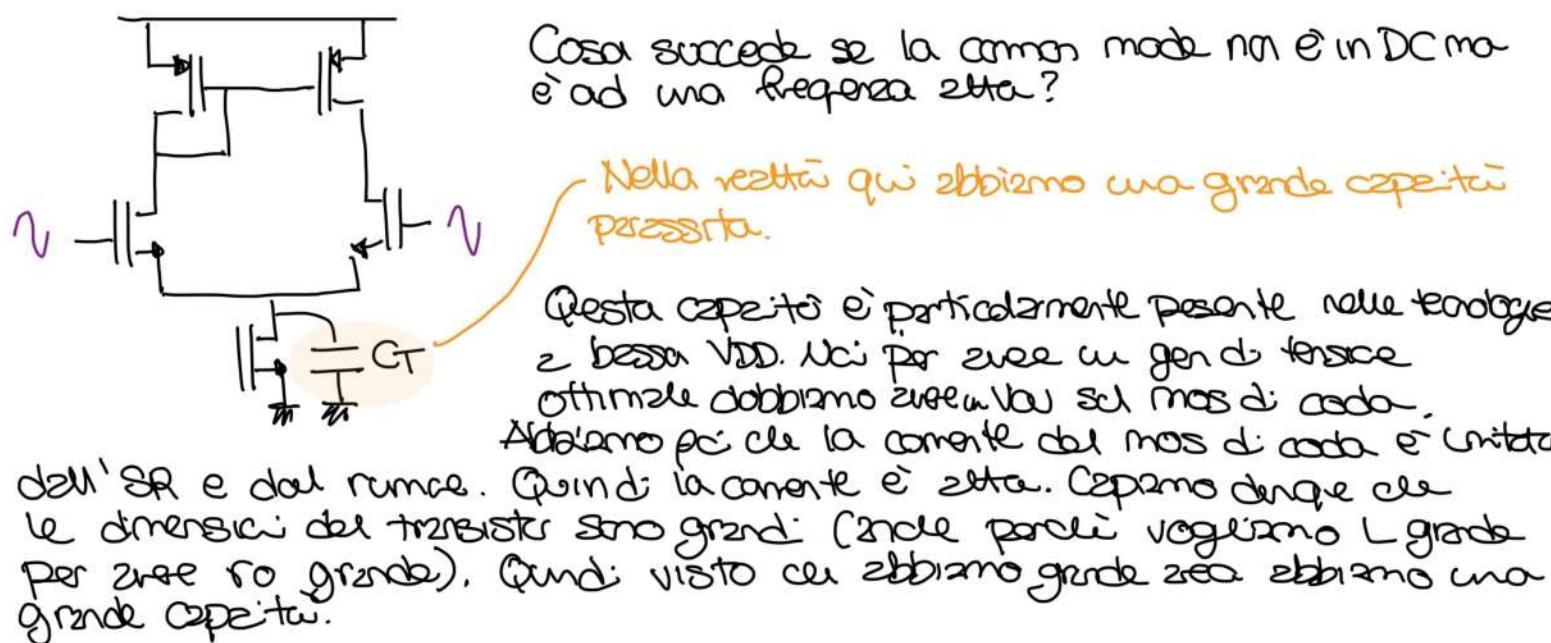


$$G = \frac{g_{min} \cdot 2 \cdot R_{out}}{2}$$

$$R_{out} = r_{on}/r_{op}$$

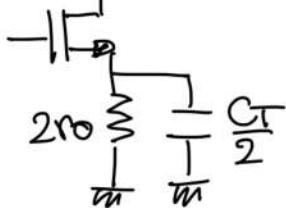
In questo circuito serve il simmetria del  $B$  (per la non simmetria) e dato che dei bjt NPN questo è meglio rispetto a un PNP.

Single ended ad alta frequenza (per la common mode)



Perciò se abbiamo una common mode ad alta freq noi non vediamo più il mos degenerato bene ma vediamo l'impedenza data dalla capacità.

Possiamo vedere il circuito come:



Quindi noi diminuiamo la degenerazione fino ad annullarla. Quando questa si annulla non ha grande corrente e dato che il circuito non è perfettamente simmetrico non ha la CHRR diminuita.

$$G_{CT} = \frac{V_{IN}}{\frac{1}{g_m} + \frac{2R_O}{1+sC_{TR}}} = \frac{V_{IN}}{\left(\frac{1}{g_m} + 2R_O\right)} \cdot \frac{1+sC_{TR}}{1+sC_{T(2R_O/g_m)}}$$

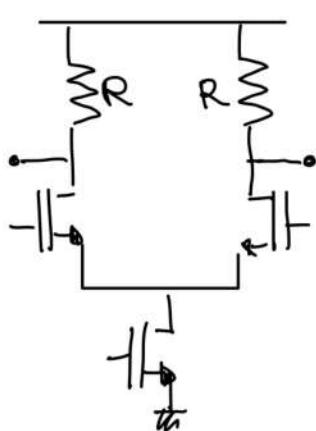
Vediamo che c'è presente uno zero a "bassa" frequenza.

Il PZO è praticamente inutile perché c'è un'etassima frequenza.

Quindi se abbiamo un differential stage come sopra possiamo graficare i guadagni



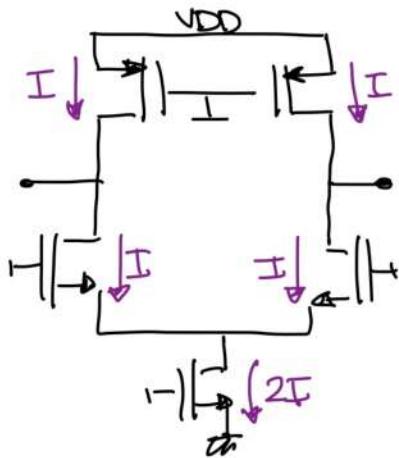
### Fully Differential



Questo è il modo più facile di creare un Fully Differential

Tuttavia noi sappiamo che un circuito passivo c'è problema sul basso.  
Quindi dobbiamo usare un circuito attivo.

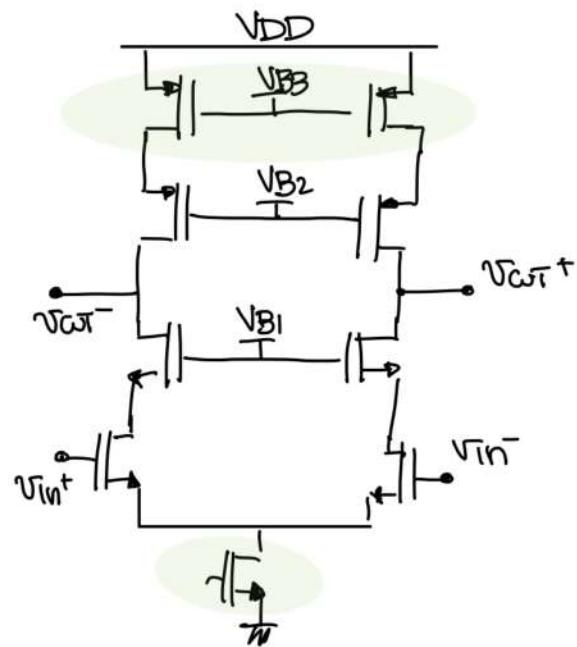
## • Carico Attivo



Nel circuito i fully differential per avere reazione dei disturbi della power supply. (cosa che non avviene nei single ended). Inoltre possiamo avere disturbi di common mode (es. switched capacitor).

Poi i fully differential ci permettono perché possiamo invertire solo gli ingressi.

## Fully differential telescopic cascode:

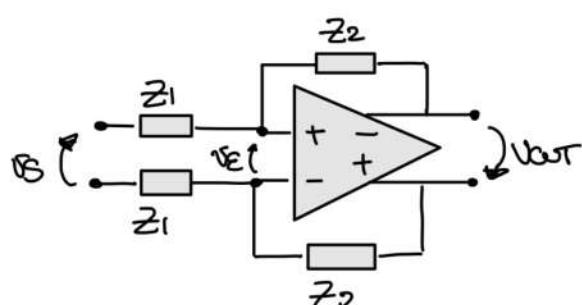


Le correnti tra i mos evidenziate in verde DEVONO essere uguali, altrimenti non funziona una posa.

Ovviamente niente cambia del punto di vista del guadagno rispetto a un single ended.

$$G = g_m \frac{V_D}{2} [2r_{op} \cdot g_m r_{op}] / [2r_{on} \cdot g_m r_{on}]$$

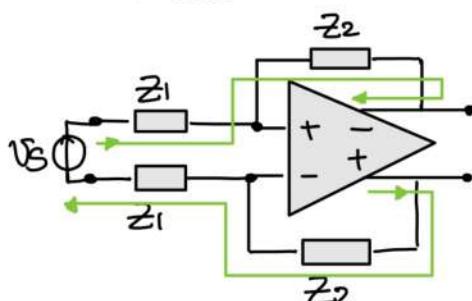
## Come collegiamo un fully differential in feedback?



Il feedback deve essere simmetrico.

La "tensione grand" è tra i pin di ingresso. In questo caso la tensione differenziale è  $\approx 0$ .

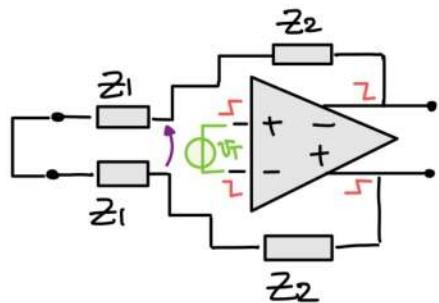
Dato che la tensione differenziale è zero ho che su  $z_1$  passa una corrente  $i = \frac{V_d}{2z_1}$ . Questa corrente può andare solo su  $z_2$ .



$$\text{Allora } V_{out} = \frac{2z_2}{2z_1} v_S \Rightarrow V_{out} = \frac{z_2}{z_1} v_S$$

Perciò il guadagno ideale è uguale a quello di un single ended inverter.

Vogliamo ora vedere il loop gain.



Togliamo l'input e mettiamo un generatore differenziale all'input.

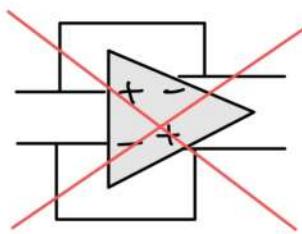
$$\begin{aligned} \text{Loop}(s) &= -\text{Add} \cdot \frac{2Z_1}{2Z_1 + 2Z_2} \\ &= -\text{Add} \cdot \frac{Z_1}{Z_1 + Z_2} \end{aligned}$$

(\* Add guadagno differenziale to differenziale)

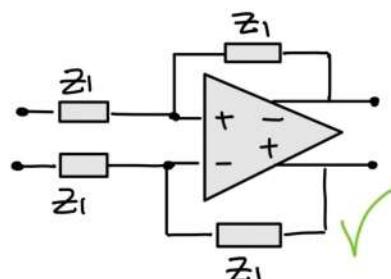
Guardando il circuito noi non abbiamo nessun modo di vedere la common mode. La common mode dell'output non è settata dal circuito ma del Common mode Feedback che è interno all'OPAMP.

La common mode all'input dell'opamp è data dalla somma tra la common mode di output e quella dei generatori di input.

Con un fully differential non possiamo fare un classico buffer ma dovremo usare 2 resistenze uguali

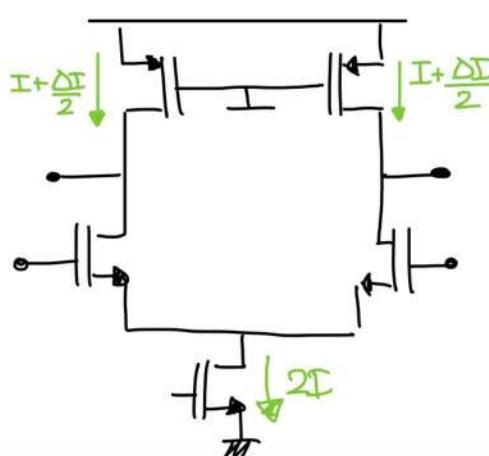


Vediamo che abbiamo l'input connesso diretto all'output



facciamo il buffer in questo modo.

### • Problemi del Fully differential



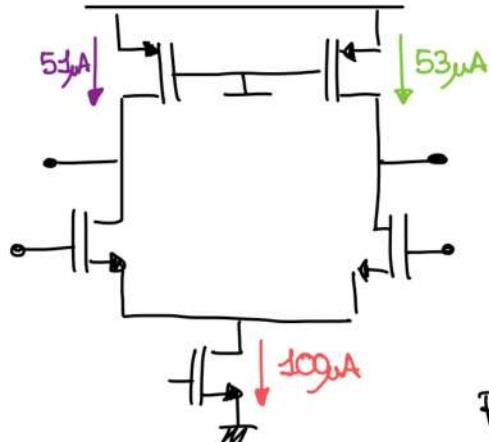
Vediamo che non sappiamo l'output common mode voltage.

MA IL PROBLEMA PRINCIPALE! è che le 2 correnti date dai mos non sono uguali.

Se ho che le 2 correnti sopra sono  $I + \frac{\Delta I}{2}$  e  $I - \frac{\Delta I}{2}$  "non ho problemi" perché il feedback differenziale mi risolve l'imbalance.

TUTTAVIA! Se le 2 correnti sono entrambe  $I + \frac{\Delta I}{2}$ , il feedback differenziale (che è quello che abbiamo noi) non fa niente. Già sarei un feedback di common mode.

Facciamo ora un esempio numerico per dimostrare che comunque noi cadiamo sempre in una di queste 2 condizioni sopra descritte.

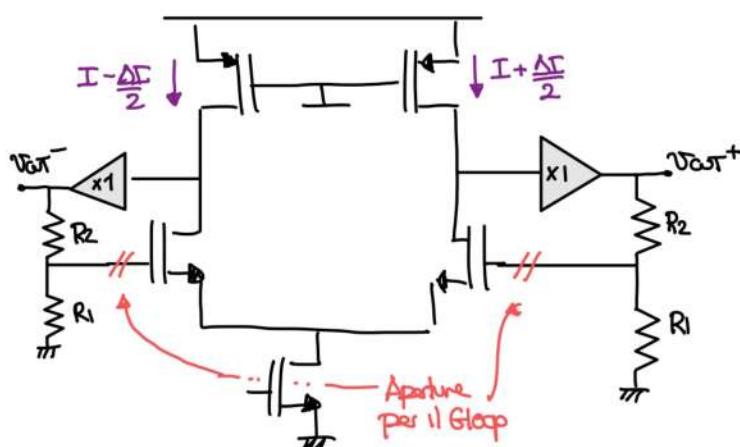


Vediamo che non siamo in nessuna delle 2 condizioni sopra. Ma possiamo sempre ricavare un segnale differenziale e uno di common mode.

50 μA	↓	50 μA	CORRENTE BASE
2 μA	↓	2 μA	CORRENTE DI CM
-4 μA	↑	1 μA	CORRENTE DIFFERENZIALE.

Potremo considerare un errore alla volta.

## Studiamo il feedback differenziale



[Abbiamo aggiunto il buffer per semplificare la vita]

L'output differenziale è (open loop)

$$V_{out,d} = \frac{\Delta I}{g_m} \cdot 2(R_{op}/R_{on})$$

Perciò l'output differenziale a loop chiuso è

$$V_{out,d} = \frac{V_{out,d\text{open}}}{1 - G_{loop}} = \frac{\Delta I \cdot (R_{op}/R_{on})}{1 + \frac{g_m \cdot 2(R_{op}/R_{on}) \cdot R_1}{2} \cdot \frac{R_1}{R_1 + R_2}}$$

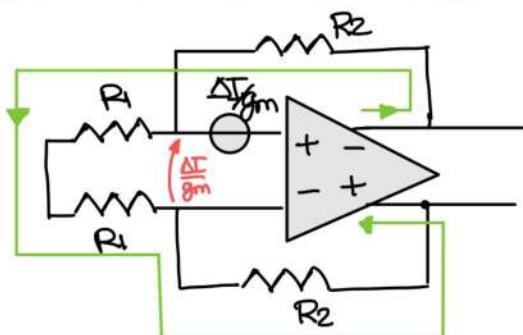
$$= \frac{\Delta I}{g_m} \left( 1 + \frac{R_2}{R_1} \right) \cdot \frac{1}{1 + \frac{1}{|G_{loop}|}}$$

è l'input offset che ci dà l'offset della corrente dei transistori sopra

Formula  
importantissima  
da ricordare per il  
guadagno reale

Vediamo che l'output netto dell'offset differenziale delle correnti viene in parte compensato dal feedback.

Possiamo vedere il tutto come



Allora abbiamo una corrente data da

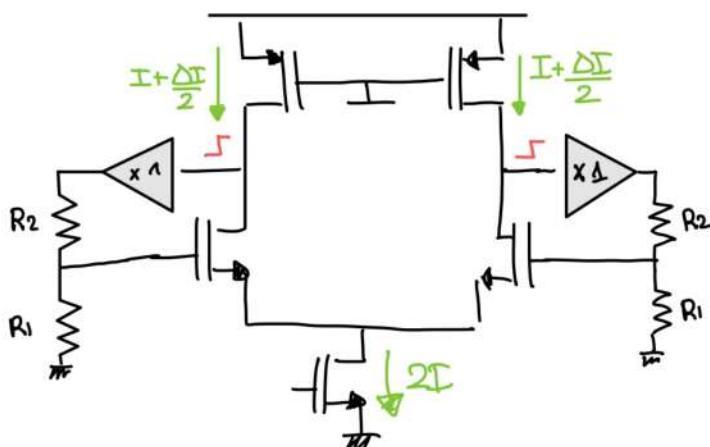
$$I = \frac{\Delta I}{g_m} \cdot \frac{1}{2R_1}$$

$$\text{quindi } V_{out} = \frac{\Delta I}{g_m} \left( 1 + \frac{R_2}{R_1} \right)$$

Che è circa quello che abbiamo ricavato prima.

ATTENZIONE!!!!!! SE IO DEVO CALCOLARE L'OFFSET E HO DELLE CAPACITÀ QUESTE SI CONSIDERANO APerte PERCHÉ L'OFFSET È IN DC

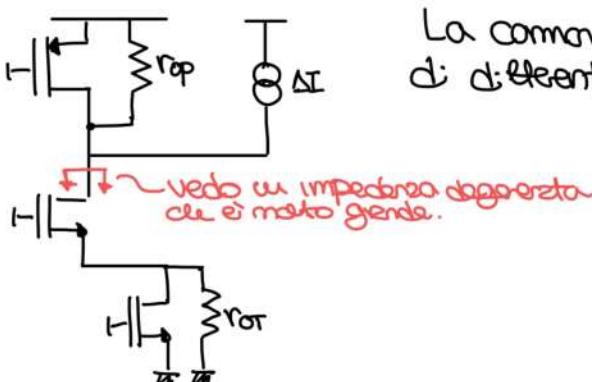
Se abbiammo la common mode gesto non vale, perché la common mode usa il guadagno del common mode o common mode.



Ritacchiamo lo stesso discorso di prima solo usiamo un guadagno diverso.

Vediamo che il feedback è negativo perché cerca di compensare la corrente.

Vediamo metà circuito



La common mode output impedenza è diversa da quella di differential mode

Allora ho uno step di tensione dato dall'extra current piazzato

$$\Delta V_{cm} = \Delta I \cdot r_{fb} / g_m r_{fb} r_{on} \approx \Delta I \cdot r_{fb}$$

Questa tensione partizionata va sui gate dei mos di input.  $V_i = \Delta V_{cm} \cdot \frac{R_1}{R_1 + R_2}$

Più questi mos generano una corrente di modo comune  $I_{cm} = \frac{V_G}{2r_{fb}}$

e questa genera una tensione di circo di opposizione allo step iniziale  $\Delta V = I_{cm} \cdot r_{fb}$

Allora

$$\Delta V_{cm,act} = \Delta I \cdot r_{fb} - \Delta V_{cm} \cdot \frac{R_1}{R_1 + R_2} \cdot \frac{r_{fb}}{2r_{fb}}$$

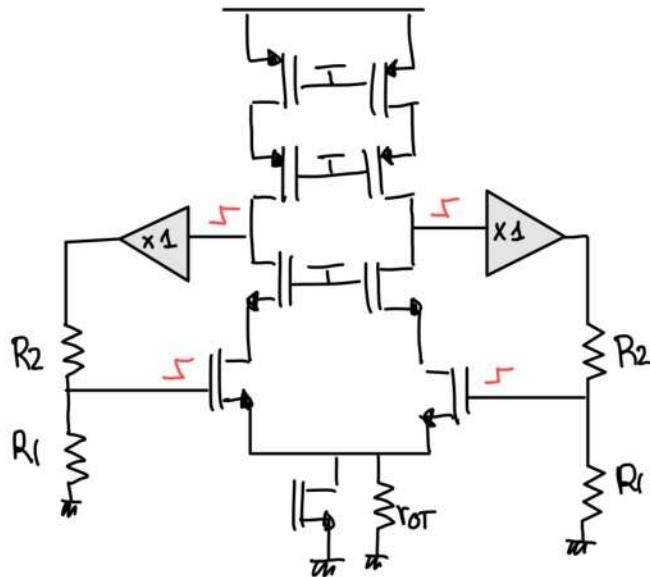
$$= \frac{\Delta I \cdot r_{fb}}{1 + \left( \frac{R_1}{R_1 + R_2} \right) \cdot \frac{r_{fb}}{2r_{fb}}}$$

è equivalente a  
in Gloop solo che c'è molto piccolo [ $< 1$ ]

Vediamo che abbiamo un feedback che cerca di opporsi al segnale di Common mode tuttavia vediamo che il "loop" è molto piccolo perché noi in common mode non riusciamo a muovere abbastanza corrente.

$\Delta I \cdot r_{fb}$  è grande quindi rischiamo di far saturare l'opamp.

## Common Mode error su telescopic cascode



Grazie al common mode (open loop)

$$A_{CM} \approx -\frac{1}{2R_{OT}} \cdot r_{OP}^2 \cdot g_m$$

Vediamo che il guadagno non è più piccolo come prima.  
Tuttavia abbiamo comunque il problema perché  $\Delta I$  non vede più  $r_{OP}$  ma vede  $r_{OP}^2 \cdot g_m$  e allora non cambia una pata e ha sempre il problema.

$$\Delta V_{CM, OUT} = \Delta I \cdot \frac{r_{OP}^2 \cdot g_m}{1 + \frac{g_m r_{OP}^2}{R_{OT}} \cdot \left( \frac{R_1}{R_1 + R_2} \right)} \approx \Delta I R_{OT} \left( 1 + \frac{R_2}{R_1} \right)$$

Rimane tuttavia un rumore grande, possiamo saturare (No Biasso)

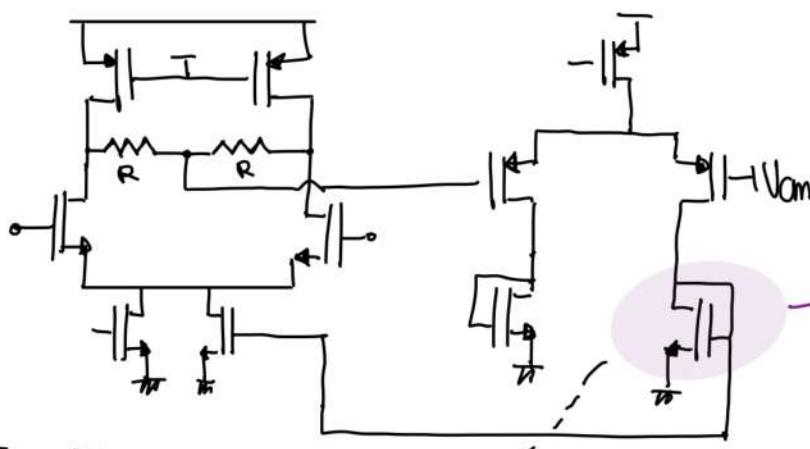
**QUINDI IL FEEDBACK DIFFERENZIALE NON RIESCE A COMPENSARE L'ERRORE DI COMMON MODE.**

Se abbiamo un OPAMP a 2 stadi abbiamo che il loop gain non è più negativo ma è positivo!! forse facciamo una doppia inversore. (questo ci porta altri problemi in più).

04.10.2021

2h

La soluzione è introdurre un common mode feedback. Questo non deve interagire con la differential mode.



Se abbiamo un output differenziale il punto tra le 2 resistenze non si muove  
Se abbiamo un output di common mode il punto si sposta di  $V_{CM}$

Noi non vogliamo un altro problema con la common mode quindi usiamo un circuito passivo.

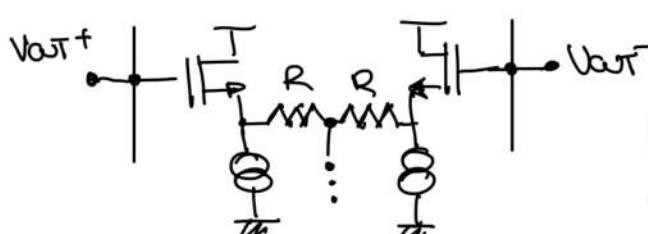
L'output common mode bias del main OPAMP è settato da  $V_{CM}$ .

Credo che debba mettere la  $V_{GS}$  in modo che il transfer di coda del main amplifier finisca esattamente  $2I$ .

Vediamo che tuttavia unico delle resistenze sull'output.  
 Quindi noi riduciamo il gain. Tuttavia non è un grande problema perché posso fare un grande resistore tanto più non passa corrente di bias.  
 (Tuttavia fare resistenze grandi è un po' una menda)

Tuttavia un vantaggio di questa architettura è che è molto lineare perché noi usiamo delle resistenze per fare il sensing.

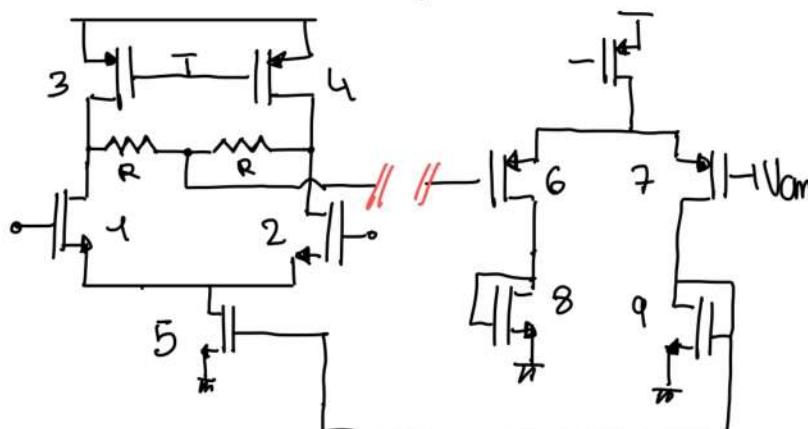
Se non volessi collegare direttamente le resistenze posso usare un buffer



Tuttavia perdiamo in linearità e consumiamo più potenza.

[Perdiamo di linearità perché il segnale differenziale è grande e interagisce.]

Studiamo il Gloop(0) del common mode feedback.



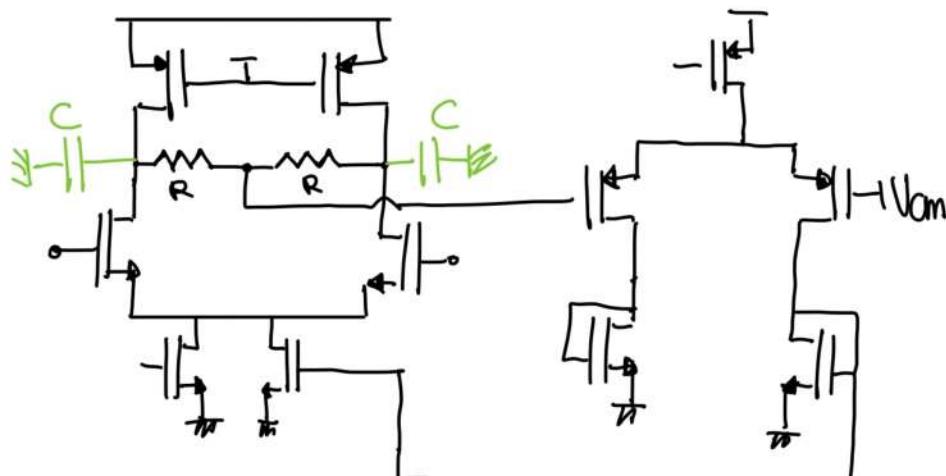
$$Gloop(0) = -\frac{g_{m6}}{2} \cdot \frac{1}{g_{m5}} \cdot g_{m5} \cdot r_{034}$$

(non vedo R perché il segnale è di Common mode)

Vediamo che è un gloop molto maggiore di quello che ricaviamo con il feedback differenziale.

Dobbiamo ora però studiare la stabilità del loop.

Il polo dominante è circa alla stessa frequenza del polo dominante nel loop differenziale (ma non è sempre così, perché il modo d'eff è il modo comune sono 2 cose diverse e non è detto che vedano le stesse impedenze)



la capacità dominante è quella d'output.

- in modo differenziale la pulsazione dominante è

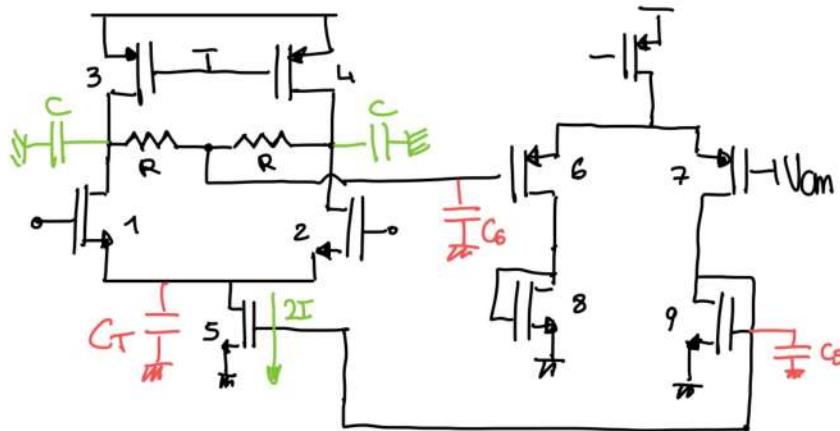
$$\omega_{DOM}^{DH} = \frac{1}{C_o(R//r_{op1}/r_{on})}$$

- in modo comune la pulsazione è

$$\omega_{DOM}^{CM} = \frac{1}{C_o(r_{op1}/g_m r_{on}^2)}$$

Questo perché in CM non vedo R e vedo un degenerato perché non ho + la terra virtuale →

Vediamo che i 2 poli dominanti nei 2 modi sono simili (ma non uguali)



Vediamo che abbiamo 3 capacità extra.

Tipicamente il polo dato da CT entra dentro la banda del loop gain.

Questo polo è a circa

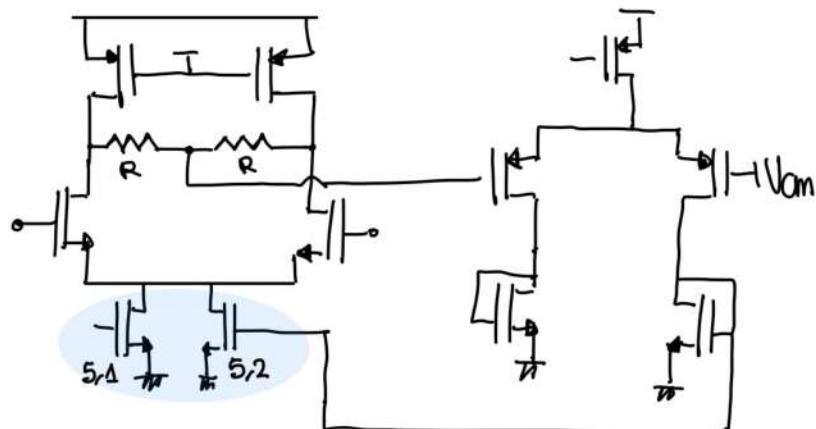
$$\omega = \frac{2g_m}{CT}$$

Non siamo molto stabili.  
Non c'è place stessa.

Vogliamo essere stabili.  
Come facciamo?

Noi possiamo abbassare il guadagno in modo da mettere il 2° polo fuori banda

Come riduciamo il guadagno? Tipicamente usiamo gms.



Noi sappiamo che gms dipende da I e VDS, ma queste non possono variare se sono legate al design dell'amplificatore.

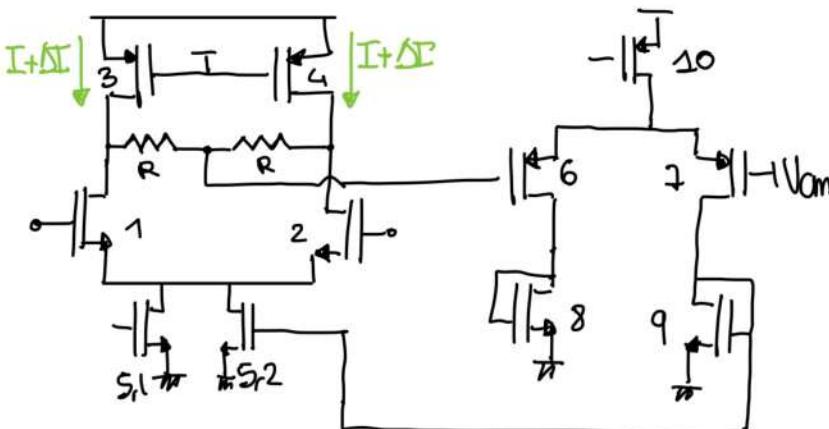
Allora noi possiamo dividere il transistor M5 in 2 così che io possa scegliere la corrente e quindi la gms che mi va bene.

Il lato negativo di questo è che il Gloop è + piccolo quindi perdiamo un po' di accuratezza (ma non ci interessa troppo).

Un'altra capacità che può rompere il crossover è  $C_g$  che vede  $I_{GMS}$ .

Se noi vogliamo consumare meno potenza dobbiamo aumentare o meno corrente il current feedback, tuttavia  $V_{DS}$  è imposto (deve essere uguale al  $V_{BS}$  e quindi è settato dal design del main amplifier) quindi  $I_{GMS}$  va a diminuire e quindi  $I_{GMS}$  aumenta e il polo  $C_g$  arriva a rompere il crossover.

Se lo ho una variazione di common mode della corrente quanto è la variazione della common mode dell'output? (con il current feedback)



$$\Delta V_{\text{cm}} = ?$$

Noi vogliamo la variazione di open loop e dividiamo per  $I_{\text{Gloop}}$ .

Noi non consideriamo l'effetto del gloop per effetto del feedback differenziale.

$$> \text{Variazione di open loop} \quad \Delta V_{\text{cm}} = \Delta I \cdot R_{\text{op34}}$$

Perciò la variazione a circuito chiuso è:

$$\Delta V_{\text{cm}} = \frac{\Delta I \cdot R_{\text{op34}}}{1 + \frac{g_{m6}}{2} \cdot \frac{1}{g_{mg}} \cdot \frac{g_{m52}}{2} \cdot R_{\text{op34}}} \approx \frac{\Delta I}{\frac{g_{m6}}{g_{mg}} \cdot \frac{1}{4} \cdot g_{m52}}$$

Vediamo che alla fine è  $g_{ms}$  che controlla la corrente.

**SIDE EFFECT DEL CM FEEDBACK:** (NON È IL MOTIVO PER CUI FACCIAMO IL CM FEEDBACK!!!!)

Grazie al CM feedback noi riduciamo il guadagno da CM a CM.

Vediamo quanto è il guadagno da CM to CM

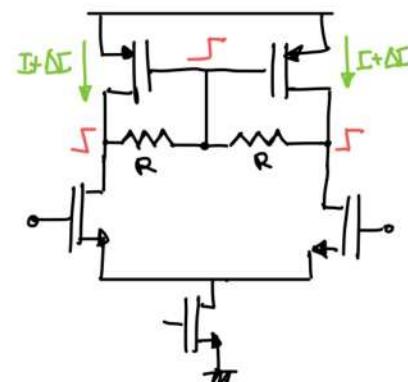
$$V_{\text{outcm}} = \frac{-\frac{V_{\text{inom}}}{2} \cdot R_{\text{op34}}}{1 + \frac{g_{m6}}{g_{mg}} \cdot \frac{1}{4} \cdot g_{m52} \cdot R_{\text{op34}}} \rightarrow \frac{V_{\text{outcm}}}{V_{\text{inom}}} \approx -\frac{1}{g_{m52} \cdot R_{\text{op34}} \cdot \frac{g_{m6}}{g_{mg}} \cdot \frac{1}{2}}$$

**RICORDA!!** Noi facciamo il CM Feedback per i bis!!! **IMPORTANTE !!!**

Tramite il CM Feedback riusciamo a migliorare anche la CMRR (attenzione però che la CMRR si vanta tra  $G_{d1,2}$  e  $G_{m1,2}$ !!!)

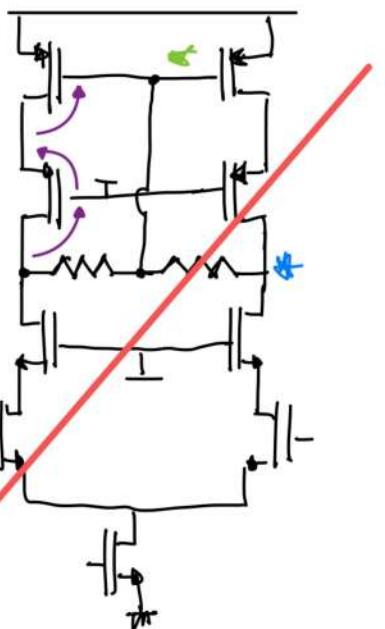
Tuttavia per un circuito così facile per creare un CM feedback. Infatti oltre a controllare il 1° transistor possono controllare anche i 2 top transistor, non cambia niente.

Allora vediamo che se abbiamo un  $I+ΔI$  che aumenta e quindi noi ricongiungiamo i segnali tra le 2 R direttamente ai gate dei 2 transistor.



$$\text{il guadagno d'eterenziale è } \text{Add} = \frac{g_{m1}}{2} \cdot [2r_{op34} // 2r_{o1,2} // 2R]$$

Ovviamente non posso usare questo circuito in un telescopic cascade



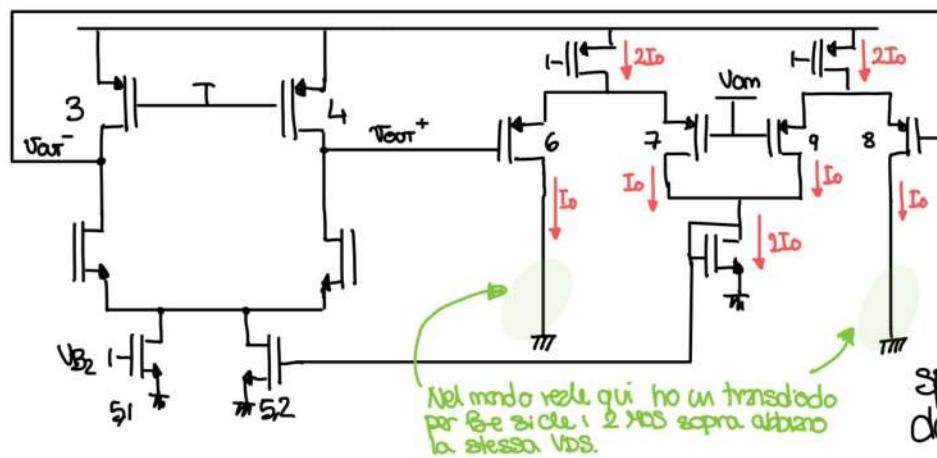
Vediamo che non possiamo usarlo!! abbiamo problemi di bias perché questo livello è diverso da questo livello e quindi non va una pata.

Inoltre poi non possiamo collegare le  $2R$  direttamente dovranno usare un buffer altrimenti doveremo usare il gain.

05.10.2022

3h

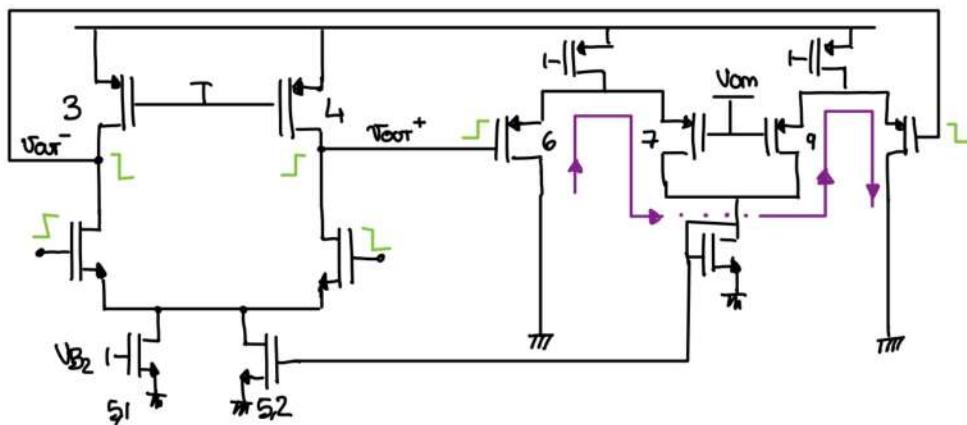
## Topologie CM Feedback



Non ho + un load resistivo, ma ho un load capacitivo (dato dalla Cas del mos)  
Quindi non ho effetti sul Guadagno in continua ma ho effetti sul QBW.

Non è detto che per forza debba dividere il tal transistor. Dipende da dove sono i poli.

Vediamo se un segnale d'eterenziale intragigante o no con il CM Feedback

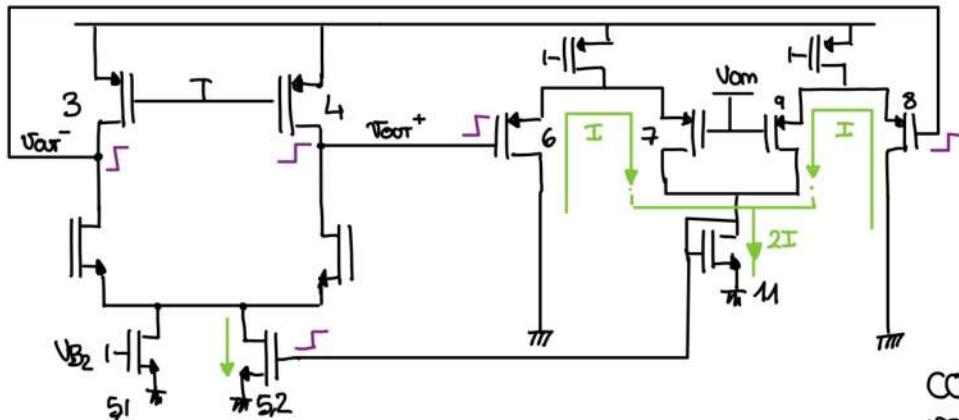


Noi usiamo l'approx di piccolo segnale  
(anche se con il CM Feedback è un po' una forzatura)

Vediamo che il segnale d'eterenziale non ha effetto sul transistore e quindi sulla comon mode.

Vediamo che le 2 piazze d'eterenziali sono comandate con un unico segnale che si muove e l'altro fissa. Quindi comandiamo il pazio d'eterenziale con una comon mode.

Analizziamo cosa succede con una common mode



Se  $G_{loop} \rightarrow \infty$  mi aspetto che l'out vada esattamente a  $V_{om}$ .

Abbiamo visto che il loop è negativo. Se usiamo un 2 stadi abbiamo da collegare insieme gli 2 altri 2 rami con un trasduttore e usare quelli.

Calcoliamo il Gloop

$$G_{loop}(0) = -\frac{g_{m68}}{2} \cdot 2 \cdot \frac{1}{g_{m11}} \cdot g_{m52} \cdot \frac{1}{2} \cdot R_{op34}$$

Risorsa d'out della common mode

Perciò la corrente di M52 si divide in 2.

Dato un errore di corrente di common mode, quanto vale il valore di Common mode?

$$\Delta V_{om} = \frac{\Delta I \cdot R_{outom}}{1 + \frac{g_{m68} \cdot \frac{1}{2} \cdot g_{m52} R_{outom}}{g_{m11} \cdot \frac{1}{2}}} \approx \frac{\Delta I}{\frac{g_{m6} \cdot \frac{1}{2} \cdot g_{m52}}{g_{m11} \cdot \frac{1}{2}}}$$

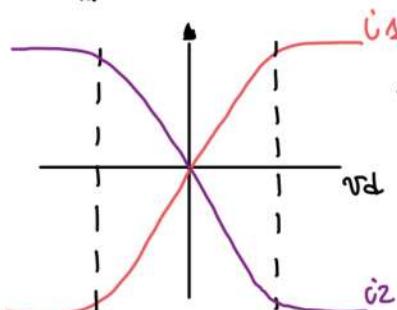
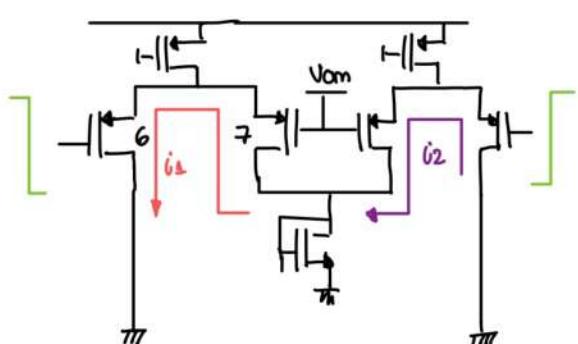
Gloop

### PROBLEMA DI QUESTA TECNOLOGIA

Prima abbiamo detto che comandando i 2 paia differenziali con un segnale che è molto grande (non è tanto piccolo segnale) poi abbiamo zocle del comandamento con una common mode.

Comandando con così grandi segnali noi spingiamo verso la non linearità della corrente.

TUTTAVIA questo non è un grande problema perché il secondo paio differenziale si comporta ugualmente quindi le 2 correnti si compensano

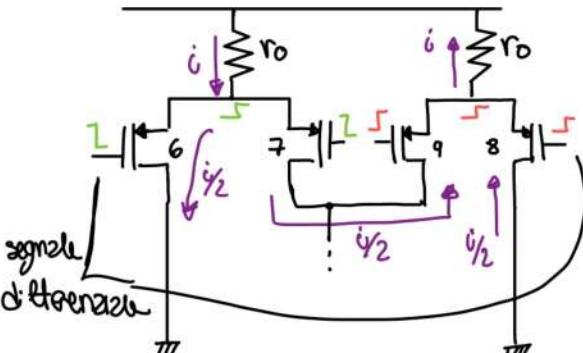


Andamento delle correnti nei 2 paia differenziali. Vediamo che zocle nei punti non lineari le correnti sono uguali e opposte quindi top.

Non non vogliamo saturare lo stadio di differenziale perciò vogliamo  $V_{om}$  grande (perciò la saturazione la ha grande in 1° stadio è  $\sqrt{2} V_{om}$  volte + grande dell'altro)

Noi vogliamo  $V_{om}$  grande e  $I$  piccolo (per consumare meno potenza) quindi  $g_m$  non sarà grande. Credo che noi non vogliamo saturare perché sennò perdiamo sensibilità dell'input e quindi non riusciamo a compensare + la common mode.

Poi se abbiamo che la V<sub>om</sub> sottata è leggermente diversa da quella d'output abbiamo che le curve degli stadi d'elaborazione non passano più per 0. Questo può creare problemi del 2° ordine.

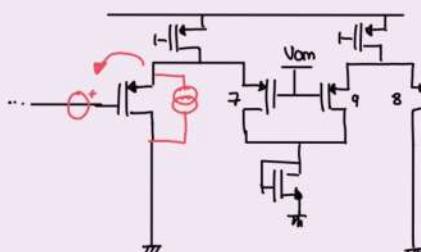


Supponiamo sempre di comandare lo stadio con un segnale d'elaborazione. Tuttavia dato che un lato degli stadi d'el è connesso a V<sub>om</sub> fissa vedo che ho una commode con cui comando i singoli stadi d'el (data della media di V<sub>om</sub> e il segnale) vediamo che questa cui (dati dai segnali d'el) genera una corrente.

Ma vediamo che non è un problema perché le 2 correnti generate sono uguali e opposte e quindi nessuna corrente scorre sul transdiodo.

### PARLIAMO DI RUMORE!

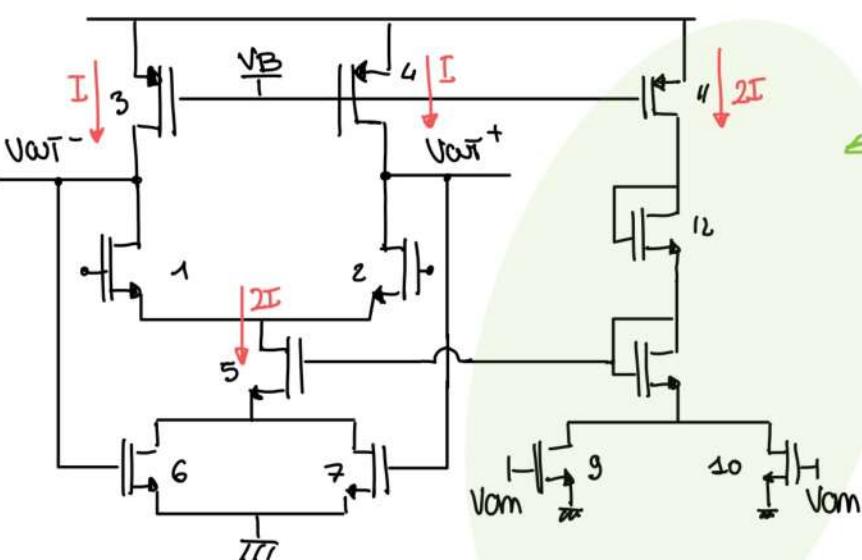
Tipicamente il rumore dei CM feedback non è un problema perché d'solito il rumore è di 0V. (e a noi non ci frega della common mode)



**ATTENZIONE!** Fare questo e dire che ho rumore in + su 1' input è SBAGLIATO!  
Questo perché il gen eq. si calcola all'input del circuito intero e non in mezzo.

### Altra topologia

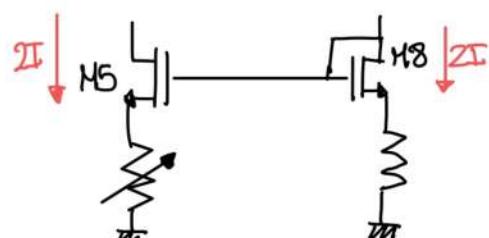
Questa è una topologia che consuma poca corrente ma non è molto efficace.



Struttura dove M6, M7, M9, M10 sono in triodo.

Replica bias

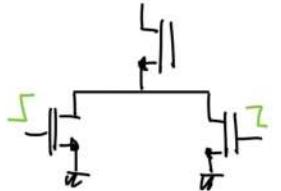
Sono in questa situazione



In pratica abbiamo uno specchio degenerato.

L'idea è che se abbiamo una  $\Delta I$  d'el allora le tensioni d'output seguono e quindi R del mos diminuisce facendo un'imbilanza dello specchio e questo farà sì che M5 tire un po' più corrente.

Nel usiamo 2 MOS per creare un circuito resistore perché abbiamo che si dà dato un segnale d'ingresso R non cambia.



In prima approssimazione la resistenza non varia (non è proprio corretto)

Studiamo l'andamento dei transistori in triodo

$$I = \mu n C_{ox} \left( \frac{W}{L} \right) \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \leftarrow \text{Vediamo che non è rappresentato un resistore. Vale solo se } V_{DS} < V_{GS}.$$



Allora in questa zona abbiamo una conduttrice

$$G = \frac{I}{V_{DS}} = \mu n C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_T)$$

Perciò la resistenza totale sotto H5 è data da

$$R = \frac{1}{\mu n C_{ox} \left( \frac{W}{L} \right)_6 (V_{GS} - V_T)_6 + \mu n C_{ox} \left( \frac{W}{L} \right)_7 (V_{GS} - V_T)_7}$$

Se abbiamo un segnale d'ingresso abbiamo che

$$R = \frac{1}{\mu n C_{ox} \left( \frac{W}{L} \right)_6 (V_{GS} + \Delta V - V_T)_6 + \mu n C_{ox} \left( \frac{W}{L} \right)_7 (V_{GS} - \Delta V - V_T)_7}$$

Non ci piace troppo perché usiamo una formula approssimata

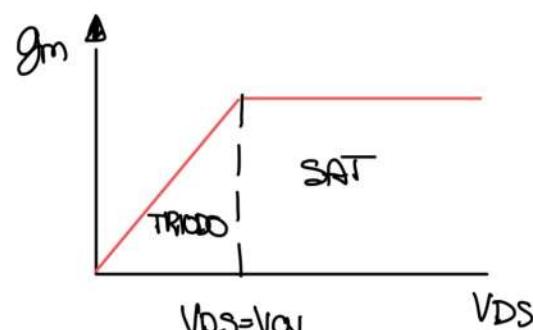
Dobbiamo anche stare attenti a non spegnere completamente uno dei 2 MOS.

Vediamo come calcolare il Gloop di questa topologia (che non è easy). Infatti ora abbiamo i transistori in triodo non più in SAT.

$$I = \mu n C_{ox} \left( \frac{W}{L} \right) \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Definiamo una  $g_m$  in triodo

$$g_m \rightarrow = \frac{\Delta I}{\Delta V_{GS}} = \frac{\Delta I}{\Delta V_{GS}} = \mu n C_{ox} \left( \frac{W}{L} \right) V_{DS}$$



Vediamo che  $g_m$  può prendere di quella in sat. Inoltre abbiamo anche che la corrente è zonale fortemente controllata dalla  $V_{DS}$ .

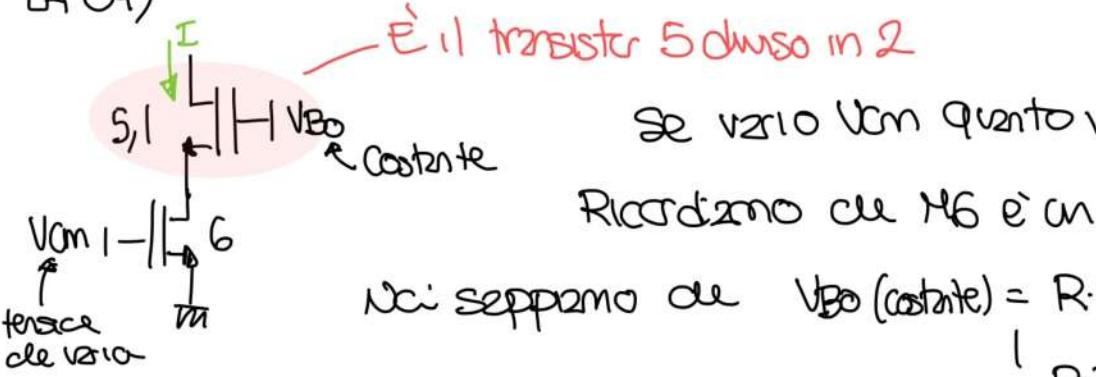
Nel in prima approssimazione possiamo dire che

$$\frac{\Delta V_{GS}}{\Delta I} \approx \frac{1}{g_m}$$

Formula tratta R<sub>on</sub> come se la g<sub>m</sub> fosse quella di un mos in serie:  $\hat{g}_m = g_m / 2$

Cionondimeno vediamo che  $\Delta V_{on} = \Delta I / g_m$  allora noi vorremo g<sub>m</sub> alto, ma non possiamo avere g<sub>m</sub> alto perché siamo in triodo!!

QUESTA MATEMATICA NON E' CORRETTA PERCHÉ SE VARIA I VARIA ANCHE VDS E QUINDI CAMBIA ANCHE LA g<sub>m</sub> A SUA VOLTA  
FACCIAVMO ANALISI COMPUTERATO UTILIZZANDO L'HANF CIRCUIT. (DATO CHE STUDIAMO LA CH)



Ricordiamo che N6 è un resistore!!

Nel seppiamo che  $V_{BD}$  (costante) =  $R \cdot I + V_{AS,5d}$

$$= R \cdot I + V_T + \sqrt{\frac{I}{K\left(\frac{W}{L}\right)_{5d}}}$$

Dove  $K = \frac{1}{2} \mu C_{ox}$

Allora nel vogliamo ricavare dI in funzione di dR, allora

$$(dI) \cdot R + I(dR) + \frac{1}{2\sqrt{K\left(\frac{W}{L}\right)_{5d}} \cdot \sqrt{I}} dI = 0$$

$= \frac{1}{g_{m,5d}}$

Allora

$$dI = \frac{-dR}{R + \frac{1}{g_{m,5d}}} \cdot I$$

Ricordando che

$$dR = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right)_6 (V_{AS} - V_T)_6}$$

$$\Delta V_{on,6} = \Delta V_{AS}$$

$$= -R \frac{\Delta V_{on,6}}{(V_{AS} - V_T)_6}$$

Variazione relativa della resistenza di vario di  $\Delta V_{on}$ .

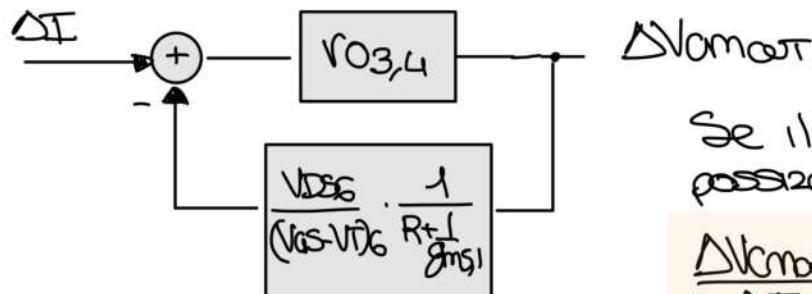
Ri mettiamo questa eq in quella precedente e otteniamo il collegamento tra  $\Delta I$  e  $\Delta V_{on}$ .

Quindi:

$$dI = \frac{I \cdot R}{R + \frac{1}{g_{m,5d}}} \cdot \frac{\Delta V_{on,6}}{(V_{AS} - V_T)_6} = \frac{V_{DS6}}{(V_{AS} - V_T)_6} \cdot \frac{dV_{on,6}}{R + \frac{1}{g_{m,5d}}}$$

Vediamo che il sistema non è molto sensibile se  $V_{DS6}$  è piccolo

Quando abbiamo una corrente extra posso vedere il tutto così.



Se il Gloop è grande abbastanza possiamo dire che

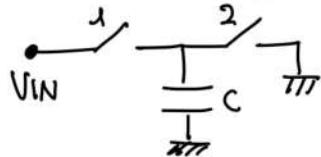
$$\frac{\Delta V_{fbout}}{\Delta I} \approx \left( R + \frac{1}{g_{mS1}} \right) \frac{(V_{GS} - V_T)_6}{V_{DS6}}$$

10.10.2022

3h

### Switched capacitors common mode feedback.

è un sistema di feedback di funzione estremamente bassa (ma è complesso)



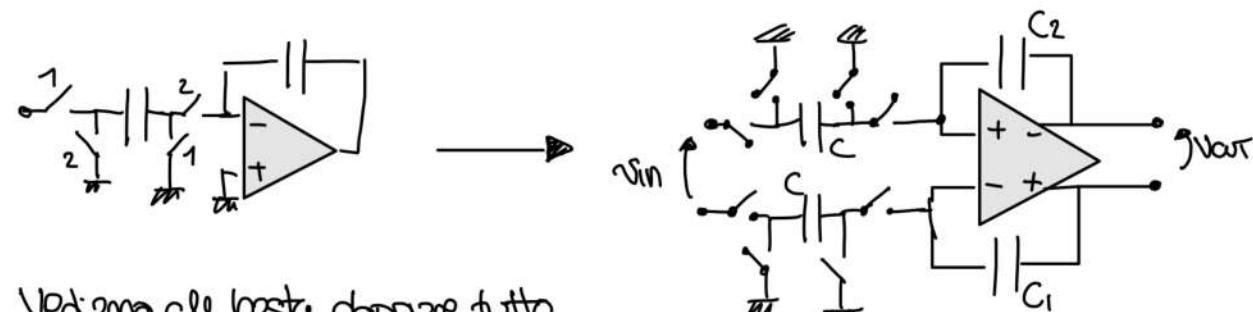
Ma la corrente e la tensione di cui condensatore non sono in quadratura? Quindi come facciamo a fare un resistore?

Se noi supponiamo frequenza di campionamento >> d-

della del segnale, allora noi possiamo dire che abbiamo fatto un sampling della tensione e quindi abbiamo preso della carica ed è quindi presente una corrente media.

Creiamo quindi un resistore equivalente (Anda in termini di dissipazione, perché andiamo a buttare via carica nel secondo step).

Creiamo un switched cap filter in fully differential

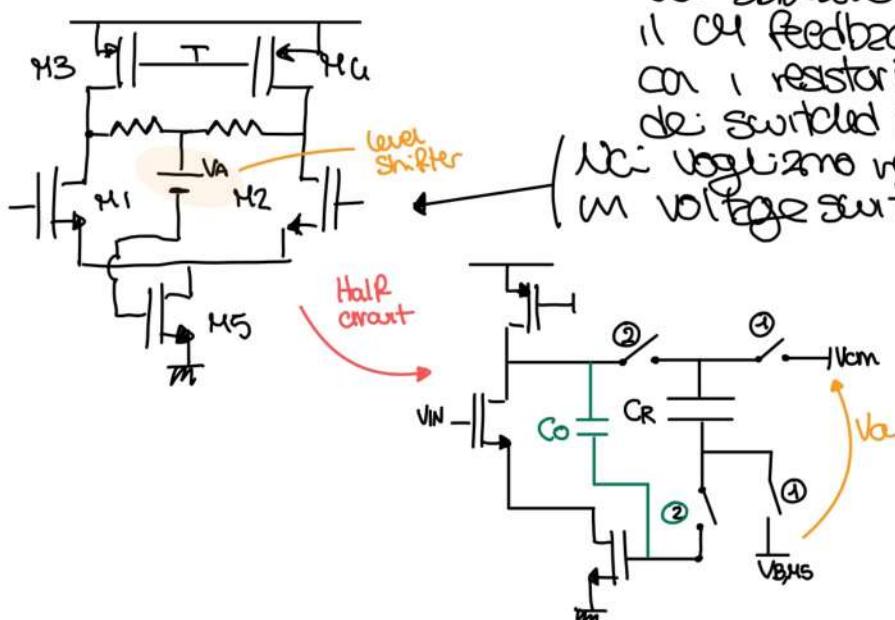


Vediamo che basta doppiare tutto

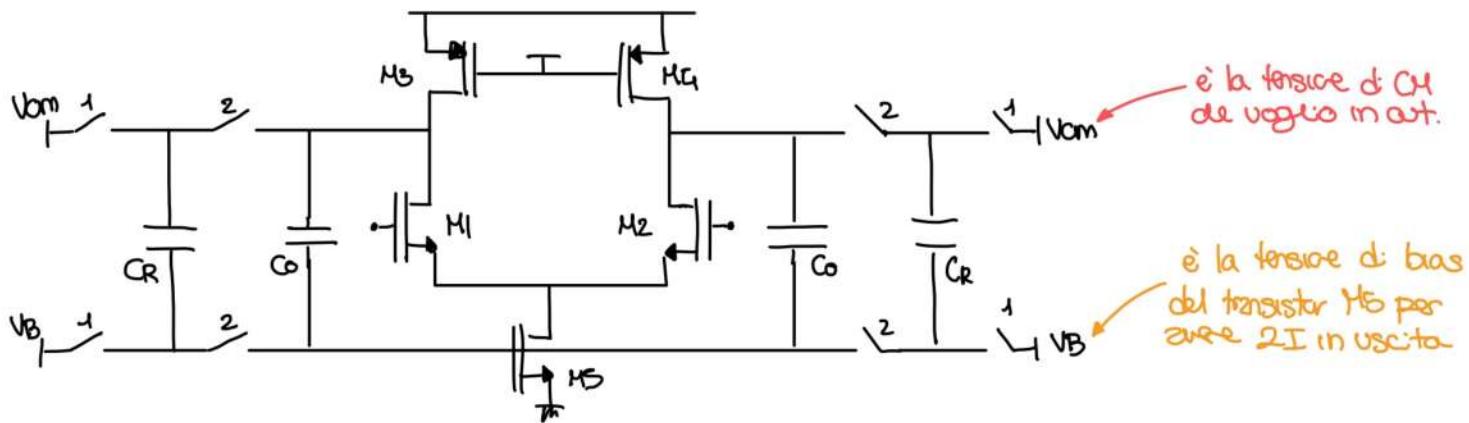
Noi ora realizziamo l'interno del circuito (nello specifico il CM feedback)

Noi abbiamo visto che possiamo fare il CM feedback facendo un sensing con i resistori. Possiamo realizzare questi con dei switched cap.

Noi vogliamo realizzare un resistore con un voltage switch



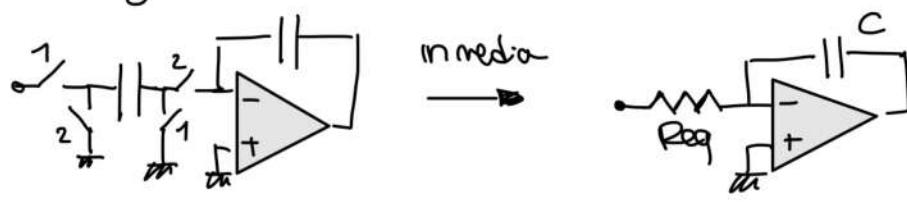
Con la switched cap crea un resistore con un level shifter prima VA (cioè circa la capacità a Vout). C'è una cosa che non c'è pace. Quando ① chiuso e ② aperto l'output è fluttuante. Allora noi tipicamente collegiamo una Co per non farla fluttuare.



Questo circuito viene molto usato (se ho già un swift cap circuit) perché il sensing è estremamente lineare (niente più di avere solo resistenze)

Un vantaggio di questo circuito è che non c'è DC load (WHAT!?) ma non faccio delle resistenze con i swift cap???

Nella realtà quando abbiamo un sistema di questo tipo abbiamo in media un integratore



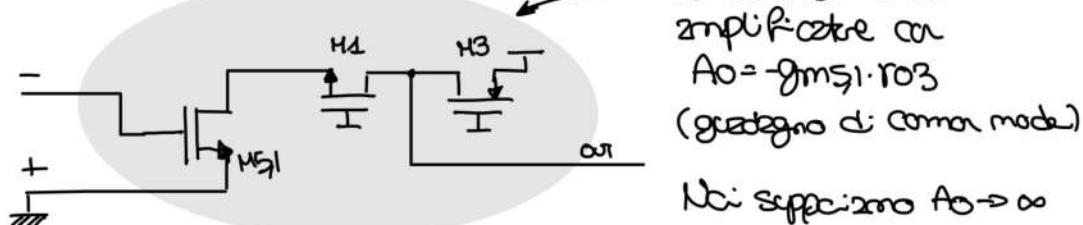
Ma quando studiamo la stabilità ecc del circuito noi usiamo il circuito vero non quello med' (questo perché il circuito è tempo variante)

Perciò de facto noi non facciamo un DC loading dell'output e quindi non rovinaamo il Guadagno in DC dell'OPAMP.

Ma dato un errore di common mode della corrente quanto è la variazione della CM voltage di uscita?

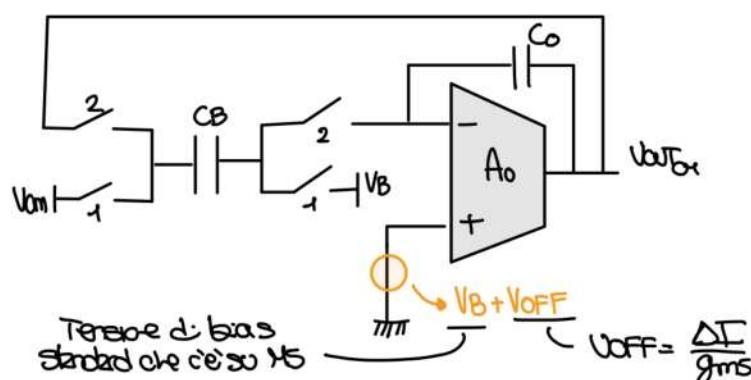
E' molto complesso dobbiamo fare delle assunzioni (es gain alto)

Per l'analisi noi usiamo sempre l'half circuit model (leggermente modificato [e' solo ribaltato])



Lo vedo come un amplificatore con  
 $A_0 = -g_{m51} \cdot R_2$   
 (guadagno d' common mode)  
 Noi supponiamo  $A_0 \rightarrow \infty$

Dato che io ho un errore di corrente prima a  $\Delta I$  posso vedere un "equivalente offset in ingresso" pari a  $V_{OFF} = \Delta I / g_{ms}$   
 Perciò posso vedere il tutto come



Reintroducendo adesso il modello del circuito considerando anche l'offset.

$$V_{OFF} = \frac{\Delta I}{g_{ms}}$$

Non sappiamo che la carica totale della fase 1 deve essere uguale alla carica totale in fase 2.

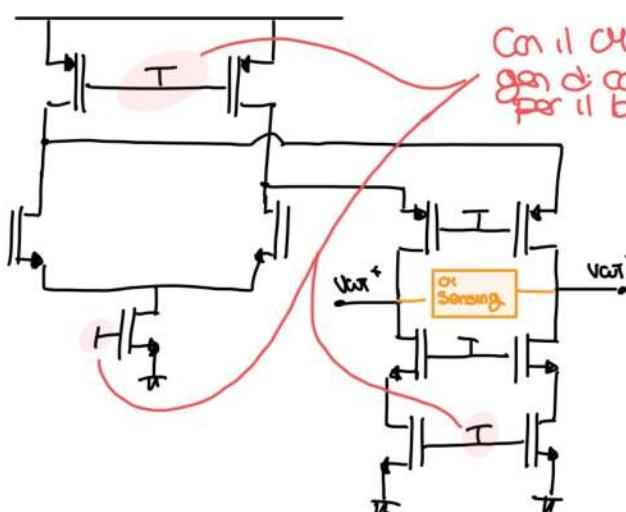
$$\text{Carica fase 1 : } (V_{O1} - V_B)C_R + (V_{OUT,1} - (V_B + V_{OFF})) \cdot C_O$$

$$\text{Carica fase 2 : } (C_R + C_O)(V_{OUT,2} - V_B - V_{OFF})$$

Ugualando le 2 otteniamo che

$$V_{OUT,1} = V_{O1} + V_{OFF} \quad \frac{SI}{8m}$$

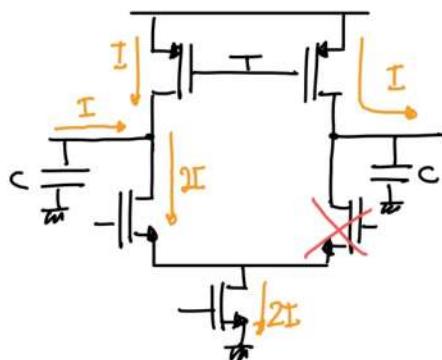
Esempio d'OL Feedback con folded cascode



Con il CM sensing posso controllare uno qualsiasi di questi 3 gen di corrente. Non altri poti perché gli altri poti sono solo per il bias.

Facciamo adesso una discussione sullo slew rate.  
Innanzitutto lo slew rate è simmetrico.  
In prima approssimazione poi lo slew rate non è modificato dal OL feedback.

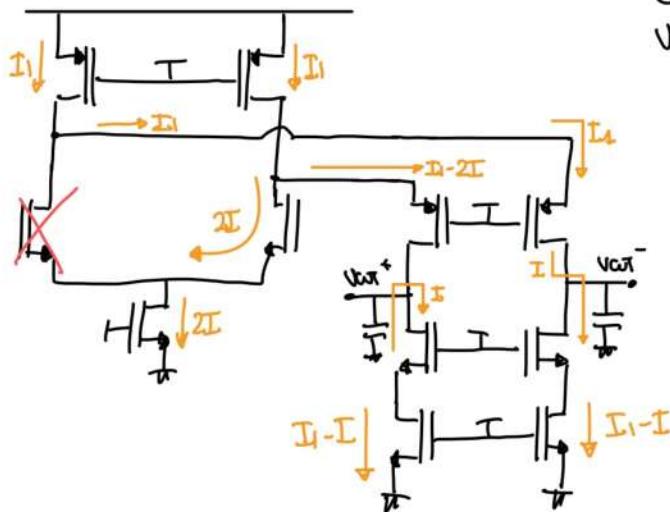
Esempio di slew rate in un semplice fully differential



Per cui entrambi i conduttori vengono caricati da una corrente  $I$  (solo in verso contrario)

Per quanto riguarda lo SR di un folded cascode abbiamo che:

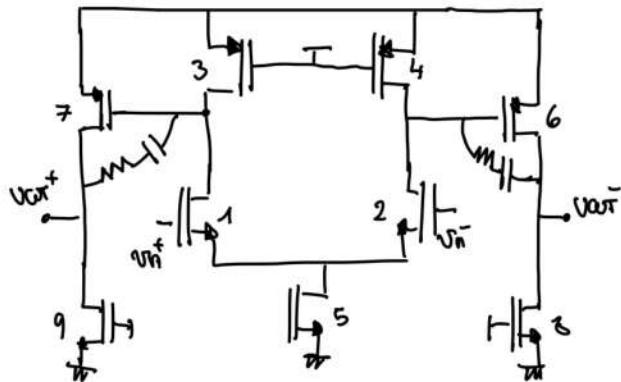
Ovviamente dobbiamo avere che  $I_1 > I$ , ma noi vogliamo anche che  $I_1 > 2I$ .



Ovviamente anche qui lo SR è simmetrico e abbiamo che  $V_{OUT} = \frac{2I}{C}$  (differenziale tra le 2 uscite)

Ma cosa succede se  $I_1 < 2I$ , la soluzione è ancora simmetrica. Non cambia niente ma siamo più lenti perché dobbiamo invertire la polarizzazione del MOS. Non c'è pace, bisogna evitare questo.

## 2 stage fully differential



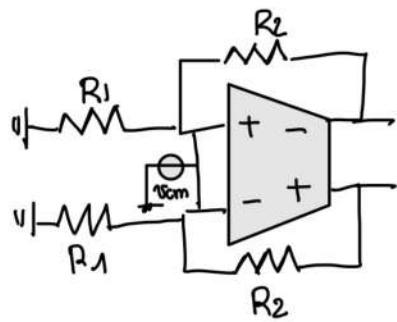
Vediamo subito che abbiamo 2 stadi di uscita, quindi rispetto a un single ended usiamo il 2° della potenza per il 2° stadio.

$$\begin{cases} 2I = I_3 + I_4 \\ I_6 + I_7 = I_9 + I_8 \end{cases}$$

↳ Ci serve per la common mode

Notiamo che abbiamo dei problemi. Abbiamo una doppia inversione e quindi il guadagno da common mode a common mode è > 0.

Supponiamo di correre così:



Allora abbiamo un Gloop parassitico per a

$$G_{\text{loop}}(\omega) = \frac{R_1}{(R_2 + R_1)} \cdot \frac{(V_{03,4})}{(2r_{05})} \cdot g_{m6,7} \cdot (V_{06}/V_{07})$$

Ac-c

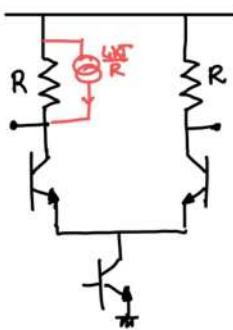
è il Gloop di CM parassita che abbiamo senza CM feedback.  
il problema qui è che il Gloop parassita è positivo. Almeno nell'altro caso era negativo e quindi almeno c'era uno meno. Qui no!

Non ci sono particolari salvietti. C'è l'altro gloop (quello del CM feedback) che gli due dà contro e dà vincere.

11.10.2022

2h

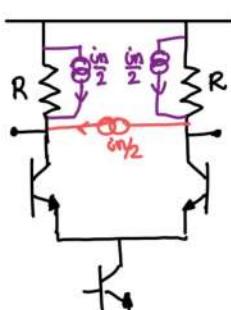
## ESEMPIO



Per calcolare il rumore dell'input possiamo usare l'half circuit (differenziale)

Se noi consideriamo il rumore di un'unica resistenza questo rumore dà come solo un output?

Nella realtà io posso suddividere il generatore di rumore in questo modo.

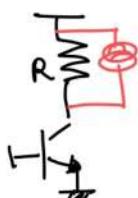


Dato che noi siamo interessati solo all'uscita differenziale (e non quella di CM dato che abbiamo una grande CM)  
Allora

$$V_{out,eff} = \frac{W}{2} \cdot 2R$$

Non consideriamo questi gen perché sono di CM

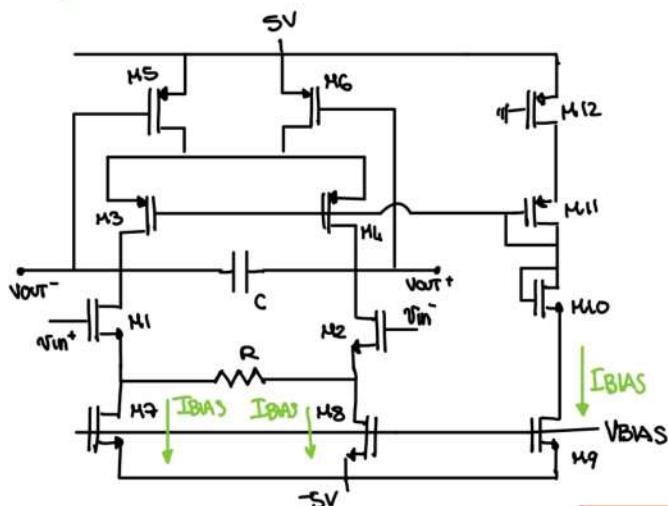
Questo da fatto ci giustifica l'uso dell'half circuit



$$V_{out} = W \cdot R$$

Dobbiamo ricordare che questo è il rumore di un singolo resistore. Ne abbiamo 2 (dobbiamo moltiplicare).

## Esempio di Esame Scritto

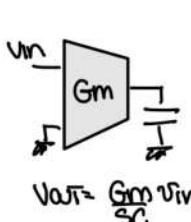


Dati

$$\left(\frac{W}{L}\right)_{7,8} = \left(\frac{W}{L}\right)_9 \quad \left(\frac{W}{L}\right)_{3,5} = \left(\frac{W}{L}\right)_{11}$$

**STARE SUPER ATTENTI CHE IL CONDENSATORE QUANDO SI USA L'HALF CIRCUIT DIVENTA 2C E NON C/2**

Il circuito è un Gm-C filter, possiamo creare un integratore

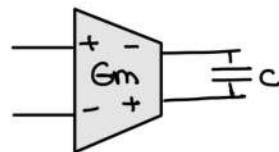


✓ veloce perché non è chiuso in loop

✗ output dipende dal rapporto tra 2 grandezze diverse, devo fare il tuning.

✗ Non è lineare perché è open loop.

Nella retta quello del circuito è fatto così



1) A cosa servono M5, M6? e quanto vale  $(W/L)_{5,6} / (W/L)_{12}$ ? Quanto vale la C4 d'output?

Vediamo subito che abbiamo il CM feedback con i transistor in triodo. Quindi M5, M6 sono in triodo.

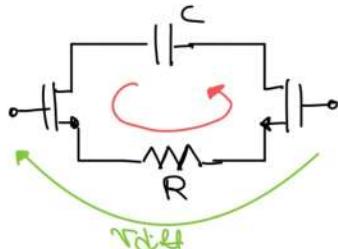
Dato che  $(W/L)_{7,8} = (W/L)_9$  allora ho Ibias anche su 1 2 vpm d'ingresso.

Dato che M12 ha il gate a terra capiamo che Vout+ è a OV (perché il circuito a destra è un replica bias).

Ovviamente poi  $(W/L)_{5,6} = (W/L)_{12}$  deve essere uguale (credo lo debba essere perché gli altri transistor del replica D12s sono uguali a quelli del mio circuito principale)

2) Differential gain (con  $R_o \rightarrow \infty$ )

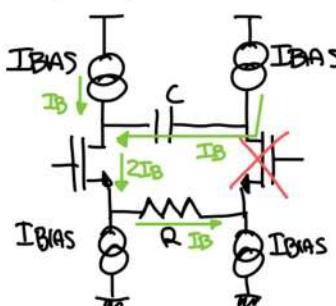
Se noi ci focalizziamo solo sull'input



$$\frac{V_{out}}{V_{inD}} = \frac{1}{\frac{2}{g_m_{12}} + R} \cdot \frac{1}{SC}$$

3) Slew Rate

(Ricordiamo che per fully differential amp noi supponiamo che la CM non abbia effetto)



Quindi:  $SR = \frac{IBIAS}{C}$

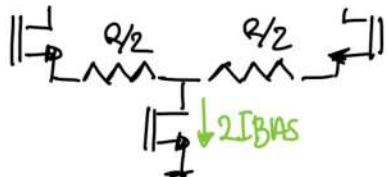
#### 4) Minima Input Common Mode

$$V_{min, \text{input}} = V_{AS1,2} + V_{AV7,8}$$

(credo ci vada anche un -5V per tener conto della alimentazione negativa)

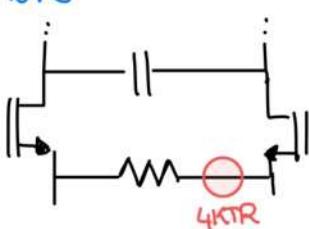
Notiamo che non c'è il drop sulla resistenza (ci pare) questo però abbiano fatto una cold resistance.

Dal punto di vista del piccolo segnale era uguale a fine



Solo da qui erano auto anche la ceduta delle resistenze e quindi la common mode input sarebbe stata più bassa

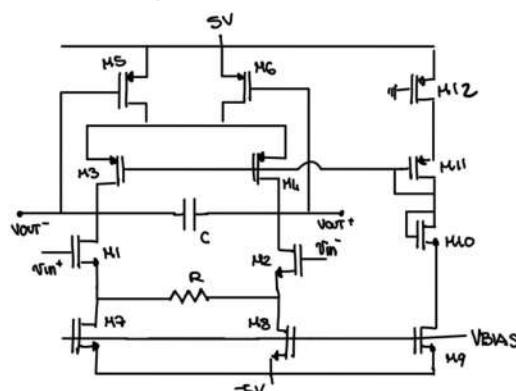
#### 5) Rumore



Analizzando aumentando il rumore della resistenza  
Se ho un gen di tensione lì quello mi crea  
una corrente

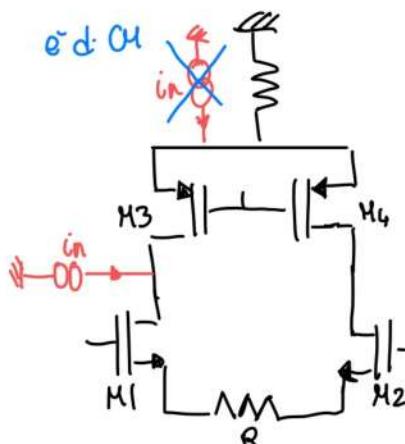
$$\frac{V_n}{\frac{2}{g_m} + R} = i_n$$

Ripetendo il tutto all'ingresso vediamo che il rumore della resistenza è ripartito completamente all'ingresso.

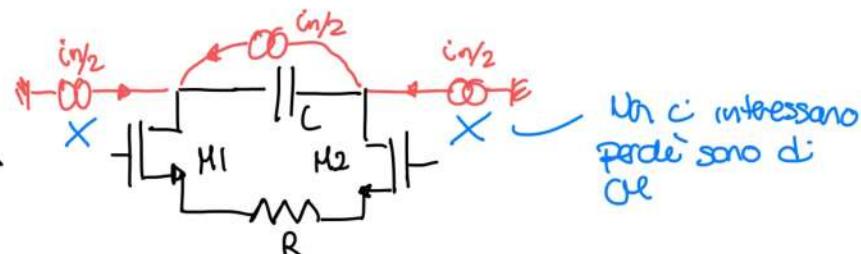


La rete di replica bas non ci interessa per il rumore  
A noi interessano i rumori di M3,4 / M1,2 e M7,8

Analizziamo il rumore di M3 (dividendo il gen di rumore in 2)



Divido il rumore fra O1 e rumore differenziale



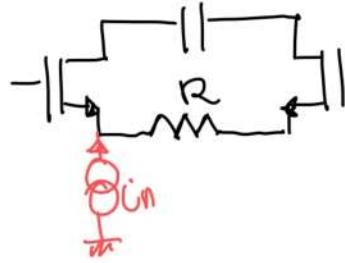
(sto lavoro si poteva fare + easy usando l'half circuit)

$$\text{So poi che } \frac{V_n}{\frac{2}{g_m} + R} = \frac{i_n}{2} \rightarrow \Omega_3^2 = \frac{1}{4} \cdot 4KTRg_m \left( \frac{2}{g_m} + R \right)^2$$

Contributo solo del transistor M3, se volessi anche M4 doppiere questo valore.

Rumore di  $M_7$

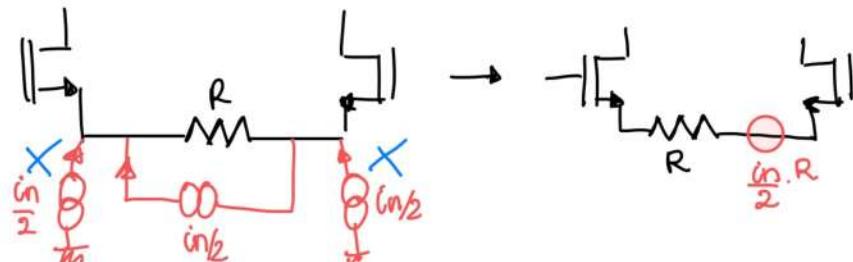
$M_7$  sono i mos della base



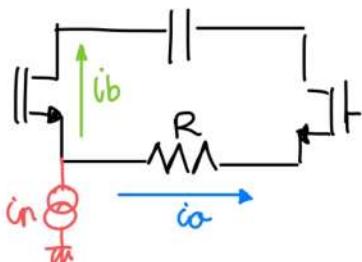
Perché il rumore dato da  $M_7$  risulta essere

$$e_{n1}^2 = \frac{1}{4} \cdot 4K T g_m R^2$$

Facciamo lo stesso lavoro di sopra e dividiamo in rumore di ora e rumore diff.



Un altro modo per trovare la soluzione è: [SECONDO ME PIÙ DIFFICILE DA CAPIRE]



$$\text{dove } i_a = C_n \cdot \frac{1/g_m 2}{R + 2/g_m 2}$$

$$i_b = C_n \cdot \frac{R + 1/g_m 2}{R + 2/g_m 2}$$

Queste correnti vanno a sommarsi sul condensatore

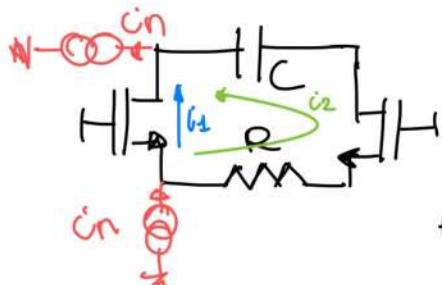


Allora ho una corrente di corona mode e una corrente di flusenze

$$i_{cm} = \frac{i_a + i_b}{2} = \frac{C_n}{2}$$

$$i_d = i_a - i_b$$

• Calcoliamo ora il rumore di s1



$$i_s = C_n \cdot \frac{1/g_m 2}{R + \frac{2}{g_m 2}}$$

(dove è la corrente che scorre sulla capacità)

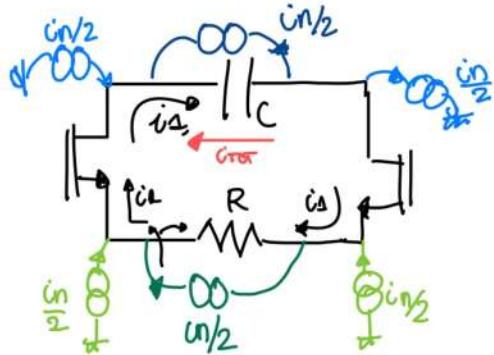
Allora noi seppiamo che

$$\frac{V_n}{R + \frac{2}{g_m 2}} = C_n \cdot \frac{1/g_m 2}{\frac{2}{g_m 2} + R} \rightarrow e_n^2 = 4 K T g_m R \left( \frac{1}{g_m 2} \right)^2$$

Vediamo che il feedback non fa niente.

[IN QUESTO CASO NON ABBIANO DIVISO IL RUMORE IN CH E DIFF. MODE XE' SENSO' ERA + DIFFICILE]

Proviamo a dividere in OI e diff mode e vediamo che cose uscire



A me interessano solo le correnti  
e

Inoltre a me interessa trarre la  $i_{TOT}$  nel verso segnato. Altra la posso trarre secondo

$$i_{TOT} = \frac{i_n}{2} - i_1$$

$$i_{TOT} = \frac{i_n}{2} \left[ 1 - \frac{R}{2g_{m1,2} + R} \right] \rightarrow i_{TOT} = \frac{i_n}{2} \cdot \frac{2g_{m1,2}}{2g_{m1,2} + R}$$

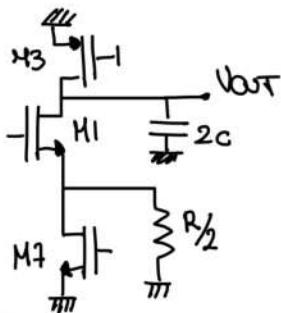
[PRESO NOI VOGLIAMO  $i_{TOT}$  IN QUESTO VERSO PERCHÉ ABBIANO SCETO VOT A SINISTRA E VN A DESTRA]

12.10.2022

3h

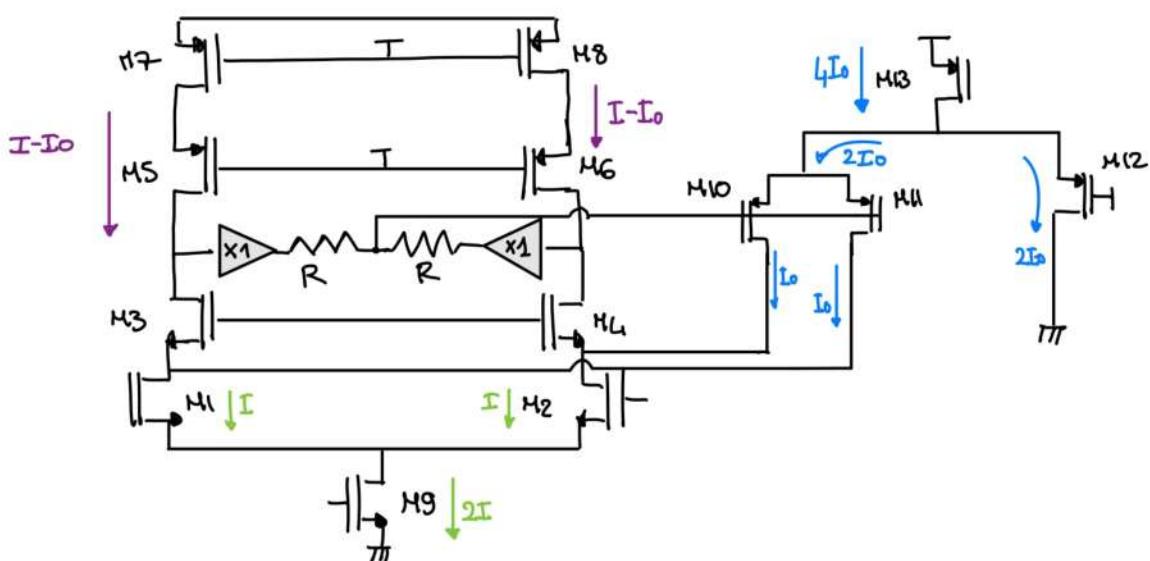
Concludiamo l'esercizio di ieri.

Ricordiamo che noi possiamo considerare solo l'*half circuit*



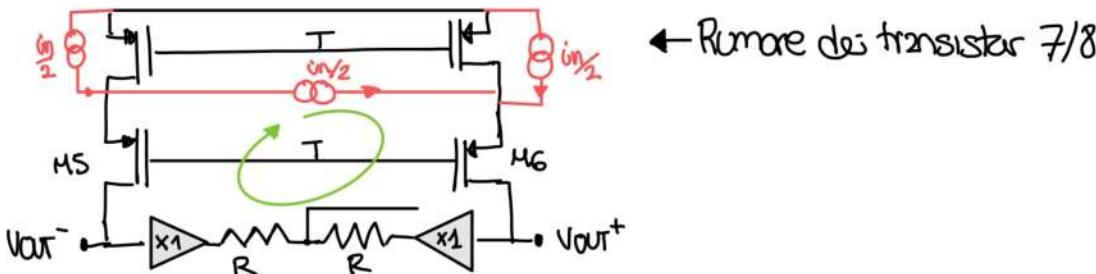
E da questo circuito noi possiamo prendere un elemento e calcolare il ramore.  
Che è più facile di quello che abbiamo fatto ieri.

Telescopic cascade con differential OI Feedback

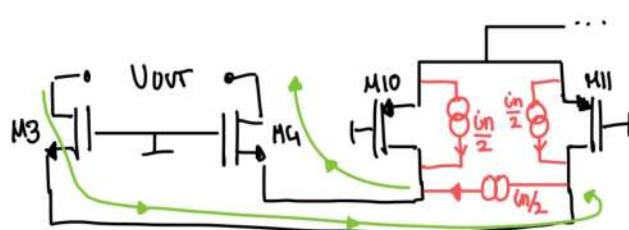


Se abbiamo un segnale di modo comune abbiamo che  $M_{10,11}/M_{11,12}$  si bilancia e il tutto porta + o - corrente.

Quel'è il vantaggio di questa topologia? È che il Common mode loop presenta più alta reggenza rispetto alle altre topologie. Un lato negativo potrebbe essere il rumore dato che in questo caso noi non aggiungiamo su cui punto è il modo comune. Nella realtà aggiungiamo sì rumore ma vedremo che è minimo.



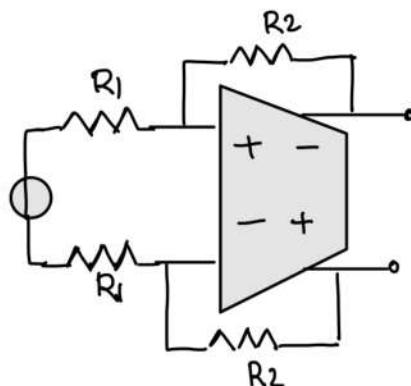
Studiamo ora il contributo del rumore di  $M_{10}/M_{11}$



$$\text{Perciò } \frac{4kT\delta g_m}{4} = \frac{e^2}{2} \left( \frac{g_m V_0}{2} \right)^2$$

E' vero che portano rumore ma nel caso con CM feedback normale  $M_7/M_8$  portano  $I$  e non  $(I-I_0)$  quindi alla fine il rumore è circa comprensibile.

### • Altro esempio

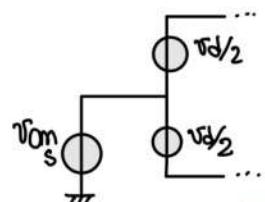


Qual'è l'output common mode?

C'è soltanto interconnessione all'OTA tramite il CM Feedback

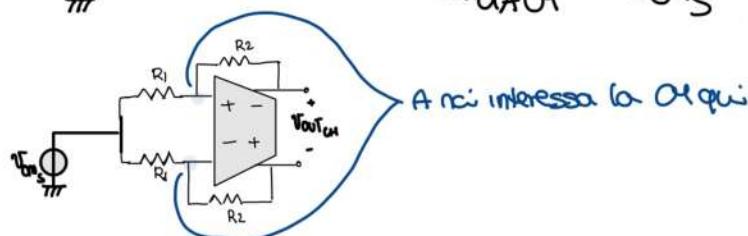
Qual'è la input common mode? (all'input dell'OTA!!!)

Nella realtà l'input generazionale va rappresentato così:

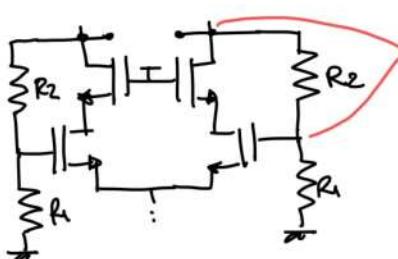


Nel mondo ideale con  $G_{loop} \rightarrow \infty$  abbiamo che la tensioce di input CM all'input dell'OTA è

$$V_{in,OTA} = V_{out_s} \cdot \frac{R_1}{R_1 + R_2} + V_{out,out} \cdot \frac{R_1}{R_1 + R_2} \quad (\text{vale solo per } G_{loop} \rightarrow \infty)$$



A noi interessa la CM qui

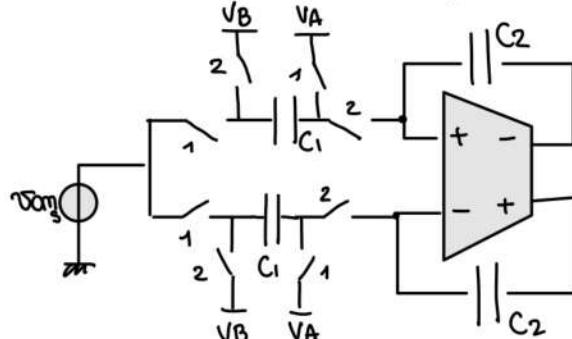


Queste 2 tensioni devono essere diverse se non sono in trodo (??) e se non sono diverse R2 ruba parte di bias e distrugge tutto.

Qui devo aver fatto casino, dovrei fare la somma dei partitori dall'input all'output

Ma cosa succede se al posto d'averne un feedback resistivo lo abbiamo capacitivo?  
(es switch cap?)

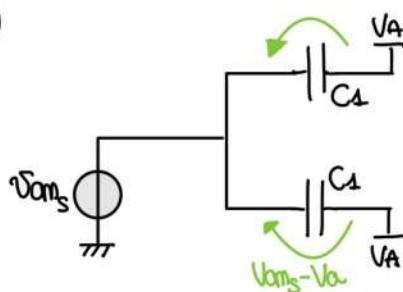
=) Possiamo usare il telescopic cascode



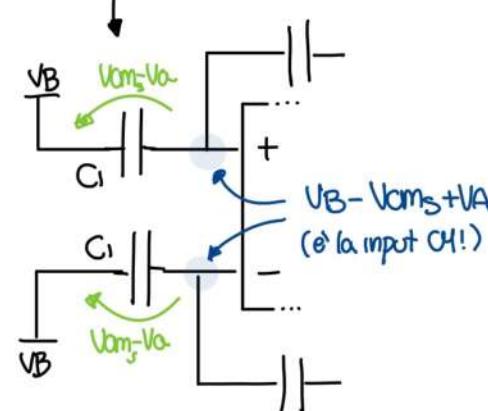
La common mode output è sempre settata dal OR Feedback. Ma quanto vale la C dell'input dell'OTA?  
E più complesso di prima!

Dobbiamo studiare le varie fasi

1



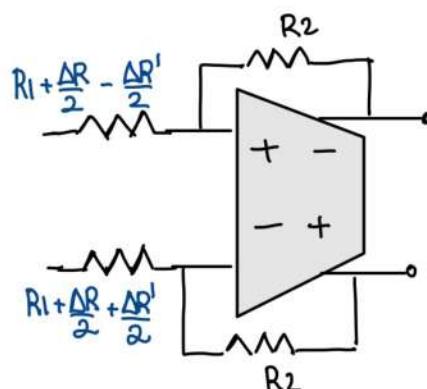
2



In base alla C che voglio scelgo VA e VB.

Idealmente io vorrei  $V_A = V_B = \frac{1}{2}V_D$  così avere un solo tipo di switch. Ma non possiamo (vedo per i limiti di OR input).

Mismatch in fully differential. Supponiamo mismatch d:  $R_1$ .

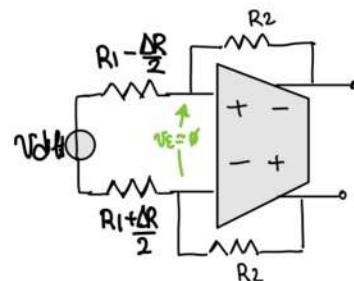


Vediamo il mismatch come un errore di OR e uno di differenziale

Il mismatch di common mode nasce da troppo fastidio.

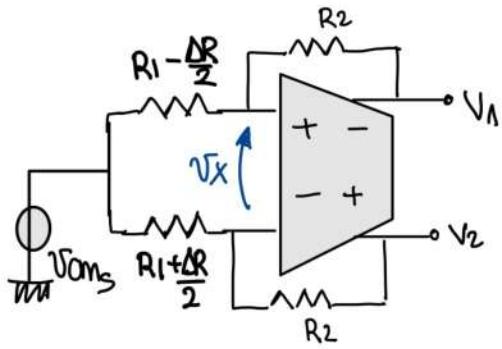
Quello più capacezza è quello differenziale

Supponiamo di mettere un segnale di differenziale agli input e avere  $V_E \rightarrow 0, 2V_{DD}$



Allora vediamo che in primo approssimato il guadagno non cambia perché i 2 mismatch delle resistenze vanno compensandosi.  
(questo perché la resistenza vista agli input è circa uguale)

L'effetto più problematico lo abbiamo quando imponiamo una tensione di Common mode in input.



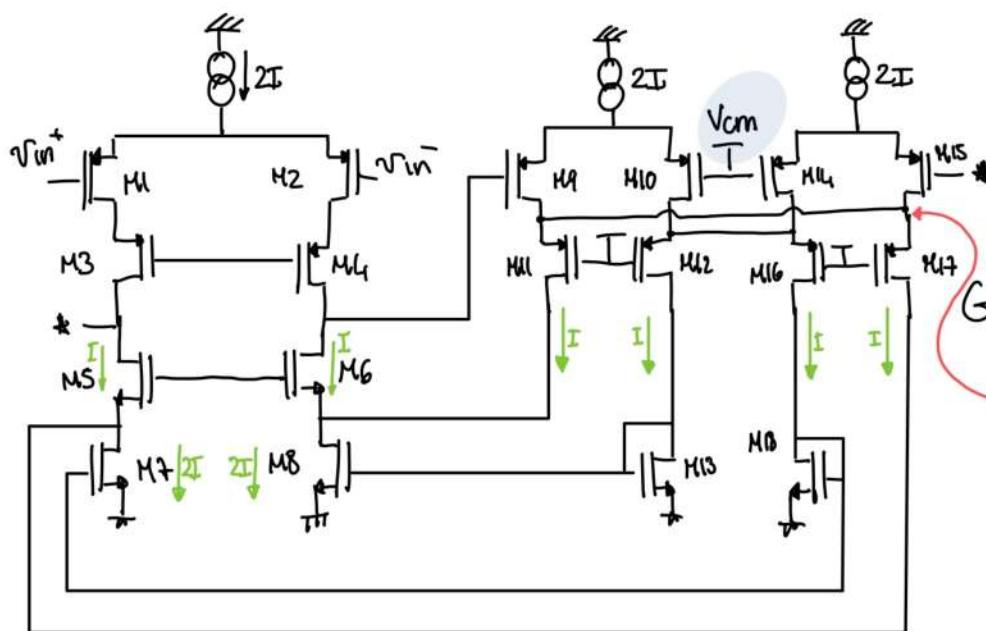
(Non ne sappiamo quanto vale  $V_x$ )

$$\left\{ \begin{array}{l} \frac{V_x - V_{CMs}}{R_1 - \Delta R/2} = \frac{V_1 - V_x}{R_2} \\ \frac{V_x - V_{CMs}}{R + \Delta R/2} = \frac{V_2 - V_x}{R_2} \end{array} \right. \rightarrow \frac{(V_1 - V_2)}{R} \approx V_{CMs} \frac{\Delta R}{(R_1 + R_2) R_1}$$

è l'output differenziale!

Notiamo che dato un mismatch abbiamo una variazione del segnale differenziale.

### Altra topologia common mode feedback

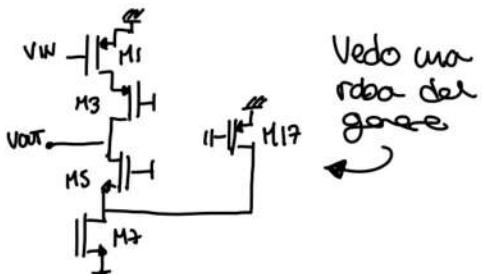


Come si può vedere si ha che  
 $\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_3$

Cosa succede se applico un segnale differenziale?

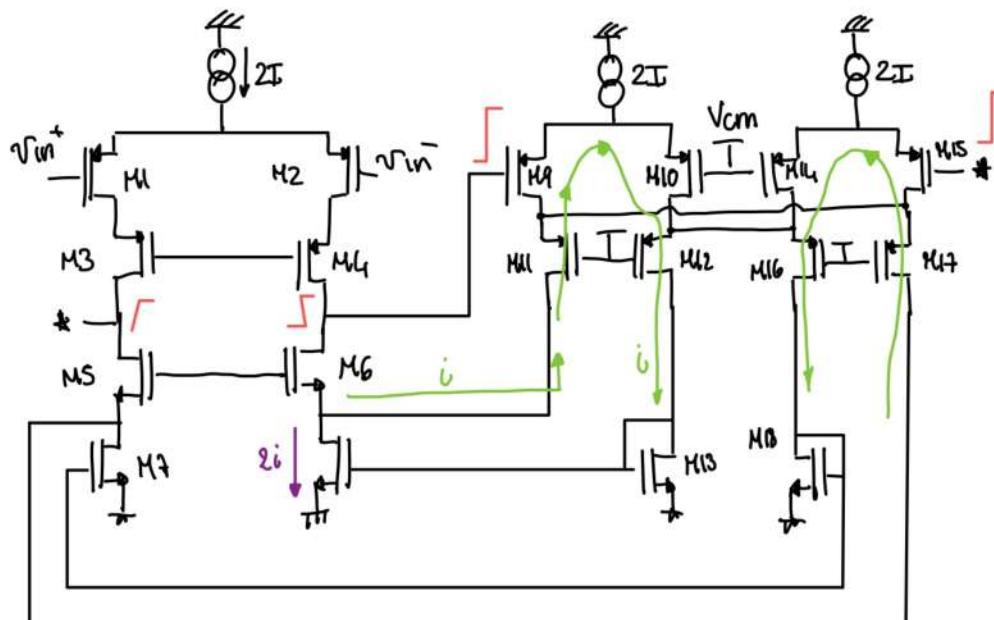
$$G_{DD} = \frac{g_m_{M1,2}}{2} \cdot 2 \cdot \left[ (r_o g_m M_3 M_4) / (V_{DD} / V_{DD} / g_m M_5) \right]$$

Questo poteva accadere per un segnale diretto  
 Nelle è come massa perché non si muove



Non posso togliere i transistori M11 perché sono sotto M6 vedo una terra e quindi perdo il fatto di avere un cascade.

Cosa succede invece se abbilizzo una variazione di common mode?



Pensare a quale sia l'impedenza di common mode.

Calcoliamo il loop gain in DC del Common mode feedback.

$$G_{\text{loop}}(0) = -\frac{g_{m3}}{2} \cdot 3 \cdot R_{\text{out}}$$

$$\text{Dove } R_{\text{out}} \approx 106 \cdot g_{m6} \cdot R_8$$

(Questo perciò il path attraverso il 3 è degenerato)

Perciò la variazione della common mode di uscita è

$$\Delta V_{\text{out}} = \frac{\frac{\Delta I}{2} \cdot R_{\text{out}}}{1 + \frac{3}{2} g_{m9} \cdot R_{\text{out}}} \approx \frac{\Delta I}{3 g_{m9}}$$

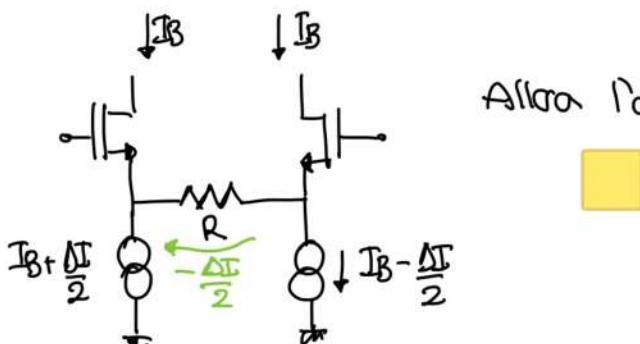
(Non mi è troppo chiaro da dove esce il 3)

Il 3 esce dallo specchio, perché ho che le 2 correnti si vanno a sommare quindi  $2+1=3$

Se vogliamo possiamo anche calcolare i contributi dei rumori.

### Esercizio della sorsa volta

(misura delle correnti)



$$\text{Allora l'offset all'input è } V_{\text{OFF}} = \frac{\Delta I}{2} \cdot R$$

17.10.2022

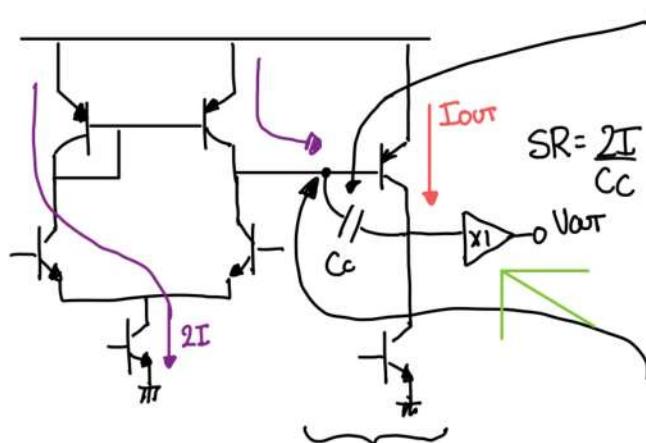
3h

### Bipolar Opamp

Lo Slew Rate si calcola a circuito APERTO! SEMPRE

Prima di tutto abbiamo un'impedenza di input  $\neq$  da  $\infty$ .

Iniziamo parlando dello slew rate. Vi ci sapremo che lo SR è legato al GBWP. ovviamente noi non possiamo avere una rampa di tensione maggiore dello slew rate.

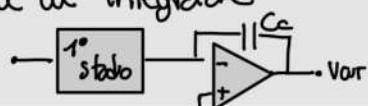


Ricordiamo che mettiamo la capacità di Miller qui in modo da sia amplificata dal guadagno.

Con i bjt i poli sono in caos e molto difficile vedere il pole splitting dato da Miller qui.

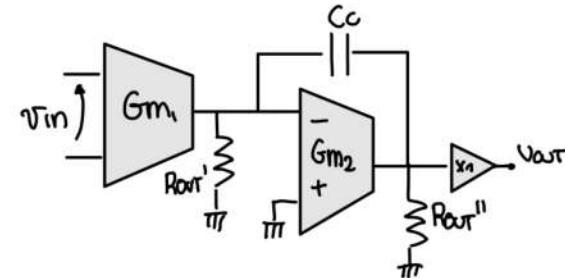
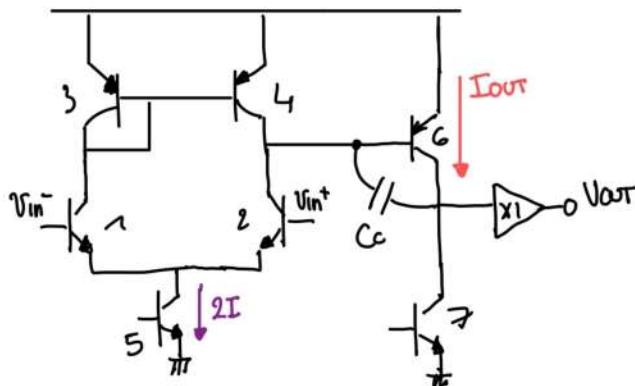
Quando noi calcoliamo lo Slew Rate noi facciamo delle approssimazioni. Infatti noi consideriamo la base del bjt di art come fissa (virtual ground) in modo da poter valutare la rampa d'uscita. Quello così calcolato è il limite ultimo.

essenzialmente il secondo stage con il condensatore di Miller implementa circa un'integrazione



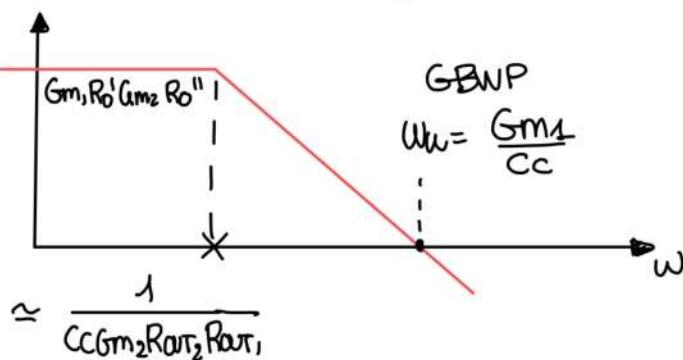
Inoltre un'altra approssimazione che facciamo è quella di non considerare la presenza del feedback (facciamo questo perché nei seppur non "differential pair" circa morto).

Possiamo vedere il circuito come



Vediamo a colpo che  $R_{out}'$  non è grande perché vedo quale l'impedenza della base di 6 che è  $B/g_m$

Adesso studiamo i più detti da Miller (approssimati)



Qui non possiamo scegliere il GBWP come vogliamo perché noi abbiamo delle altre singolarità che devono stare dopo il GBWP.  
(Se l'OPAMP non è general purpose e sappiamo il feedback allora posso avere singolarità in banda)

Vediamo ora che esiste anche un link tra il GBWP (che è un parametro lineare) e lo SR (che non è lineare)

$$SR = \frac{2I}{Gm_1} \omega_w \quad \text{nel nostro specifico caso } Gm_1 = g_{m2} \quad (\text{BJT})$$

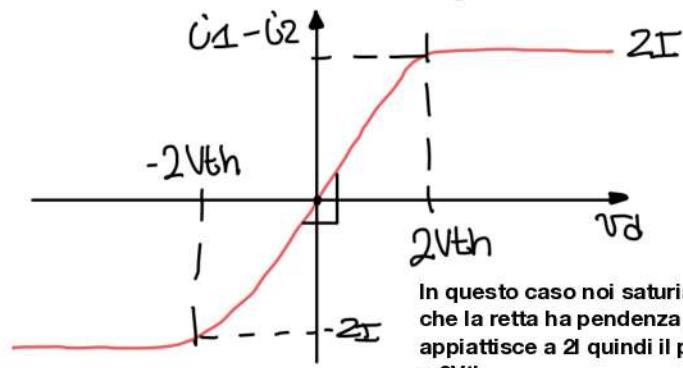
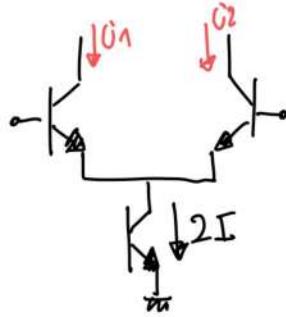
allora (solo per questo caso)  $SR = \frac{2I}{g_{m1}} \omega_w = 2V_{th} \cdot \omega_w$  BJT

Nei MOS ci aspettiamo uno SR migliore perché  $SR = V_{DD} \cdot \omega_w$  che è più grande

Vediamo che noi vorremo ridurre la  $g_m$  per la stessa corrente.  
(ATTENZIONE al rumore e all'offset però)

Vediamo che con i MOS noi possiamo regolare l'andata mentre noi BJT noi non possiamo varia  $V_{th}$ .

Studiamo le caratteristiche tensione corrente degli stati aBJT.

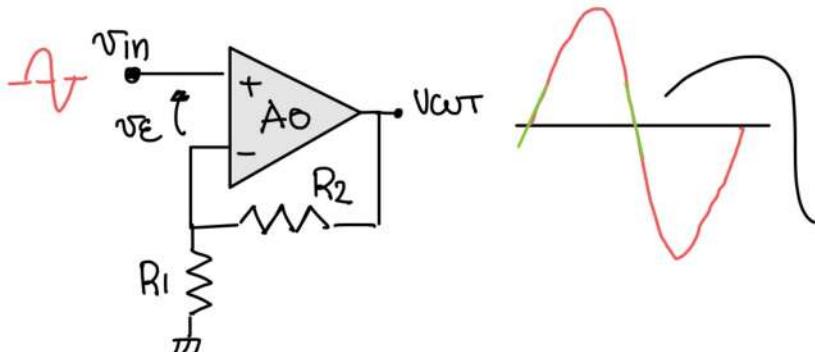


la pendenza attorno allo zero è  $gm_{1,2}$

In questo caso noi saturiamo a  $2V_{th}$  perché abbiamo che la retta ha pendenza  $gm = I_c/V_{th}$  e la curva si appiattisce a  $2I$  quindi il punto d'incontro delle 2 rette è a  $2V_{th}$

A che tensione inizialmente a saturare? (è un valore approx) per noi è  $2V_{th}$

Supponiamo ora di avere un OPA44P collegato in questo modo:



$$SR = 2V_{th} \cdot w_u$$

$$|V_{out}|_d = |V_{in}| \cdot \left(1 + \frac{R_2}{R_1}\right)$$

Noi dobbiamo verificare che la pendenza in  $\phi$  (che è la massima) sia  $\leq SR$ .

Supponiamo ora che l'output in  $\phi$  abbia pendenza = alla SR.

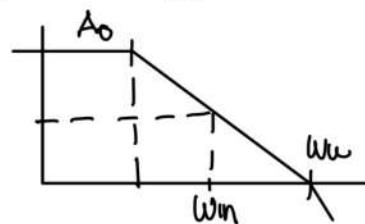
$$|V_{in}|_b \left(1 + \frac{R_2}{R_1}\right) \cdot w_{in} = \frac{2I}{Cc}$$

Perciò la massima tensione di passo avuta in input è

$$|V_{in}|_{MAX} = \frac{2I/Cc}{w_{in} \left(1 + \frac{R_2}{R_1}\right)}$$

Quindi la tensione errore quando applico questo segnale?

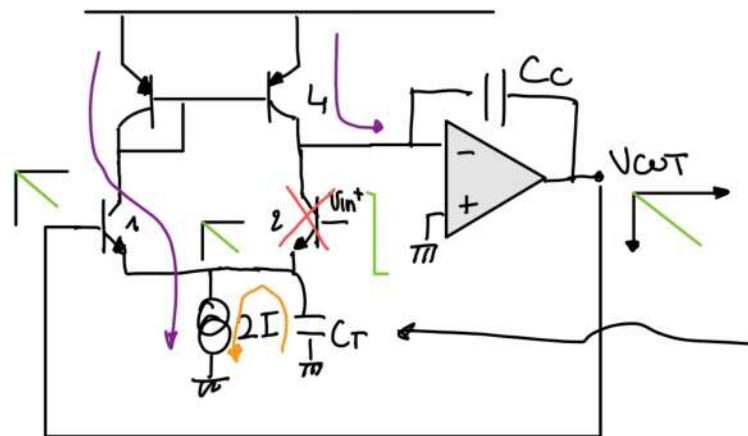
$$\begin{aligned} |V_E|_{MAX} &= \frac{|V_{in}|_{MAX}}{1 + |G_{loop}(w_{in})|} \\ &= \left(\frac{2I}{Cc}\right) \frac{\frac{1}{w_{in} \left(1 + \frac{R_2}{R_1}\right)}}{1 + \left(\frac{R_1}{R_1 + R_2}\right) \cdot \frac{w_u}{w_{in}}} \\ &\approx \frac{2I}{Cc} \cdot \frac{1}{w_u} = 2V_{th} \end{aligned}$$



Nel  $\phi$  è  $A_o$  perché non siamo a  $f = 0$  ma siamo dopo il primo polo a frequenza  $w_{in}$ . Allora scrive il guadagno secondo il prodotto guadagno binario

Quando sono al limite dello slew rate ho un errore di 20% tra i 2 pin d'ingresso. Questo ha senso perché sono sul limite della saturazione dello stadio di differenza (che è 2V/us). Un po' tensione e lo stadio si sbilancia e abbiammo l'SR limitato. (QUINDI ABBIANO CONFERMATO I VALORI)

Questo modello (dello SR orario) può anche fallire.



Probabilmente ho un opamp collegato in buffer.

In questo caso il feedback può influenzare lo SR e renderlo non più simmetrico.

(Oggi: non tanto ma nelle tecnologie vecchie si) è presente questa capacità che è "elettricamente in parallelo" con  $C_c$ . questo perché sono circuiti della stessa natura.

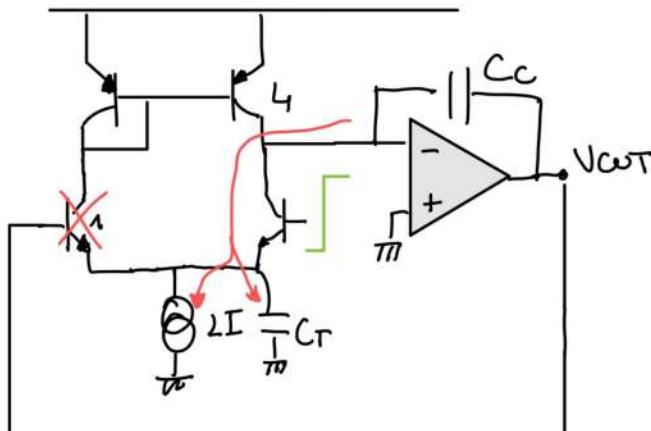
Nei casi in cui l'output scende a tempo pari: abbiamo che anche l'input dato dal feedback scende a tempo. Dato che M1 è un emitter follower abbiamo che anche sul generatore di corrente abbiamo una risposta di fase, quindi vedo a scorrere  $C_T$ . L'unica corrente che può sorridere  $C_T$  è un po' della corrente  $2I$  quindi abbiamo che lo SR di cui è  $<$  di quello di ordine

$$SR_{re} = -\frac{2I}{C_c + C_T} = \underbrace{-\frac{2I}{C_c}}_{SR_{id}} \left( \frac{1}{1 + G_{opamp}} \right)$$

Abbiamo visto che lo SR (in questo caso) è modificato dal feedback.

Il caso con il feedback a buffer è il peggior!

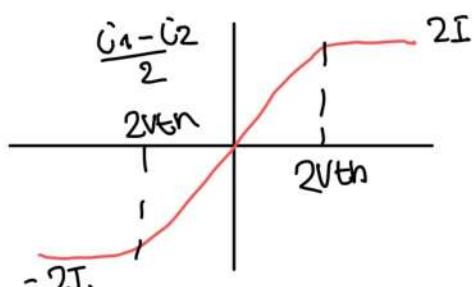
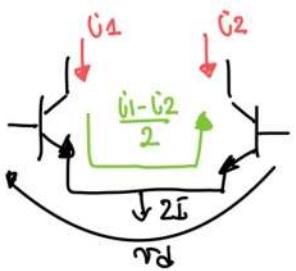
La cosa interessante è vedere che questo effetto non è simmetrico. Se infatti applichiamo uno step positivoabbiamo che



In questo casoabbiamo addirittura un miglioramento dello SR perché ci sono correnti in + per caricare anche  $C_T$ .

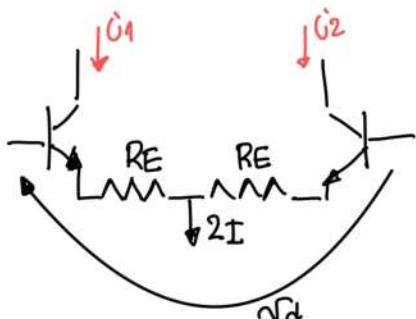
Non ci ha fornito una formula per calcolare questo SR.

Come facciamo a misure l'SR. Nei vogliamo la stessa corrente con meno gm.



$$SR = Wu (2V_{th})$$

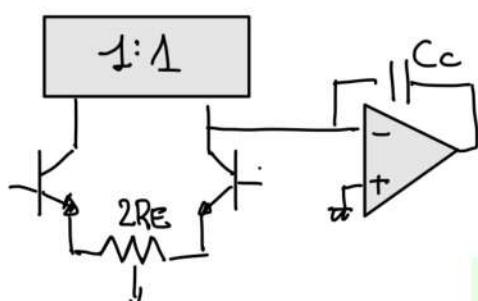
Sembra che non possiamo varare lo slew rate.  
Nella realtà noi possiamo degenerare perciò per la stessa corrente noi riduciamo la  $gm$ .



$$\frac{U_1 - U_2}{2} = \frac{V_d}{2g_m + 2R_E} \approx \frac{V_d}{2R_E}$$

Ma perché noi miglioriamo il range lineare d'ingresso se poi usiamo il paio differenziale in feedback e quindi ho poco segnale differenziale agli ingressi?

Lo facciamo perché così aumentiamo lo SR e quindi possiamo fare la capacità di compensazione più piccola

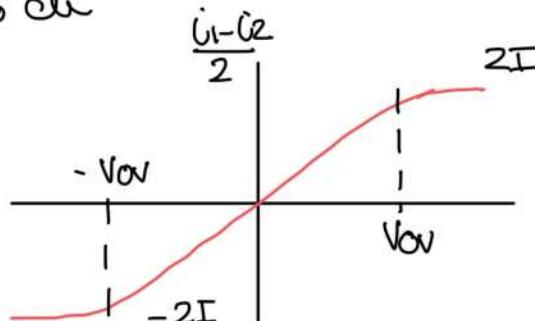
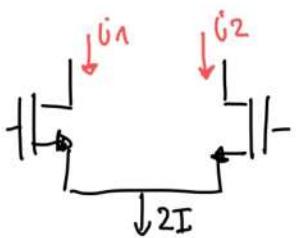


$$G_m = \frac{2}{2R_E} \quad SR = \frac{2I}{C_C} \quad Wu = \frac{G_m}{C_C}$$

$$SR = \frac{2I}{G_m} Wu = 2I \cdot R_E \cdot Wu$$

Per ridurre lo slew rate dobbiamo migliorare il range lineare in ingresso

Nel caso dei CMOS abbiamo che



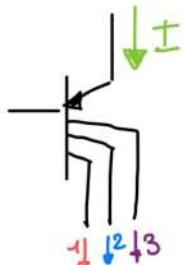
$$SR = Wu (V_{dd})$$

Vediamo che possiamo varare la  $V_{dd}$  quindi ridurre il guadagno ma aumentare lo slew rate.

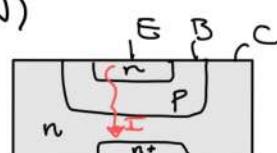
Faccio nei CMOS tipicamente noi degeneriamo dato che abbiamo le possibilità di varare  $V_{dd}$  gravis.

### Multicollector transistor

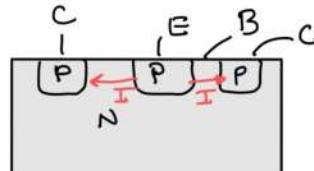
Tipicamente sono PNP e sono legati allo slew rate. (Sono quasi impossibili da fare con un NPN)



Rocci NPN  
(non possiamo dire che la corrente si divide perfettamente)

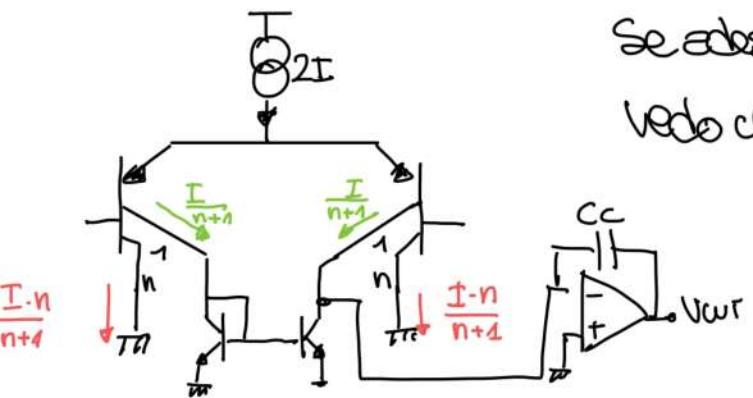


Nel PNP invece  
la corrente può dividersi  
perfettamente a metà



$$\text{Dato } I_1 = I_2 = I_3 = \frac{I}{3}$$

↑ non sicuro



Se adesso faccio uno stadio differenziale:  
vedo che dentro una parte della corrente.

Potrei dunque vedere

$$G_{m2} = \frac{g_m}{n+1}$$

So anche che:

$$A_{v2} = \frac{G_m}{C_c} = \frac{g_m/n+1}{C_c}$$

[DIMINUISCE ANCHE LA CAPACITÀ  $C_c$  (dello stesso valore di  $g_m$ ) MA NON HO CAPITO BENE PERCHÉ]

Diminuisce perché io tipicamente ho un GBWP settato e quindi non lo posso variare. Se ho che  $g_m$  mi diminuisce ho che anche  $C_c$  deve diminuire per far rimanere il rapporto invariato

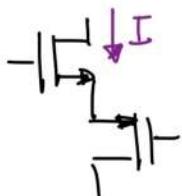
E cosa succede al SR?

Mentre perché abbiamo anche meno corrente quindi tutto si composta.  
Ma quindi perché facciamo questo? Tutto per ridurre le dimensioni di  $C_c$ .

Ma perché non riduciamo la tensione? perché sono andati fuori borsa.

Se vogliamo migliorare lo SR di un circuito devo modificare la topologia del paio differenziale. (es Class AB input stage)

> Class A/B Input stage

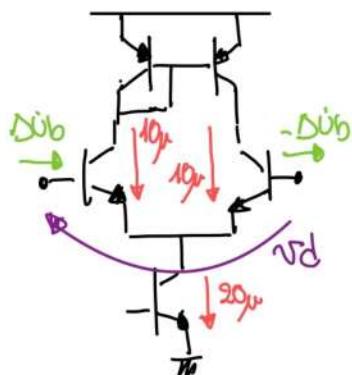


il vantaggio è che  $I$  può essere aumentata ( $\alpha + 2\beta_{max}$ ) ma il bias è tutto di questo circuito è uno sciffo.

18.10.2022

2h

Il fatto che il bjt abbia un'impedenza a DC sulla base ha costretto le persone a inventare topologie che sono in disastro.  
Oggi: aumenteremo l'input impedance e la bias current dei bjt.



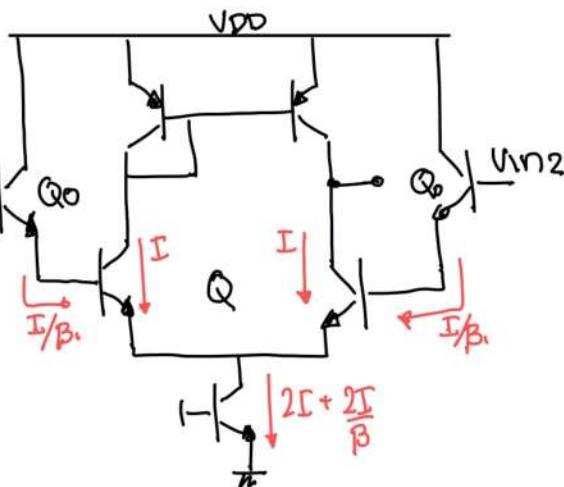
$$\frac{V_d}{\Delta V_b} = 2\pi f = \frac{2\beta}{g_m} \quad \leftarrow \text{è l'impedenza d'ingresso} \\ (\text{Noi vogliamo sia grande})$$

Per avere l'impedenza grande possiamo abbassare  $g_m$  quindi andare a meno corrente.  
Perciò tipicamente lavoriamo a 1mA (ma a questa corrente?) Usiamo questa corrente al limite per avere ancora B alto (ricordate il grafico del B)

Perciò per  $I = 1mA$  quindi  $g_m \approx 2,5k\Omega$  e  $\beta \approx 200(\text{min})$   
perciò  $R_{IN} \approx 500k\Omega$

(Nel caso dei PNP è peggio perché abbiamo  $B$  più piccolo)

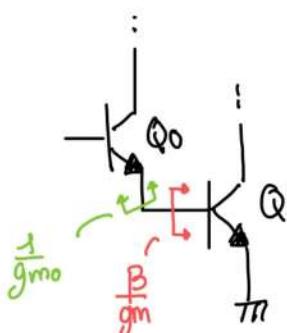
Analizziamo una struttura con input a NPN



Usiamo i transistor Q0 come dei buffer + o -.  
I transistor Q0 sono in bias grazie alla corrente di base del bjt.  
(avremo problemi di B e velocità)

Avevamo che  $B_0$  è molto più piccolo di  $B_s$  (cioè il B del diff. pair interno)

Analizziamo adesso l'impedenza d'input (usiamo l'half circuit e poi moltiplichiamo per 2)



Dato che  $1/g_{mo} = B/g_m$  perché la corrente di base è uguale a quella di  $Q_0$

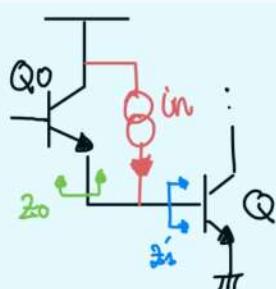
Allora l'impedenza d'input dell'half circuit è:

$$R_{IN} = B_0 \left[ \frac{1}{g_{mo}} + \frac{B}{g_m} \right] = B_0 \left[ 2 \frac{B}{g_m} \right]$$

Perciò  $R_{INTOT} = 2B_0 \left[ 2 \frac{B}{g_m} \right]$  che è nell'ordine dei MΩ.

Problemi:

- ✗ Velocità.  $Q_0$  è a bassa perché i transistor sono in bias a bassa corrente.
- ✗  $B_0$  piccolo: ma non c'è proprio un grande problema perché comunque  $R_{IN}$  è grande
- ✗ Si riduce il gain di  $1/2$  perché il trasferimento del buffer è  $1/2$  dato che ho che  $1/g_{mo} = B/g_m$ . (quindi dal portatore ricevo  $1/2$ ).
- ✗ Rumore e offset ma in particolare Rumore. Infatti la corrente di base è molto piccola quando  $1/g_{mo}$  è molto grande e quando riferiamo all'ingresso vediamo che il rumore è grande.



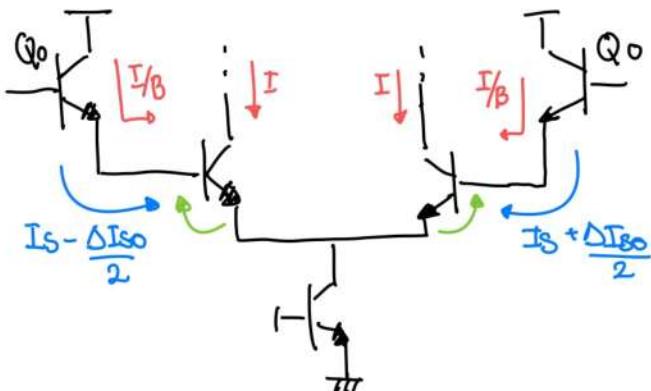
$$\frac{in \cdot Z_0}{Z_1 + Z_0} = \frac{V_n}{Z_1 + Z_0} \rightarrow in Z_0 = V_n$$

$$\frac{2q I_{CO}}{g_m^2} = \overline{E_n^2} \quad \begin{bmatrix} 1/g_{mo} \text{ è molto grande perché la corrente } I_{CO} \text{ è } I/B \text{ che è piccolissima} \end{bmatrix}$$

(è sempre la stessa rete del rumore degenerata)

Il rumore "totale" che avremo sarà  $\overline{E_n^2} = \underbrace{2 \times \left( 2KT \cdot \frac{1}{g_{mo}} \right)}_{\text{è comune il rumore d'onda}} + \underbrace{2 \times \left( 2KT \frac{1}{g_m} \times 4 \right)}_{\text{dato da Q}}$

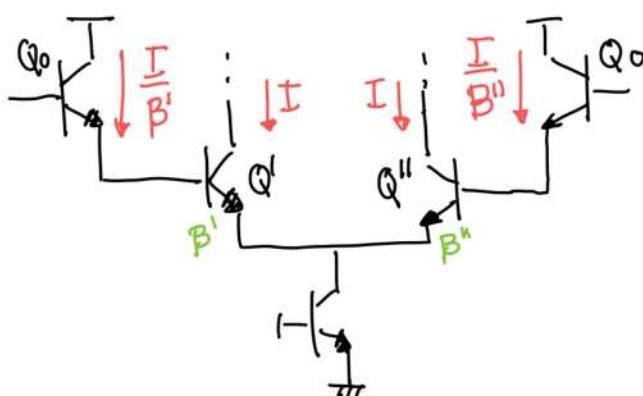
Come abbiamo detto abbiamo 2nd order problem d'offset.



Dato che nel piazzetto interno ho  $I$  ma le correnti di base sono diverse ho un offset all'ingresso pari a

$$V_{OFF} \approx V_{th} \cdot \frac{\Delta I_{So}}{I_S}$$

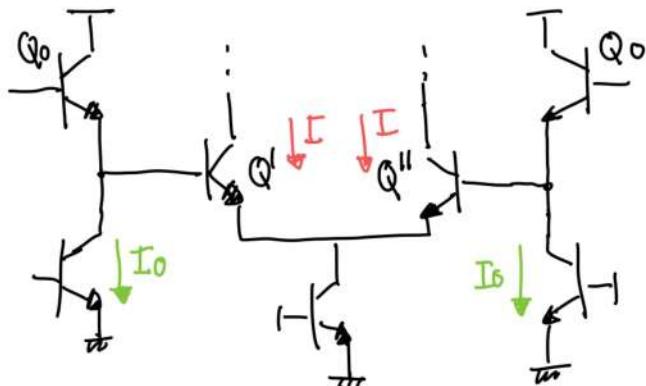
Possiamo poi avere errori di mismatch tra i  $B$  del piazzetto interno. In questo caso abbiamo che le correnti sui transistori  $Q_0$  sono diverse.



Dato che le correnti sono diverse e i transistori  $Q_0$  sono mappati allo stesso modo devo avere un offset in ingresso per bilanciare il tutto

$$V_{OFF} \approx V_{th} \cdot \frac{\Delta B}{B}$$

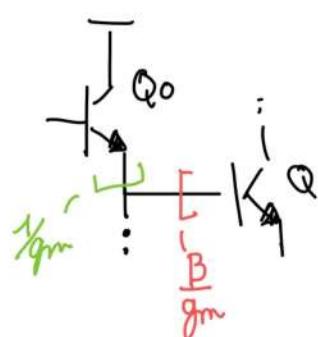
Se noi volessimo + velocità e meno rumore potremmo sempre usare i buffer ma dimentici da un gen di corrente.



Tipicamente usiamo case  $I_0$  la stessa  $I$  del piazzetto interno perché tanto è il limite per il  $B$

- ✓ Velocità
- ✓ Meno rumore rispetto al caso prima ma maggiore rispetto al caso standard
- ✗ Potenza redoppia

Calcoliamo l'impedenza d'ingresso con l'half circuit (supponendo  $r_o = \infty$ )



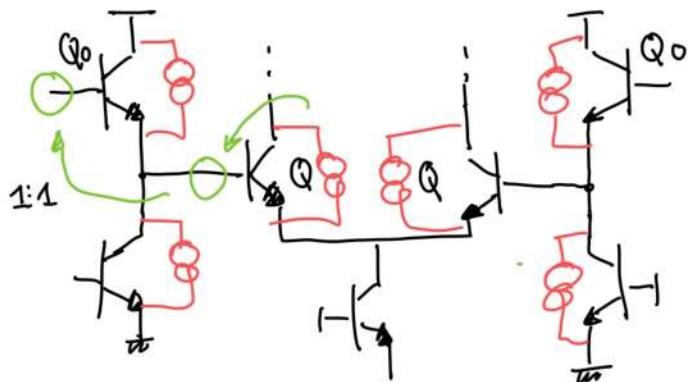
In questo caso  $\gamma_{gm} \neq B/gm$  dato che la corrente è diversa, perciò secca base di  $Q_0$  no che

$$\gamma_B = \gamma_{gm} \cdot \frac{B}{B+1} \approx \gamma_{gm}$$

In questo caso ho che  $R_{IN} = B \cdot \frac{B}{\gamma_{gm}}$

Dove in questo caso  $B_0$  è molto più grande di prima

## Vzutizmo il rumore (solo collector shot noise)



Tutti i transistor tranne quello di codice sono elementi allo stesso corrente.  
Vzutizmo in modo veloce il rumore d'input

possono riportare il rumore dei mos Q al loro ingresso e poi detto che il follower è a ideale li riporta direttamente in ingresso.

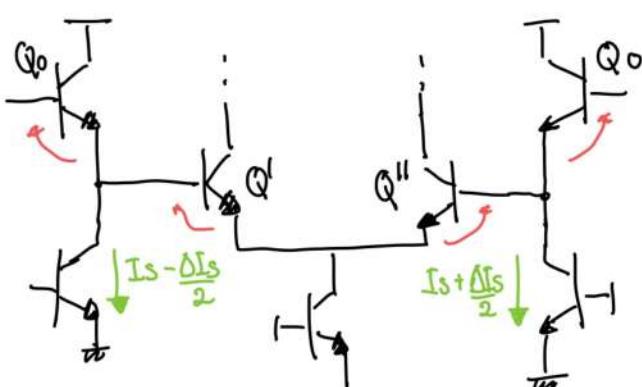
Stessa cosa vale ugualmente per i transistor dello specchio.

Per quanto riguarda i BJT Q0 è lo standard rendiamo il rumore e lo riportiamo all'ingresso (anche se è degenerato non cambia nulla)

Per i gen di corrente vedo che il gen di rumore è in parallelo con quello di Q0 quindi ho lo stesso trasferimento.

$$\overline{E_n^2} = 2 \times \left[ \underbrace{\frac{2qI_c}{gm^2}}_{\text{dift. pair}} + \underbrace{\frac{2qI_c}{gm^2}}_{\text{mirror}} + \underbrace{\frac{2qI_c}{gm^2}}_{\text{En follower}} + \underbrace{\frac{2qI_c}{gm^2}}_{\text{Current gen}} \right]$$

Averemo che anche l'offset aumenta rispetto al preo d'ingresso standard. In particolare la varianza dell'offset raddoppia rispetto al caso standard.



$$\text{Perciò } \frac{\Delta I_S}{I_S} = \frac{\Delta I}{I}$$

$$\text{Quindi abbiamo che } V_{OFF} \approx V_{TH} \cdot \frac{\Delta I_S}{I_S}$$

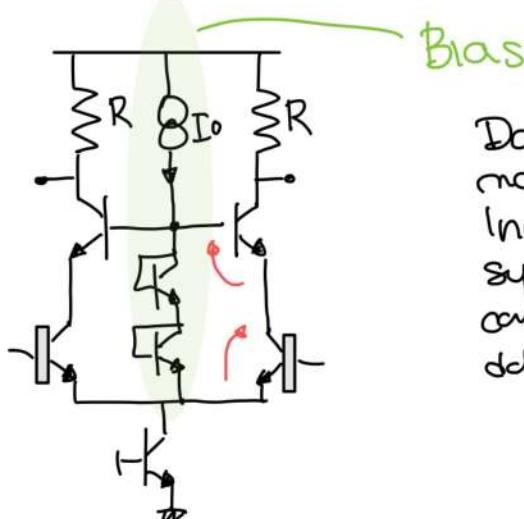
## Super B transistor

Sono dei BJT con  $B \approx 1000$  con questo riduciamo l'impedenza d'ingresso.

Questa è a fare gesti con transistor in Germanio-Silicio grazie a gesti noi riusciamo a ridurre la base e quindi ridurre la resistenza di base il lato negativo è che non possiamo avere una Vce troppo grande. (dato che andremo a deplinare la base che è già molto piccola e rischia di andare circa in corto).

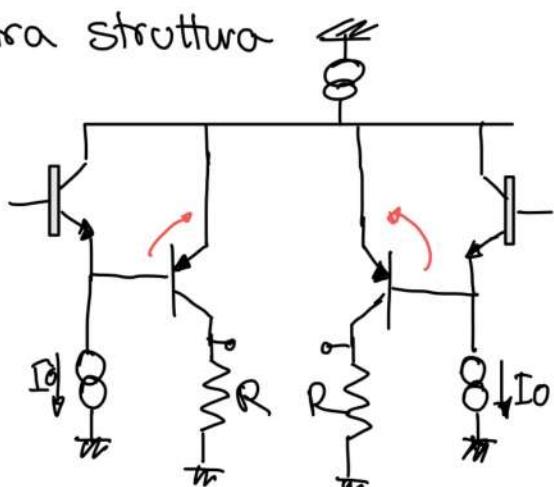


Dato che non possono avere VCE troppo grandi allora si usano strutture cascode



Dato il bias con 2 transistori: limita la max tensione sui BJT superbeta.  
Indice per la tensione sul catodio del superbeta non sia troppo bassa perché ha bisogno di un impedenza piuttosto alta del BJT sopra

Altra struttura



uso i superbeta come buffer d'input così ho un B bello grande.

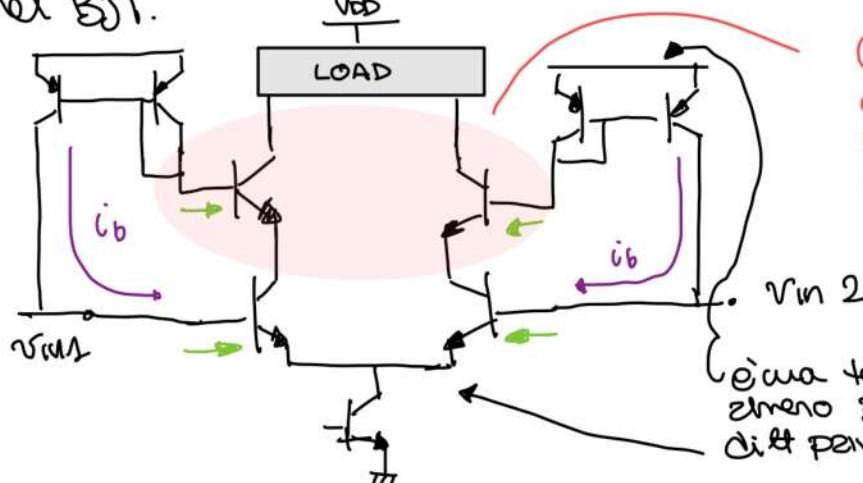
Vediamo poi che la tensione VCE sui superbeta non è troppo bassa dato che c'è una doppia VBE del BJT interno.

19.10.2022

3h

Altre possibili soluzioni per amplificare l'input impedenza di un OPAMP a BJT:

Un'idea può essere quella di comporre la corrente di base di entra nel BJT.



Ci sono 2 BJT servono solamente ad avere una copia della corrente di base (che è uguale data da un canale scone la stessa corrente) Poi questa Ib fa lo specchio e la manda sull'input

c'è una tensione diversa da VDD, deve essere almeno 3VBE della terra virtuale del diff pair d'ingresso

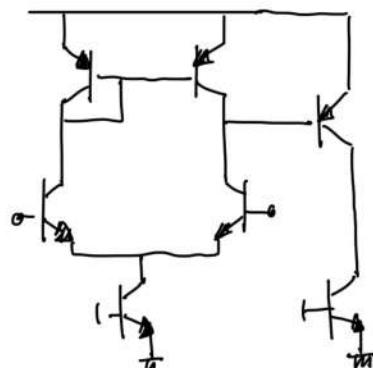
In pratica abbiamo creato un loop positivo (grazie al carico dato che vogliamo unire la resistenza). In questo loop  $G_{loop} \leq 1$  da cui  $G_{loop} = 1$  ho  $Z_{in} \rightarrow \infty$

Non è un circuito veloce perché per lo specchio tra dei PNP devono esserci, in più, due diodo in bias con una corrente predefinita (che è  $I_B$ )

Aggiungendo molti stadi all'ingresso abbiamo sicuro un peggioramento del rumore e dell'offset.

## LM741

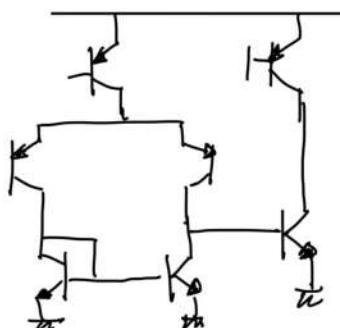
- level shifter problem



Non ci piace perché un segnale passa per uno specchio PNP e uno stadio di guadagno fatto a PNP.

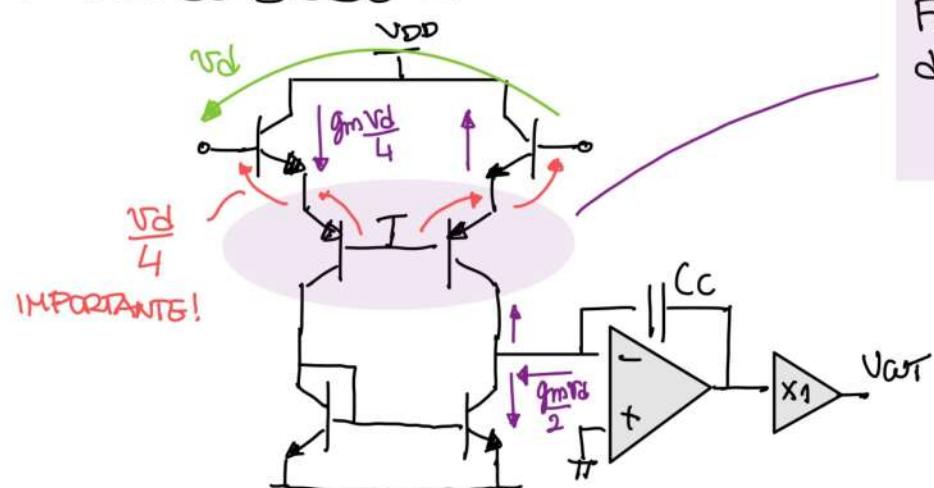
Non ci piace perché i PNP sono lenti e anche perché nei PNP  $\beta$  è piccolo (quindi bassa impedenza di base)

Potrei fare una roba così



Con questo caso abbiamo il 2° stadio OK ma il problema è sull'input dato che abbiamo un input a PNP e quindi l'impedenza di base è  $R_{BPNP}$  che è piccola (dato che la  $B$  di pnp è piccola)

Nel LM741 hanno cercato di zonare l'input stage NPN e zonare il secondo stadio NPN.



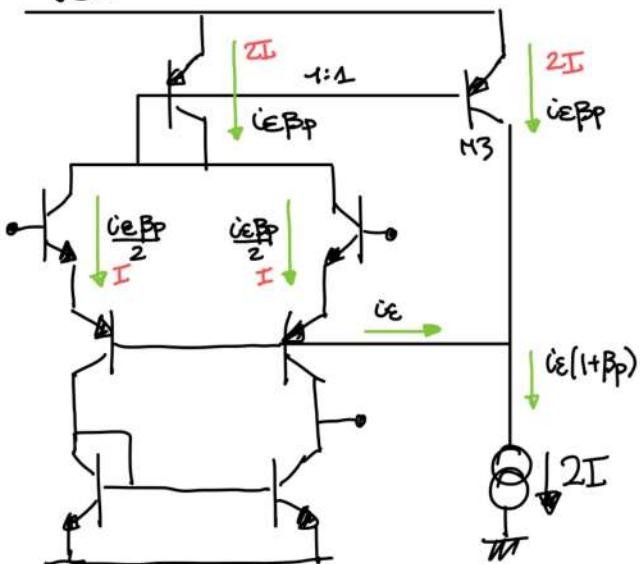
Fanno in pratica da degenerazione di vede  $g_m$

$$K \frac{g_m}{g_m} \frac{g_m}{g_m} K$$

Vediamo che in realtà il circuito non funziona perché non ha un gen di corrente che imponga una corrente nel circuito.

Vediamo che nel primo stadio abbiamo un input a NPN e uno specchio NPN. È vero che abbiamo dei BJT PNP sul segnale ma sono in corri base quindi non ci dà un effetto cativo.

Analizziamo ora come fare il bias di questo circuito



il circuito in gestione fa un feedback.

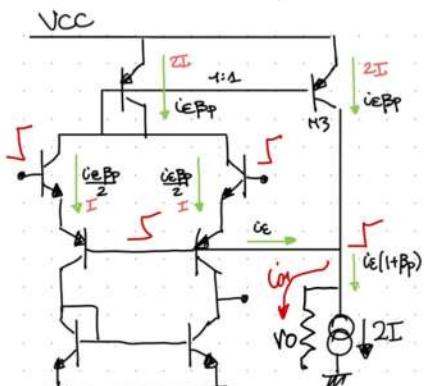
Noi partiamo a vedere supponendo esista un' IC. Allora se abbiamo che c'è PNP devo tirare una corrente  $I_B$  vale a dire, la stessa corrente scorrere sugli NPN di input e si somma sul transistore sul top questa corrente viene spedita su M3. Dato che su M3 può scorrere solo  $2I_S$  (e cioè  $\approx 0$  rispetto a tali correnti) allora anche il transistore tira  $2I_S$  e quindi ho che le 2 correnti sui 2 emi di ingresso devono essere  $I_S$ .

$$\partial \Pi_{\text{Kra}} \cup \epsilon = 2\mathcal{I}/(1+\beta_D)$$

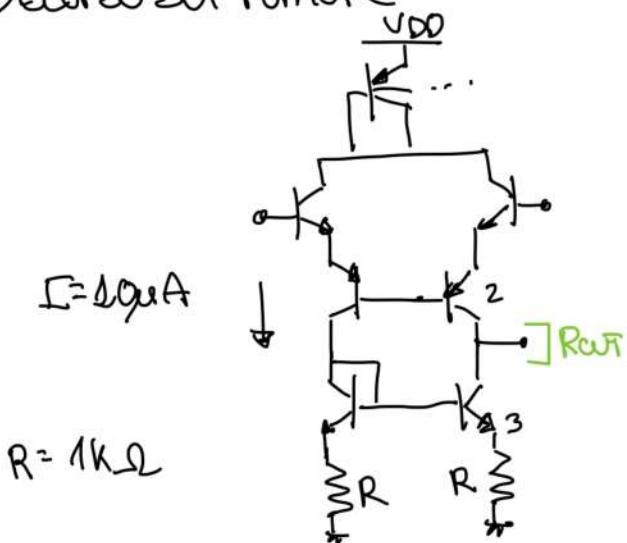
Quando la corrente sull'uscita è

$$U_E \cdot \frac{B_P}{2} = \frac{2I}{1+B_P} \cdot \frac{B_P}{2} \simeq I$$

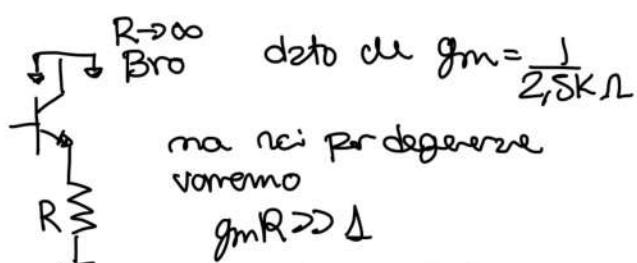
Se noi abbiamo una CM di input abbiamo che gli input segnano ma la corrente non può varcare a causa del feedback. Allora varca la tensione di base dei PNP solo come l'ingresso. Allora noi nella CM vediamo l'irro del generatore di corrente che da  $2I$ , infatti quando varca la tensione sulla base degli NPN varca anche la tensione su ro e quindi ha una variazione della corrente  $2I$  e quindi una variazione della corrente sui 2 rami.



## Discorso sul rumore



Rende' noi usiamo R?  
Non per degenerazione questo  
perche' vediamo che R è troppo piccola!



de no è vero dato che  
 $T_{gn} = 25 \text{ KRL}$  e  $R = 1 \text{ KRL}$

Allora a cosa serve  $R_2$ ? Serve per ridurre l'offset. Nella vicenda precedente i velci così vengono in polo la corrente e riusciamo a compensare l'offset.

Quanto è ora il guadagno dello stadio senza 2° stage?

$$G = \frac{g_m}{4} \times 2 \cdot R_{out}$$

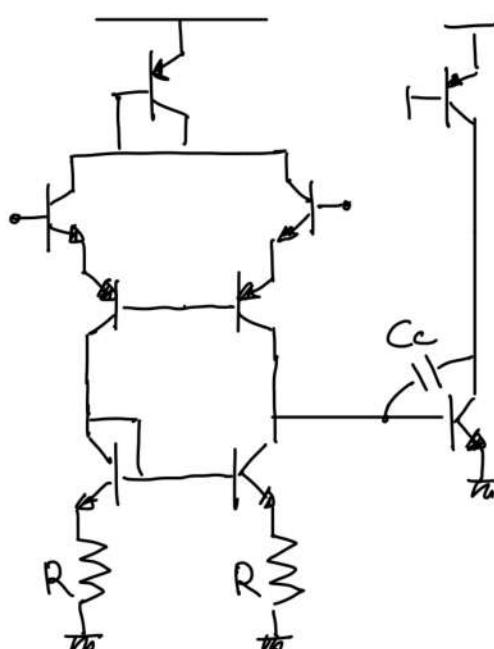
Cioè  $R_{out}$  è un Cascode dato che c'è anche il circuito di bias.

$$\text{Dove } R_{out} \approx 2r_{op} // \overline{1,7} r_{on_3}$$

Questo perché consideriamo la piccola degenerazione data da  $R_2$ .

Ma com'è il 2° stadio di questo circuito?

Non possiamo uscire su NPN diretto perché ci rompe l'impedenza dato che  $B/g_m$  è molto più piccola rispetto a  $R_{out}$ . Dobbiamo quindi compensare lo stadio.



Vediamo che  $C_c$  non ha un'induttiva resistenza perché nei BJT non serve.

Il Guadagno totale è

$$G_{tot} = G_{m1} R_{out1} \cdot G_{m2} \cdot R_{out2}$$

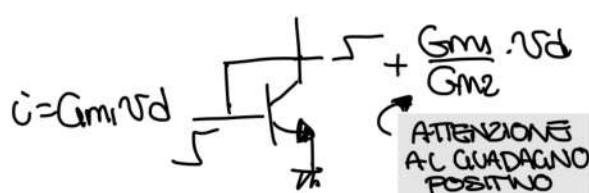
Possiamo quindi dire:

il polo dominante è

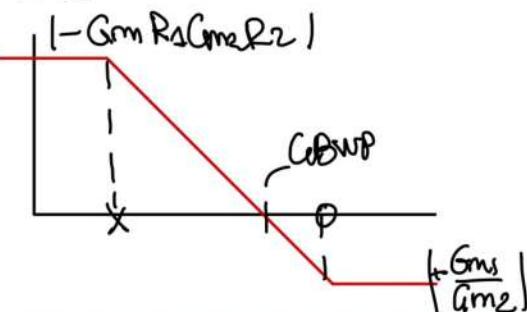
$$\frac{1}{R_{out1} C_c G_2 R_{out2}}$$

$$\text{Il GBWP è } GBWP = \frac{G_{m1}}{C_c}$$

Più aumentiamo la regenerazione +  $C_c$  andrà verso un corto, saremo una cosa del tipo



Vediamo che a  $f \rightarrow \infty$  andiamo a un veloce costante quando ho uno ZP per forza



La regenerazione deve essere zero

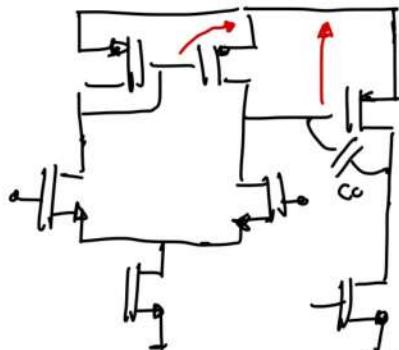
$$W_2 = \frac{G_{m2}}{C_c}$$

Vediamo che lo ZP è destro (male!) perché passiamo da un guadagno negativo (con  $C_c$  aperto) a un guadagno positivo con  $C_c$  in corto!

Dato che lo zero è destro noi vogliamo che questo sia molto lontano dal GBNP. quindi  $Gm_2 \gg Gm_1$ .

Ricordi di norma i secondi stadi erano alimentati con corrente 50 volte maggiore rispetto al primo stadio.

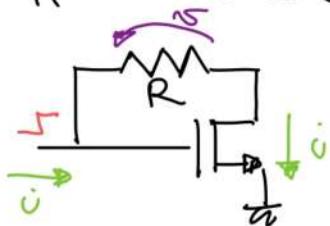
Ma perché non facciamo la stessa roba in CMOS?



(RIPASSARE STA ROBA DELL'OFFSET SISTEMATICO)

Non facciamo perché sono zera la V<sub>th</sub> dell'output ma noi sappiamo che per offset sistematico abbiamo che l'averne del 2° stadio deve essere uguali a quello dello specchio. Allora dato che devono essere uguali deve tenere a stecche le dimensioni dei transistori di output (tipo 10 volte se voglio 50 volte la corrente) e con i MOS fare questo è un casino.

Ma come mai hanno pensato di mettere una resistenza di compensazione? (sappiamo che cosa gli ci mette)



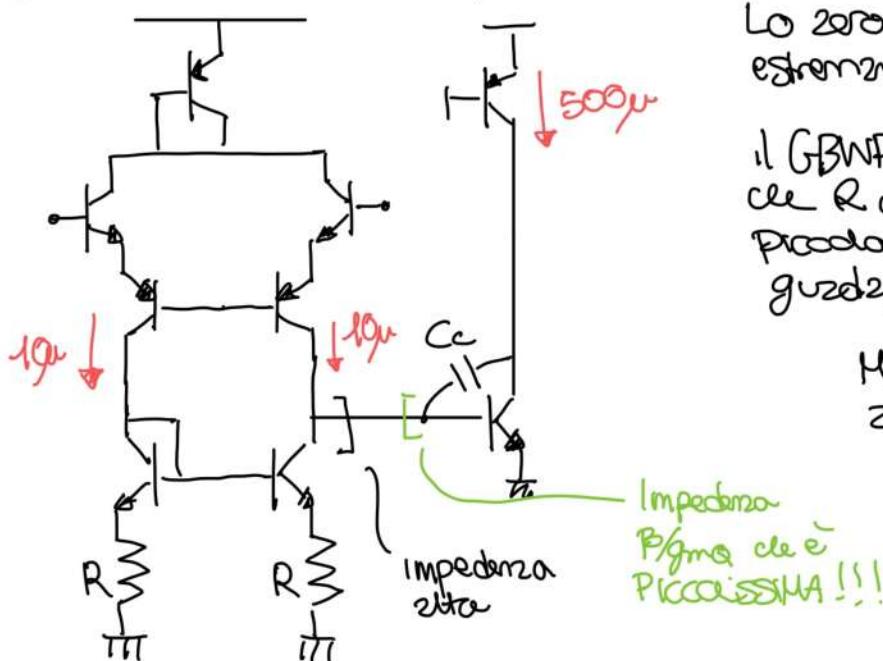
Vediamo che abbiamo una ceduta su  $R_f$ , se la ceduta su  $R$  è > di quanto zenta la tensione sul gate ho che l'output è invertito e quindi lo zero è sinistro (top)

$$V_{out} = i \left( \frac{1}{g_m m} - R \right) < 0 \quad R > \frac{1}{g_m m}$$

Se consideriamo anche  $C_c$

$$i \left[ \left( \frac{1}{g_m m} - R \right) - \frac{1}{SC} \right] = V_{out} \rightarrow \frac{V_{out}}{i} = \frac{SC \left( \frac{1}{g_m m} - R \right) - 1}{SC}$$

Ritorniamo al LM741

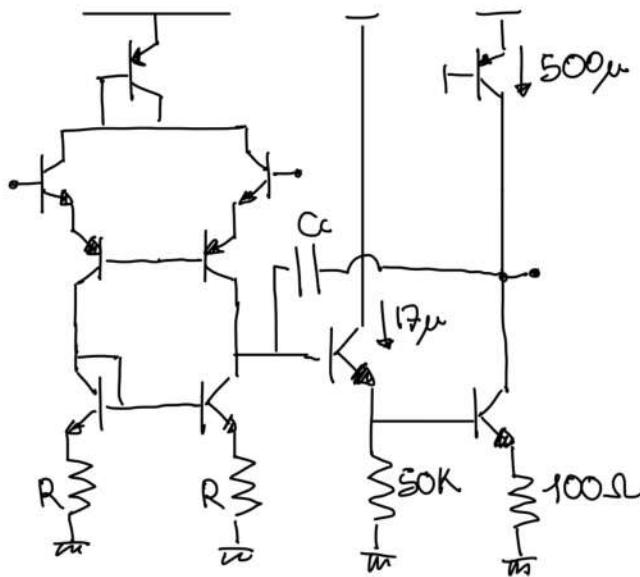


Lo zero è ancora destro ma è estremamente lontano dal GBNP.

Il GBNP non è modificato dal fatto che  $R$  della base del 2° stadio sia piccola. Tuttavia abbiamo un guadagno molto basso.

Ma quindi cosa facciamo per zinotare questa resistenza?

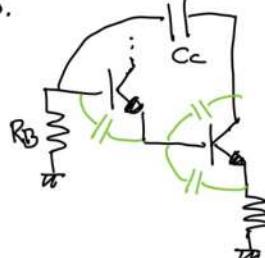
Usiamo una darlington connection.



Nel quadri collegiamo il secondo stadio a darlington in modo che l'impedenza sia molto grande.

Tuttavia ho tutto un disastro con i poli e tutto.

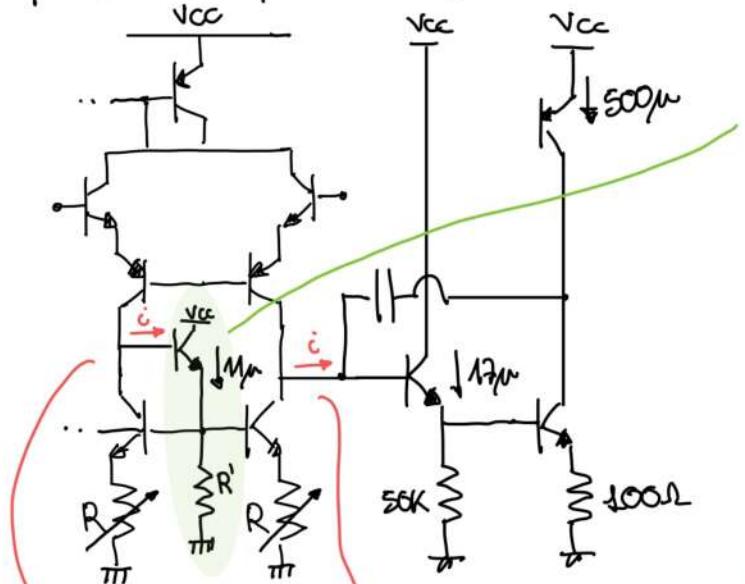
ES.



IMMAGINA IL BORDO

ALTRO PROBLEMA!

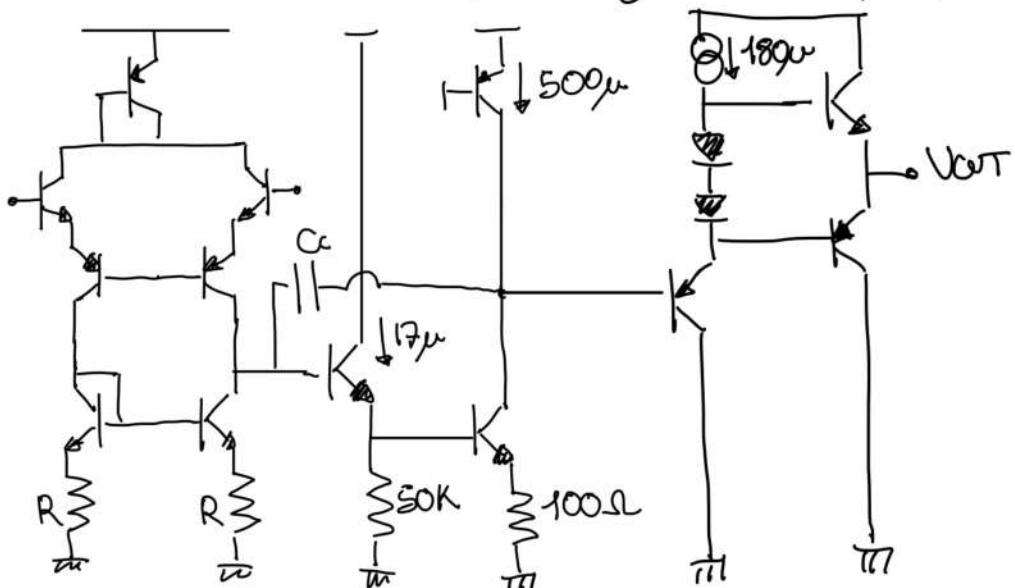
il B dello specchio (onde se c'è 2 NPN)



Adesso ho sta roba qua, è sempre uno specchio di corrente. Questo serve per simetria dato che dal lato destro abbiamo della corrente che entra nella base del darlington allora devo togliere questa corrente anche dal lato destro.

Voglio queste 2 correnti uguali per simetria

Affioriamo poi un output stage del tipo push pull



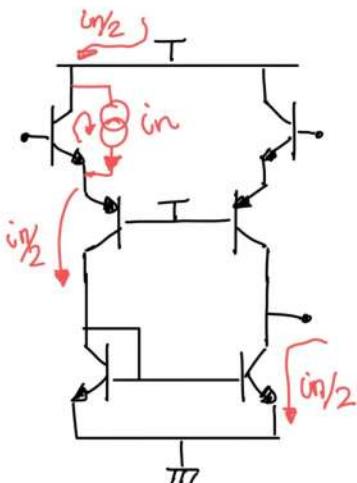
Provare a calcolare a cosa il rumore del 1° stadio (solo considerare caso con specchio d'onda e no resistori  $R$ ):

24.10.2022

3h

### Rumore nell' OPA141

Ricordiamo che il current mirror è degenere da cui  $R = \Delta K \Omega$  ma in questo caso soprattutto che la degenerazione non funziona bene. Quindi noi consideriamo come se non ci fosse la degenerazione. Poi noi consideriamo solo il primo stadio.

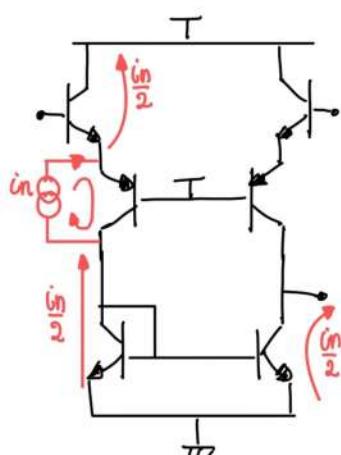


Analisi del primo transistor

$$V_{in} \cdot G_m = \frac{G_m}{2}$$

$$V_{in} \frac{G_m}{2} = in \rightarrow E_n^2 = \frac{2qI_c}{G_m^2}$$

$$\text{Dato che abbiamo 2 transistori } E_n^2_{\text{TOT}} = 2 \times \frac{2qI_c}{G_m^2}$$



Per il 2° transistor abbiamo che:

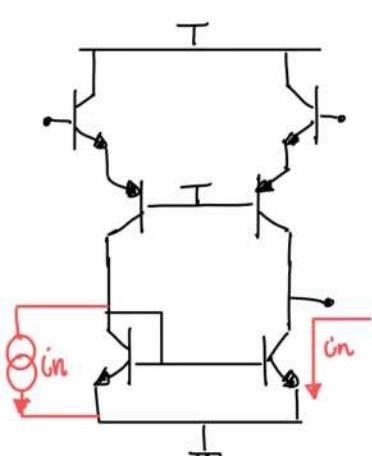
Ottieniamo praticamente la stessa cosa di prima perché la corrente si sposta a metà perfetta perché vedo  $\frac{G_m}{2}$  uguali da entrambi i lati

$$E_n^2 = 2 \times \frac{2qI_c}{G_m^2}$$

Analizziamo ora il rumore dato dallo specchio

$$= V_{in} G_m = in$$

$$= V_{in} \frac{G_m}{2} = in \rightarrow E_n^2 = \frac{2qI_c}{G_m^2} \times 4$$



Dato che abbiamo 2 transistori allora

$$E_n^2_{\text{TOT}} = \frac{2qI_c}{G_m^2} \times 4 \times 2$$

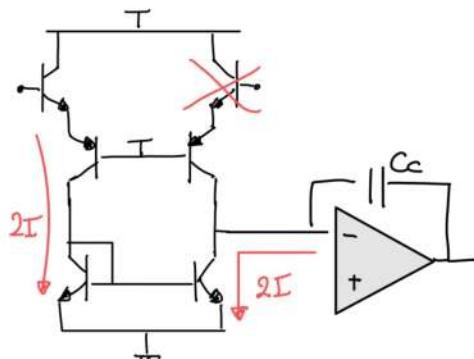
Il rumore totale di tutto il circuito è

$$E_n^2_{\text{TOT,C}} = \frac{24qI_c}{G_m^2} \approx 200 \frac{nV^2}{Hz} \quad (\approx 14 \frac{nV}{\sqrt{Hz}})$$

Nel abbiamo fatto delle approssimazioni (es non abbiamo considerato rbb')

$$14 \frac{nV}{\sqrt{Hz}} + rbb' \text{ noise} \rightarrow 17 \frac{nV}{\sqrt{Hz}} \xrightarrow{\text{degenerazione dello spazio}} 16 \frac{nV}{\sqrt{Hz}} \quad \left( \text{vediamo che la nostra appox è OK.} \right)$$

## Slow rate e GBWP



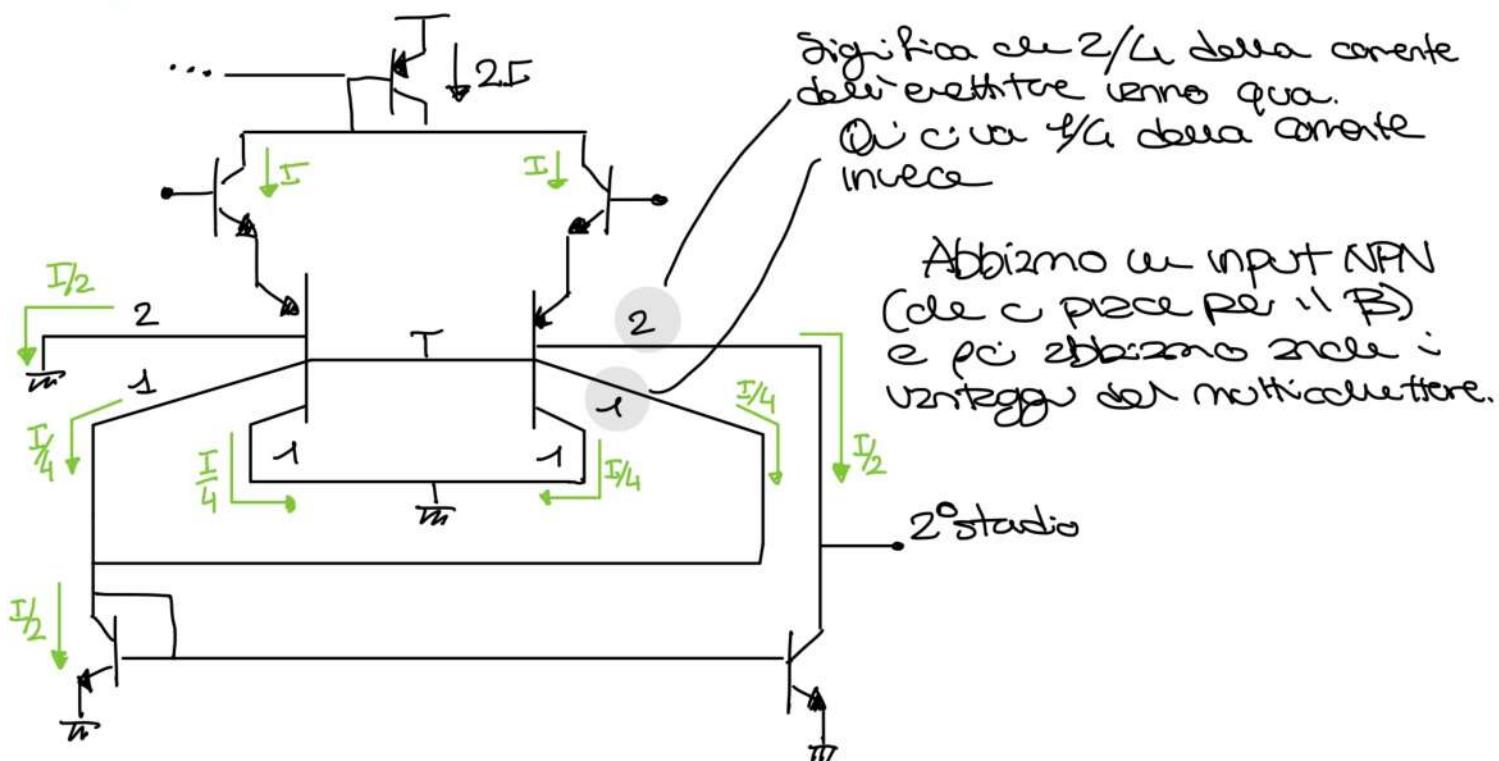
$$\text{Allora } SR = \frac{2I}{CC}$$

Mentre il gain bandwidth product è

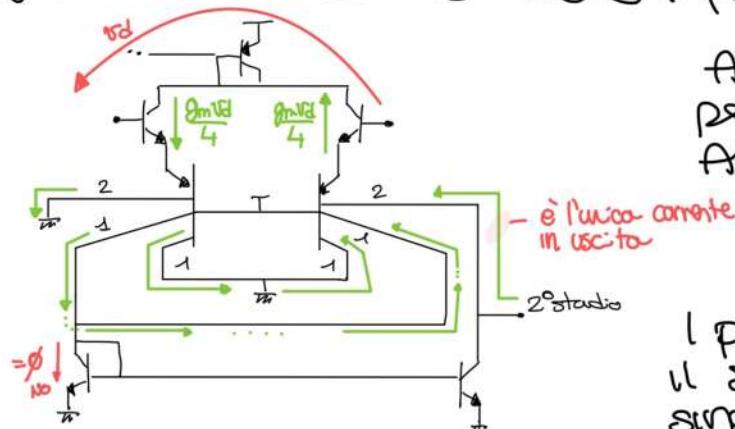
$$GBWP = \frac{Gm}{CC} = \frac{g_m/2}{CC} = \omega_n$$

$$\text{Allora posso scrivere } SR = \frac{2I \omega_n}{Gm} = \frac{2I}{g_m/2} \omega_n = 4 V_{th} \cdot \omega_n$$

## Esempio U17015 con soluzine a multicollettore



Qua' è la Gm dello studio d'input?



Abbiamo  $\emptyset$  corrente nello spazio perché ricircola sui pin 1.  
Allora

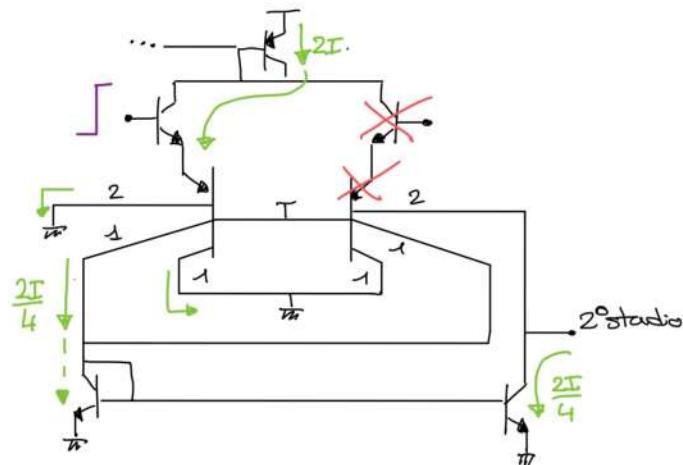
$$Gm = \frac{g_m}{4} \cdot \frac{1}{2} = \frac{g_m}{8}$$

I progettisti hanno scelto di non far passare il segnale per lo spazio a causa delle singolarità.

lo spazio è w solo per il bias NON per il segnale.

Dato che la  $G_m$  è metà dello standard  $\text{f}_{ul}$  allora possiamo dire che la  $C_c$  sia metà e quindi occupare meno area.

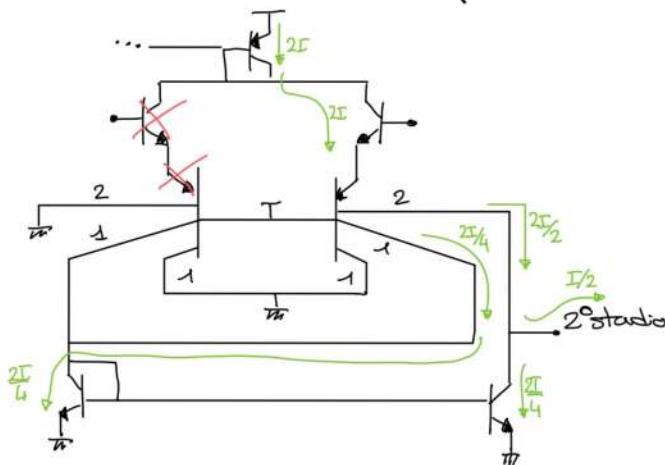
Stessa rete di gesto versione modificata



Allora

$$\begin{aligned} SR &= \frac{2I}{4} \cdot \frac{1}{Cc} \\ &= \frac{I}{2} \cdot \frac{1}{Cc} \end{aligned}$$

Invertiamo ora la polarità



Anche in questo caso abbiamo

$$SR = I/2 \cdot 1/C_c$$

cioè uguali 2 quello ricevuto dall'altra polarità.

Ricordando che

$$SR = \frac{I}{2} \cdot \frac{1}{Cc} \quad \text{e} \quad M_{th} = \frac{G_m}{C_c} = \frac{G_m}{8Cc} \rightarrow SR = G_{Vth} \cdot M_{th}$$

l'SR è uguale a quello del  $\text{f}_{ul}$  standard. L'unico motivo per il quale non usiamo un multidiuttore è per ridurre la capacità di compensazione (dello stesso valore per il quale si riducono  $G_m$ , questo però il GSWP è un detto del problema).

## CURRENT REFERENCES

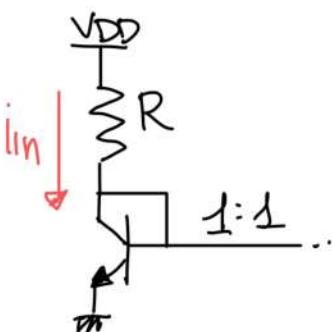
Nel circuiti integrati noi vogliamo delle correnti di riferimento che siano invarianti (o che varino poco) da dei parametri.

Noi vogliamo la corrente che non varia per variazioni di PVT (Process, Voltage, Temperature).

Per generare una tensione indipendente dalle variazioni della tensione si potrebbe usare uno zener. Nella realtà non si usa perché  $V_Z \gg 1$  e perciò è molto rumoroso.

Tipicamente usiamo  $V_{TH}$ ,  $V_{BE}$ ,  $V_T$  come parametri che cambiano poco.

Vediamo la sensitività relativa ad alcuni parametri.



$$I_{in} = I_{out} \quad e \quad I_{in} = \frac{V_{DD} - V_{BE}}{R}$$

Se la  $V_{DD}$  cambia, quel'è la variazione della corrente?

$$S_x^y = \frac{\Delta y / y}{\Delta x / x} \approx x \frac{\partial y}{\partial x} \leftarrow \text{diametrale sensitività}$$

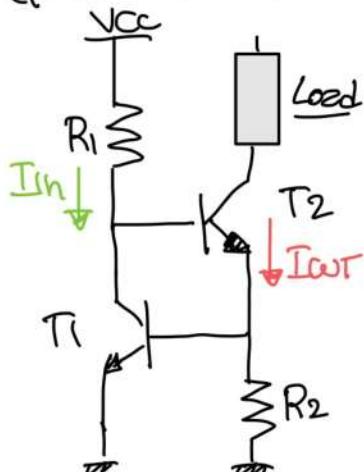
Ricciò adesso calcoliamo la sensitività di  $I_{out}$  data da  $V_{CC}$

$$S_{V_{CC}}^{I_{out}} = \frac{V_{CC}}{I_{out}} \cdot \frac{\partial I_{out}}{\partial V_{CC}} = \frac{V_{CC}}{(V_{CC} - V_{BE})} \cdot \frac{1}{R} = \frac{V_{CC}}{V_{CC} - V_{BE}} \quad (> 1)$$

Se  $V_{CC} \gg V_{BE}$  (oss: non è così) allora  $S_{V_{CC}}^{I_{out}} \approx 1$

Varia troppo.

Potremmo ora a governare una corrente attraverso una  $V_{BE}$  (perciò la  $V_{BE}$  non varia tanto).



La corrente di input e quella di output sono uguali.  
A causa del local feedback tutta  $i_{in}$  va su  $T_1$ .

$$I_{in} = \frac{V_{CC} - 2 \times V_{BE}}{R_1}$$

Ma quel'è l'output current?  $I_{out} = \frac{V_{BE1}}{R_2}$

Dicendo di questa corrente è  $V_{BE}$  referenced.

Cosa succede se c'è una variazione di  $V_{DD}$ ?

Se varia  $V_{DD}$  del 10% noi ci aspettiamo che  $I_{in}$  vari molto ma noi sappiamo che  $V_{BE1}$  non varia molto quindi ci aspettiamo una piccola variazione della corrente di output.

Analizziamo quanto è la sensitività

$$S_{V_{CC}}^{I_{out}} = \frac{V_{CC}}{I_{out}} \cdot \frac{\partial I_{out}}{\partial V_{CC}}$$

noi sappiamo che  $I_{out} = \frac{V_{BE1}}{R_2}$  e  $V_{BE1} = V_{th} \cdot \ln\left[\frac{I_{in}}{I_{SS}}\right]$

Perciò ricaviamo che

$$S_{V_{CC}}^{I_{out}} = \frac{V_{CC}}{I_{out}} \cdot \frac{V_{th}}{R_2} \cdot \frac{1}{\frac{I_{in}}{I_{SS}}} \cdot \frac{1}{\frac{I_{in}}{I_{SS}}} \cdot \frac{\partial I_{in}}{\partial V_{CC}}$$

$V_{BE1}$

$$= \frac{V_{th}}{V_{BE1}} \cdot \left[ \frac{V_{CC}}{I_{in}} \cdot \frac{\partial I_{in}}{\partial V_{CC}} \right] = \frac{V_{th}}{V_{BE1}} \cdot S_{V_{CC}}^{I_{in}}$$

è il fattore fondamentale che mi permette di avere sensitività minore

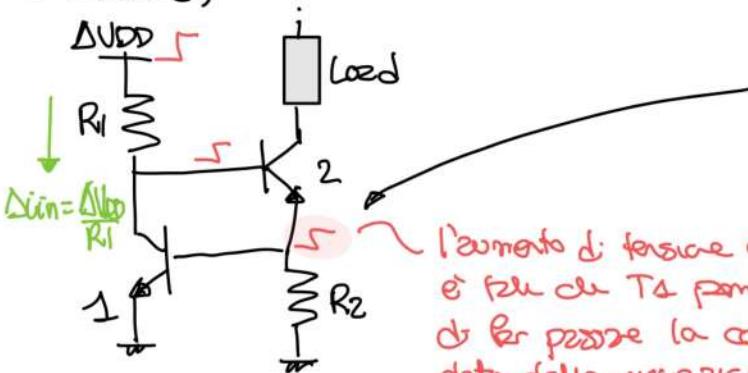
Vediamo che  $V_{th}/V_{BE1}$  è piccolo quindi guadagnano bene in sensitività e nell'ordine di

$$\frac{26mV}{0,7V} \approx 0,037$$

è il fattore migliorativo della  $I_{out}$  rispetto alla variazione di  $I_{in}$  data da una variazione di  $V_{DD}$ .

Perciò se la supply varia del 10% ha che la corrente di input varia del 10% mentre la corrente di output varia del 0,37%.

Questi numeri li potranno ricavare anche direttamente dal piccolo segnale (anno detto che il piccolo segnale è una derivata al 1° ordine).



$$\Delta I_{in} = \frac{\Delta V_{CC}}{R_1} \cdot \frac{1}{g_{m1}}$$

l'aumento di tensione qui è tale che  $T_A$  permette di far passare la corrente extra data dalla variazione di  $V_{DD}$

$$\Delta I_{out} = \frac{\Delta V_{CC}}{R_1 g_{m1}} \cdot \frac{1}{R_2}$$

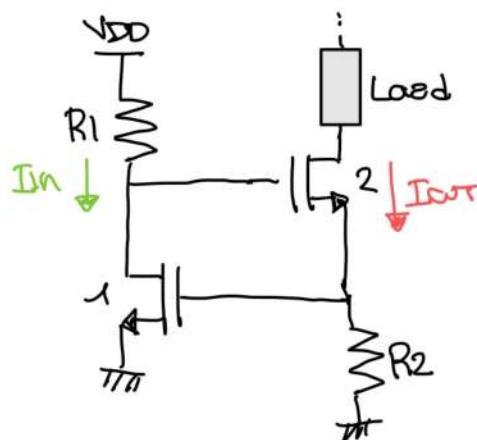
$$\text{e noi sappiamo che } S_{Vcc}^{IOT} = \frac{Vcc}{IOT} \cdot \frac{\Delta IOT}{\Delta Vcc} = \frac{Vcc}{IOT} \cdot \frac{1}{R_{F\text{ig}}}$$

e ricaviamo lo stesso risultato di prima

$$S_{Vcc}^{IOT} = \frac{Vth}{VBEs} \cdot \left[ \frac{Vcc}{In} \cdot \frac{1}{R_1} \right] \quad S_{Vcc}^{In}$$

$$\frac{I_{in}}{Vth}$$

Facciamo adesso lo stesso circuito a CMOS



Per ricevere  $I_{in}$  devo risolvere le eq di 2° grado.

Tipicamente questo è + sensibile alle variazioni rispetto a quello a BJT, questo perché:

$$I_{OT} = \frac{V_{GS1}}{R_2} = V_{th} + \sqrt{\frac{2 \cdot I_{in}}{(\frac{W}{L})_1 \mu_{Cox}}} \quad R_2$$

Nonabbiamo il logaritmo ma abbiamo la  $\sqrt{}$ , ma la  $\sqrt$  crede + velocemente del log.

Se noi abbiammo  $W/L \rightarrow \infty$  (molto grande) allora  $I_{OT} \approx \frac{V_{th}}{R_2}$   
(circa indipendente dall'input)  
[Tuttavia è tendente a impossibile ricevere gesto]

Calcolando la sensitività ricaviamo:

$$S_{VDD}^{IOT} = S_{VDD}^{In} \cdot \frac{V_{AS1}/2}{V_{GS1}}$$

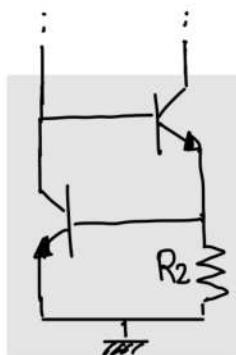
Proviamo a calcolare la resistenza d'output del gen d' corrente siffatto (vediamo che il local feedback aumenterà un po' l'impedenza)

Ma noi abbiamo visto solo le variazioni rispetto  $VDD$  ma ci possono essere variazioni di temperatura e processo.

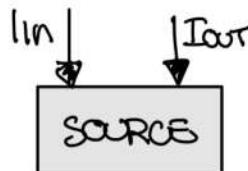
Un'altra cosa che non abbiamo considerato è la presenza delle RO. (non troppo nel nostro circuito, ma dicono che vedremo domani).

Noi vorremo il caso ideale, cioè sensitività  $\propto$  rispetto alla variazione di VDD.

Per ricavare questo noi usiamo un feedback positivo (bootstrap)

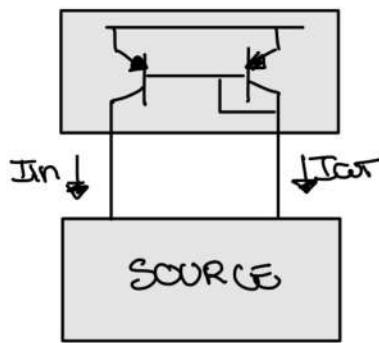


SOURCE

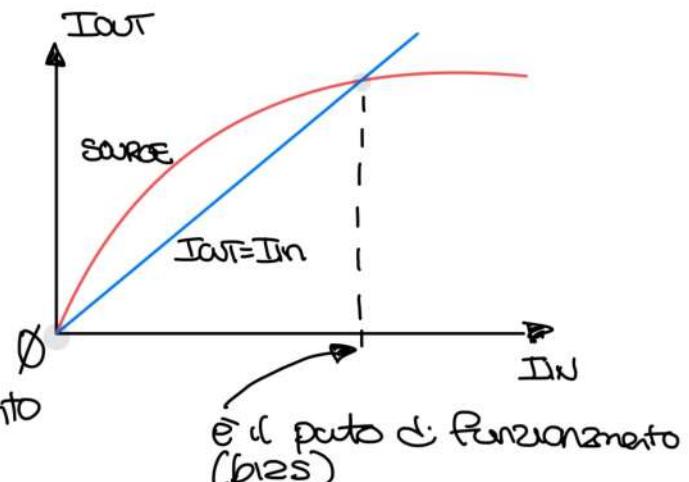


Ma come facciamo ad avere sensitività  $\propto$ ?

Usiamo un mirror



Noi comandiamo  $I_{in}$  con  $I_{out}$ .  
è un feedback positivo. Guardando le curve d' lavoro vediamo che esistono solo 2 possibili punti di funzionamento (uno dei 2 è a 0)



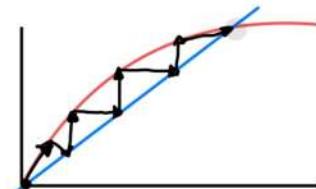
Noi siamo sicuri che il circuito lavori esattamente nel punto di bis, perché il loop gain è  $< 1$  (lo posso vedere da greco: perché vedo che  $I_{out} = I_{in}$  ha pendenza 1 mentre la curva del source ha pendenza  $\ll 1$  [tende ad andare pietra nel punto d'incontro], allora se de per forza il rapporto dei 2 è  $\approx 1$ )

Ma il circuito ha 2 punti di funzionamento, come facciamo a sapere che il circuito non va nel punto a 0?

Se noi facciamo lo stesso discorso di prima vediamo che nel punto di funzionamento a 0 vediamo che Gloop è  $> 1$ .

Perciò in teoria sapiamo che dato che Gloop è  $> 1$  non ci spostiamo da quel punto appena c'è una perturbazione, ed andremo nell'altro punto di funzionamento.

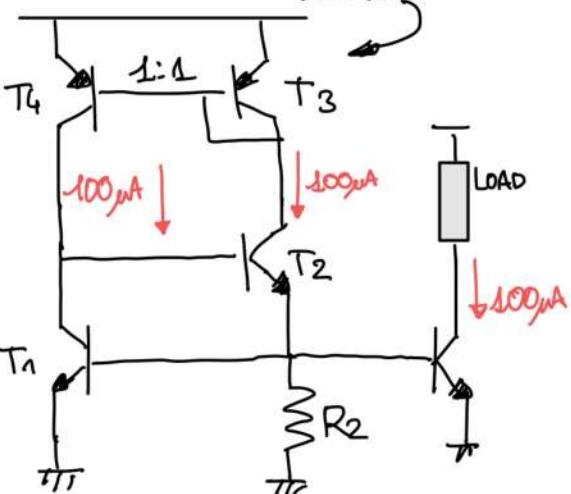
Il problema principale è che ci sono in circuito di start-up perché la perturbazione (altrimenti stiamo ferma a 0 e non ci scindiamo dato che  $I=0$  e quindi  $I_{gm}=0$ )



Vediamo che appena usciamo del punto di 0 noi andiamo a portarci nell'altro punto stabile. (faccendo la stessa cosa vediamo che del punto stabile noi non ci muoviamo)

## Esempio

POSSO COPIARE  
LA CORRENTE ANCHE  
DA QUI.



Nel vogliamo generare una corrente di  $I_{OUT} = 100 \mu A$

Sappiamo poi che  $I_S = 10^{-14} A$

Nel vediamo calcoliamo quanto vale  $V_{BE1}$  se noi abbiamo  $100 \mu A$  che passano su  $T_1$ .

$$V_{BE1} = V_{th} \cdot \ln \left[ \frac{100 \cdot 10^{-6}}{10^{-14}} \right] \\ = 598 \text{ mV}$$

Dato questo ricaviamo il valore della resistenza  $R_2$

$$R_2 = \frac{0.598}{100 \cdot 10^{-6}} = 5.98 \text{ k}\Omega$$

Così facendo noi abbiamo ricavato una sensitività Ø rispetto alla power supply.

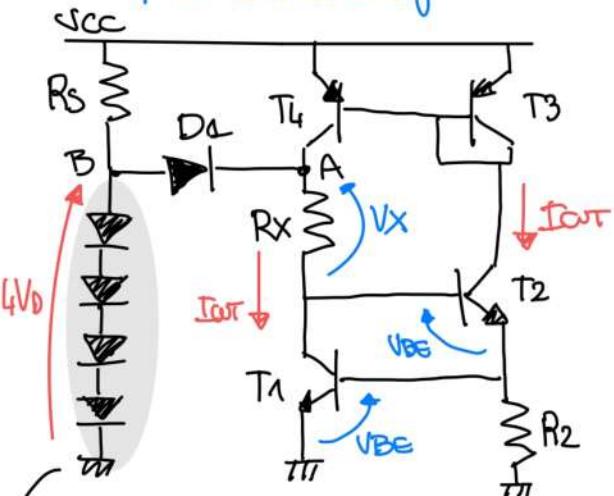
Vediamo che ci abbiamo sol' un valore assoluto di una resistenza! Allora a questa resistenza è calibrata ed esterna oppure è una self calibrated resistance.

Notiamo che non abbiamo considerato le  $r_o$ .

Ci sono poi un circuito di startup, altrimenti non vorrà seguire.

Circuito di startup, se la corrente nel circuito è Ø deve creare una corrente, una volta di corrente va nel circuito cui si deve spegnere

## Esempio con startup



$R_s$  deve essere grande per evitare grandi dissipazioni di potenza

Quando accendiamo il circuito e la corrente è Ø ho che in A ho  $\approx 0V$  mentre in B ho  $4V_D (\approx 4V_{BE})$ . Allora passa corrente su  $D_1$  e quindi accendo il circuito.

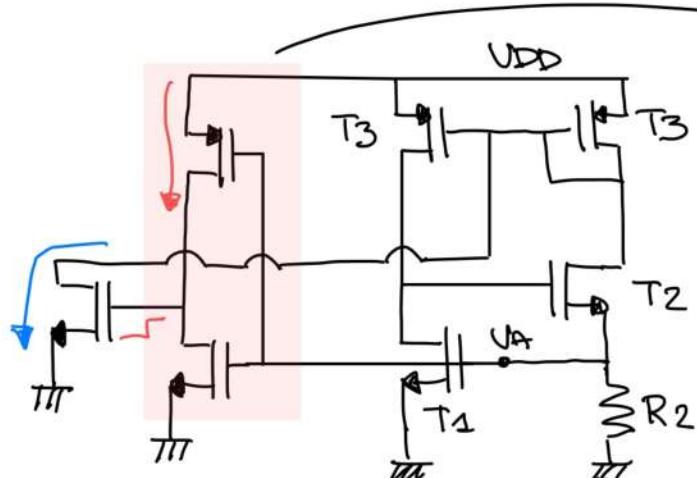
Una volta che il circuito si accende ho che la tensione in A è

$$V_A = V_x + 2V_{BE}$$

Per fare in modo che  $D_1$  non conduca dobbiamo avere che  $R_x I_{OUT} > 2V_{BE}$ .

In questo caso sarà che  $D_1$  è OFF.

Vediamo adesso un circuito di startup per i CMOS.

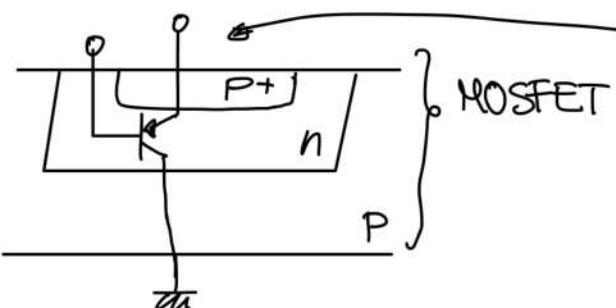


è un inverter, quando accendo il circuito, la tensione  $V_A$  è  $\approx 0$  allora l'inverter accende il PMOS facendo passare una corrente. Poi uso un altro stato per prendere una corrente dello specchio e accendere il circuito.

Quando il circuito è ON no ce  $V_A$  è a  $V_{DD}$  e noi vogliamo che l'inverter sia a 0V. Noi sappiamo che  $V_{DD}$  è  $\approx V_{DD}/2$  quindi per fare sì che l'inverter si spegna deve fare l'NNMOS  $\gg$  rispetto al PMOS in modo che si abbia anche per  $V_A$  piccole

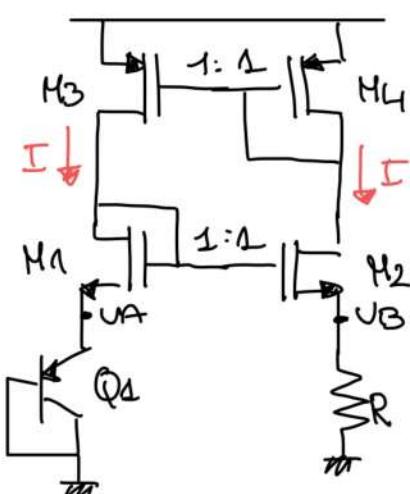
### VBE referred circuit in CMOS

Possiamo fare un circuito riferito a  $V_{BE}$  con CMOS senza usare i BJT ?? Si, fa lo stesso come BJT.. ma a noi non ci interessa c'è solo la  $V_{BE}$ .



Vediamo che possiamo trarre un BJT passista, però scalo ma non c'è Rega.

Esempio di circuito: (manca lo startup, non l'abbiamo disegnato mai)



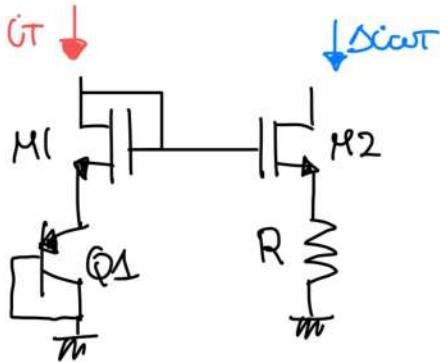
Dato lo specchio ( $M_3M_4$ ) le 2 correnti devono essere uguali, qui solo i mos  $M_1$  e  $M_2$  sono uguali, noi poi sappiamo che dato che abbiamo la stessa corrente  $V_A$  e  $V_B$  sono alla stessa tensione. E quindi:  $V_B = V_A = V_{BE1}$

$$\text{Perciò so che } I = \frac{V_{BE1}}{R}$$

Anche qui ho ce ho sensitività  $\phi$ .

ATTENZIONE ALLE CONNESSIONI DELLO SPECCHIO!!! SE LE INVERTO POTREI AVERE  $Gloop > 1$

## Calcolo di Gloop



$$D_{out} = I_T \cdot \frac{\frac{1}{g_{mQ1}} + \frac{1}{g_{mQ2}}}{R_1 + \frac{1}{g_{mQ2}}}$$

Dico controllare che questo valore sia < 1

Per avere un Gloop < 1 devo avere che

$$\frac{1}{g_{mQ2}} + \frac{1}{g_{mQ1}} < R_1 + \frac{1}{g_{mQ2}}$$

(ma ho capito cosa ha fatto)

$$g_{mQ1} R_1 > 1 \quad \rightarrow \quad \underbrace{I_{R1}}_{V_{BE1}} > V_{TH}$$

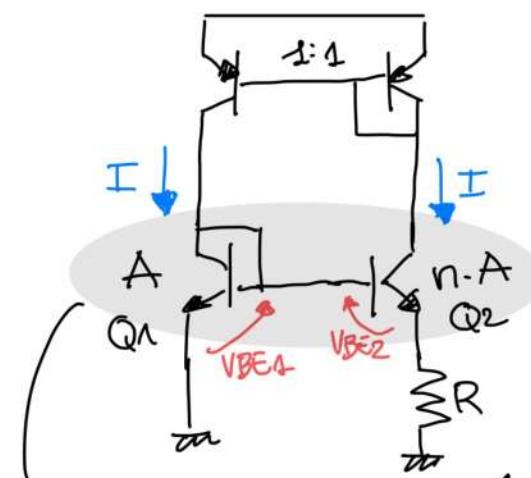
Perciò se la  $V_{BE}$  del BJT precedente è > della thermal voltage Gloop è < 1

Perciò avremo quasi certamente un Gloop < 1.

Allora quindi ottenuto un circuito indipendente dalla Voltage Supply (se non consideriamo  $R_0$ . Se lo consideriamo dobbiamo usare strutture cascade).

## Thermal voltage referenced circuit

Come facciamo a generare una  $V_{TH}$  come riferimento? Nci potremo prendere la differenza tra 2  $V_{BE}$



NON È UN CURRENT MIRROR!!!

LE 2 CORRENTE SOPRA SONO VIGANTI A CAUSA DELLO SPECCHIO SOPRA.

Dato lo specchio sopra ho che le 2 correnti sono uguali.

I 2 transistori hanno Area diversa ( $A > n.A$ ) perciò noi sappiamo che  $V_{BE1} > V_{BE2}$ .

ho quindi che su  $R$  cedono  $V_{BE1} - V_{BE2}$  quindi

$$V_{BE1} - V_{BE2} = V_{TH} \cdot \alpha \left[ \frac{I}{I_{S1}} \right] - V_{TH} \cdot \alpha \left[ \frac{I}{I_{S2}} \right]$$

$$= V_{TH} \cdot \alpha \left[ \frac{I_{S2}}{I_{S1}} \right] = V_{TH} \cdot \alpha (n)$$

(serve sempre lo start up circuit)

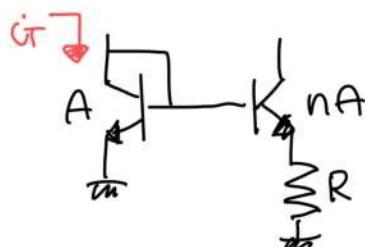
Perciò la corrente  $I$  è  $I = \frac{V_{th} \cdot e_n(n)}{R}$

È una PTAT come (Proportional to Absolute Temperature)  
[in realtà non perché anche R varia insieme con la temperatura]

Sappiamo di voler generare  $100\text{mA}$  con questo circuito ( $\alpha T = 500\text{K}$ ) e sappiamo che  $n=2$ .

$$\text{Offizielles Quandale} \quad R = \frac{U_{th} \cdot \eta_{th}(2)}{100\mu} = 180 \Omega$$

Vediamo subito che Group è  $\mathbb{Z} \times \mathbb{Z}$



Abbiamo che le gm dei 2 BJT sono uguali perché passa la stessa I<sub>Q</sub> nelle due direzioni.

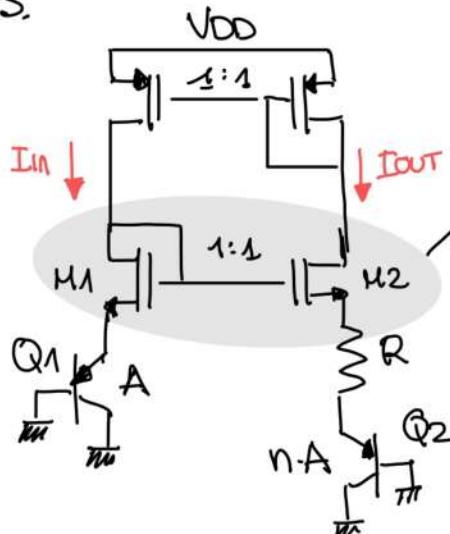
$$\frac{D_{\text{out}} T}{C T} \approx \frac{\frac{1}{2} g_m}{\frac{1}{2} g_m + R} \quad \text{de } e^{-L} \ll 1 \quad \text{para}$$

26.10.2022

3h (forse 2h)

## VT referenced circuit with CMOS

Anche in questo caso possiamo usare il BST parassita interno ai MOS.



[è sempre necessario avere uno start up circuit]

Ripetiamo per la novità del gestore  
è uno specchio qui la tensio si  
2 vini unire solo in un C2G specifico.  
Non sono in quel C2G specifico perché  
lo specchio sopra ci impone di avere corrente  
uguale nei 2 vini.

$$V_{BE_1} - V_{BE_2} = V_{th} \ln(n)$$

Credito

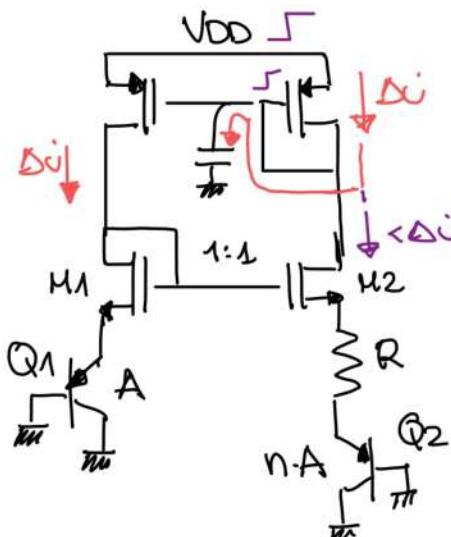
$$\text{Allora } I_{IN} = I_{OUT} = \frac{V_{TH} e_n(n)}{R}$$

Al primo ordine siamo indipendenti dalla tensioe di alimentazione ma siamo dipendenti dalla temp e dal processo (R)

Una cosa su cui dobbiamo stare attenzionati è il mismatch tra  $M_1$  e  $M_2$ . Questo perché noi abbiamo assunto VA e VB a tensio-  
nisti ma se abbiano un offset non è detto che sia reale

Dato che la corrente rimane costante se l'elemento resistivo si trova nelle due branche della rete.

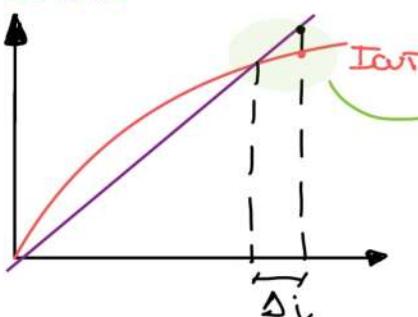
Sui mos di gate dello specchio di corrente si alza. (Questo non avviene immediatamente perché alziamo delle capacità parassite da carico)



Dato che VDD si alza ma Va non ancora alzarmi della corrente extra perfetta dei mos sopra.

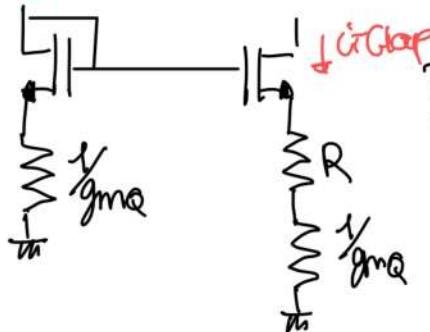
Dato che lo specchio sotto permette di avere corrente uguali solo in curreto e che il Gloop è 1, vediamo che

è + piccolo di  $\Delta i$  perché Gloop è 1 e quindi la corrente extra va a carico del condensatore



Vediamo che se fin si alza Iar si alza di meno, alzarmi quindi la extra corrente da va a carico il condensatore e che permette di zzerare la Vas dello specchio sopra e tornare stabile

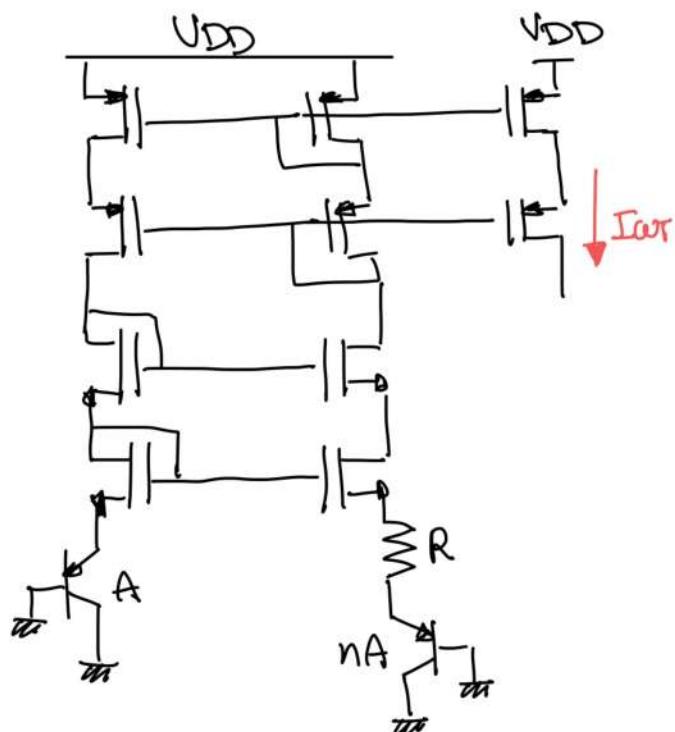
$\rightarrow \text{Iar}$



Dato che i 2 BDI hanno la stessa corrente allora hanno la stessa gmn, si vede a corpo che Gloop ≈ 1.

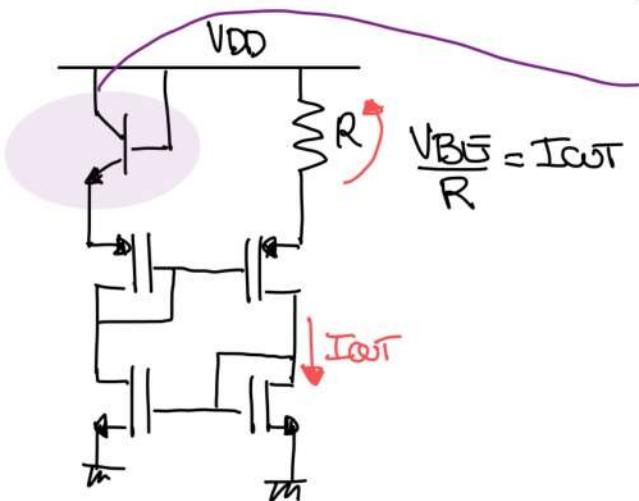
$$G_{\text{loop}} = U_T \cdot \frac{\frac{1}{g_{mn}} + \frac{1}{g_{mQ}}}{\frac{1}{g_{mn}} + \frac{1}{g_{mQ}} + R}$$

Nel non abbiamo considerato se lo processiamo daremo per una struttura ccscode

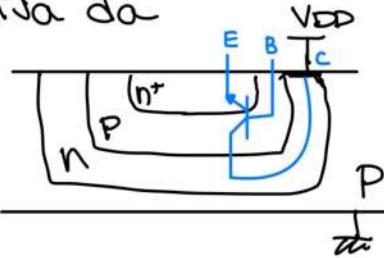


(e' lo stesso circuito di sopra solo fatto ccscode)

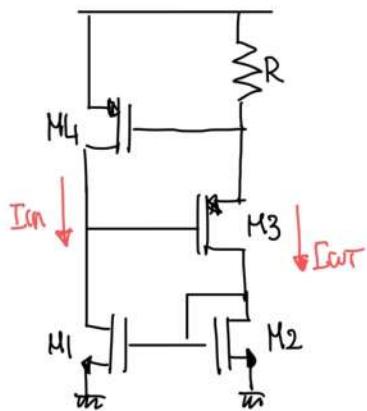
Altra struttura (quando abbiamo disponibili dei transistor NPN parasiti)



Deriva da



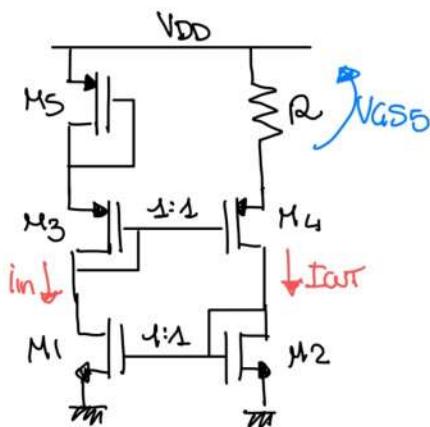
Altra struttura (è la struttura complementare di cui sopra)



$$I_{IN} = I_{OUT} = \frac{V_{GSU}}{R} = \frac{|V_{TP}| + V_{AVU}}{R}$$

Controllare sempre che Gloop sia < 1

- Altra struttura

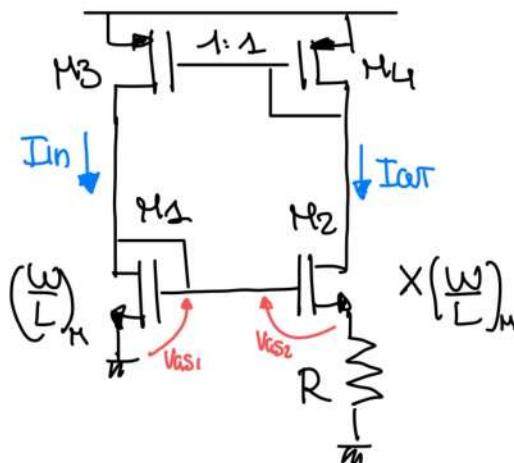


$$I_{OUT} = \frac{V_{GS5}}{R}$$

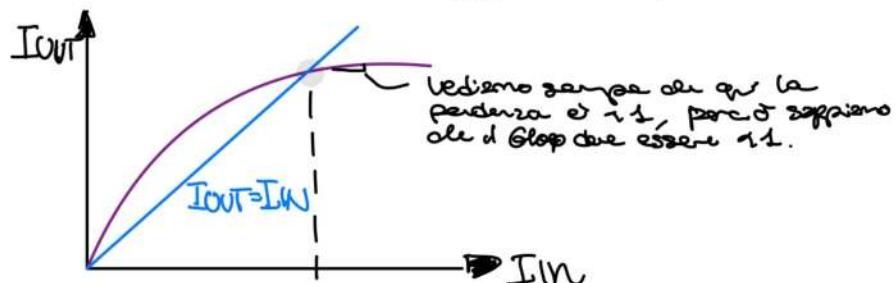
(Usano tutti lo stesso trucco)

[Controllare che Gloop sia < 1]

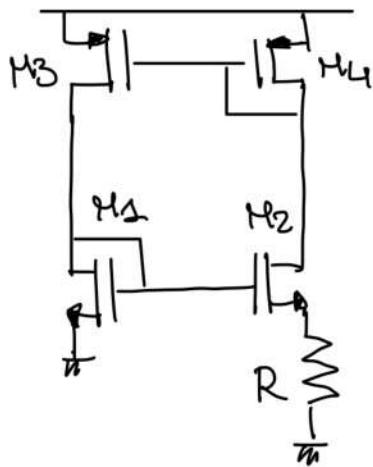
• Ottimo circuito, chiamato constant gm.



I MOS sotto non possono essere 1:1 perché altrimenti non troviamo il punto di stabiilità. Allora M2 è x volte più grande di M1 (per x costante maggiore di 1)



Controlliamo se ora la corrente d'output



$$I_{IN} = I_{OUT} = I$$

$$= V_{GS1} = V_{GS2} + IR$$

$$= \sqrt{\frac{2I}{\mu n C_{ox} \left(\frac{W}{L}\right)_n}} + VT = \sqrt{\frac{2I}{\mu n C_{ox} \times \left(\frac{W}{L}\right)_n}} + VT + IR$$

$\underbrace{V_{GS1}}_{\text{in purple}}$

(dato a low supply voltages)

$$= \sqrt{\frac{2I}{\mu n C_{ox} \left(\frac{W}{L}\right)_n}} \left[ 1 - \frac{1}{R_X} \right] = I \cdot R$$

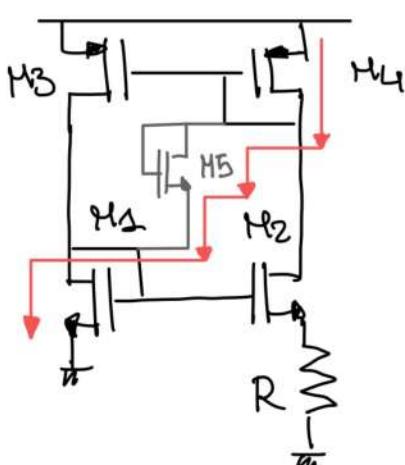
Facciamo il quoziente da entrambi i lati e semplifichiamo I (facendo così perdere la soluz. a 0 corrente)

$$= \frac{2I}{\mu n C_{ox} \left(\frac{W}{L}\right)_n} \left[ 1 - \frac{1}{R_X} \right]^2 = I^2 \cdot R$$

$$= I = \frac{2}{\mu n C_{ox} \left(\frac{W}{L}\right)_n} \cdot \frac{1}{R^2} \cdot \left( 1 - \frac{1}{R_X} \right)^2$$

Senza usare nessun riferimento riusciamo a trovare una corrente non dipendente dalla tensione di alimentazione

Anche questo circuito necessita di un circuito di start-up



Abbiamo aggiunto il transistor M5.  
Supponiamo d'elementare il circuito e d'essere nella situazione  $I = 0$   
Se siamo in questo caso e SE

$$V_{DD} > VT_1 + VT_5 + |VT_4|$$

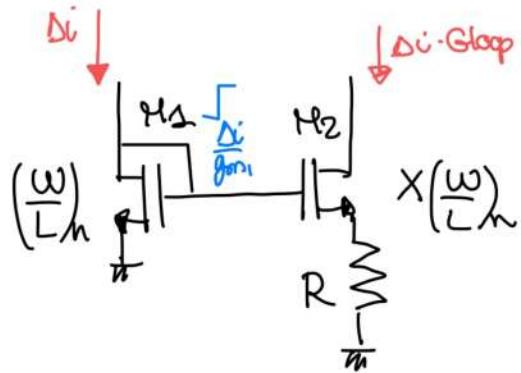
Allora zero della corrente I che scorre su M4, M5, M1 ce lo accende lo specchio

Dopo qualche millesimo di secondo il circuito si spegne ma resta acceso questo

$$V_{GS1} + |V_{GS4}| + VT_5 > V_{DD} \quad (\text{e allora si spegne M5})$$

[Il prof non è sicuro che questo circuito funzioni correttamente perché è troppo facile e non è detto che l'aggiunta di M5 non aggiunga ulteriori punti di instabilità]

Analisi 2emo il loop gain del circuito (senza start-up)



$$\Delta i_{\text{loop}} = \Delta i \cdot \frac{1}{g_{m1}} \cdot \frac{1}{R + \frac{1}{g_{m2} \cdot R}}$$

La domanda è, questo è ≈ 1?

$$\text{Dobbiamo vedere se } R > \frac{1}{g_{m1}} \left( 1 - \frac{1}{\sqrt{X}} \right) = \frac{1}{2\mu n C_{ox} \left( \frac{w}{L} \right)_n I} \left( 1 - \frac{1}{\sqrt{X}} \right)$$

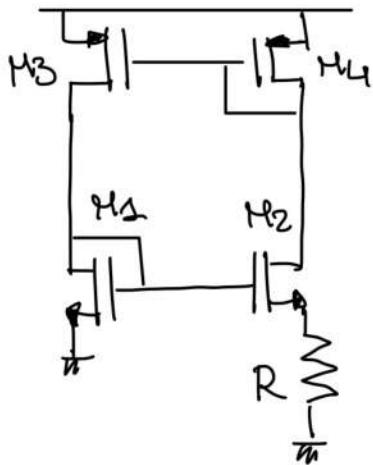
$$\text{Questo risulta vero se } Q^2 > \frac{1}{2\mu n C_{ox} \left( \frac{w}{L} \right)_n I} \left( 1 - \frac{1}{\sqrt{X}} \right)^2$$

Che risulta vero perché avevamo ricevuto da 1a come nel circuito è

$$I = \frac{2}{\mu n C_{ox} \left( \frac{w}{L} \right)} \cdot \frac{1}{R^2} \cdot \left( 1 - \frac{1}{\sqrt{X}} \right)^2 \quad (\text{che è 4 volte la formula sopra})$$

Perciò seppiamo che  $G_{\text{loop}} \approx 1$ .

Il nome di questo circuito è constant gm, ma perché questo strano nome?



Ma seppiamo che

$$I = \frac{2}{\mu n C_{ox} \left( \frac{w}{L} \right)_n} \cdot \frac{1}{R^2} \left( 1 - \frac{1}{\sqrt{X}} \right)^2$$

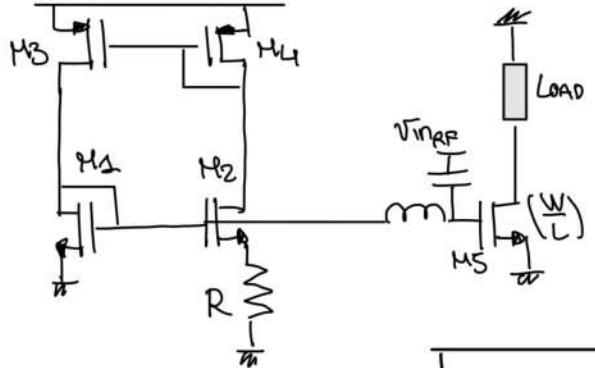
Ma qual'è la  $g_m$  del transistor -1?

$$\begin{aligned} g_{m1} &= \sqrt{2\mu n C_{ox} \left( \frac{w}{L} \right)_n I} \\ &= \sqrt{2\mu n C_{ox} \left( \frac{w}{L} \right)_n} \cdot \frac{\sqrt{2}}{\sqrt{\mu n C_{ox} \left( \frac{w}{L} \right)_n}} \cdot \frac{1}{R} \cdot \left( 1 - \frac{1}{\sqrt{X}} \right) \end{aligned}$$

Non ci interessa la  $g_m$  perché non è un transistor di segnale tuttavia ne lo calcoliamo ugualmente

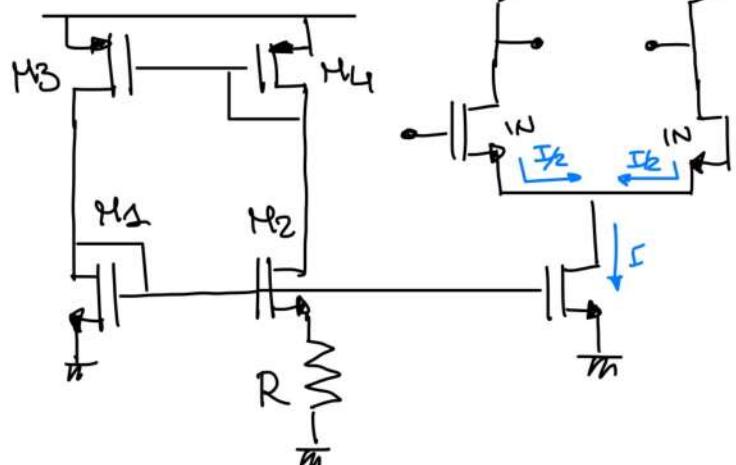
$$g_{m1} = \frac{2}{R} \left( 1 - \frac{1}{\sqrt{X}} \right) \quad \text{se } k=4 \rightarrow g_{m1} = \frac{1}{R} \quad (\text{che è fissata e non cambia})$$

Tipicamente questo circuito è usato per avere guadagno fisso per circuiti ad alta frequenza



In DC L'è un corto e M5 ha la stessa gom di M1.  
+ zero in Rea + L è un aperto e non c'è segnale VRF in ingresso ma questo viene mappato sempre dalla gom P della prima tensione M1.

Altro esempio



$$G = g_{m1} \cdot R_L$$

Se ne prendiamo i MOS di input  $2(w/L)_n$

Allora i transistor di input hanno la stessa gom del transistor di coda

$$V_{out} = \frac{V_{out} M_5}{2} \quad (= \frac{V_{out}}{2})$$

Abbiamo che la corrente è metà e Vas è metà e quindi ho che la gom dei transistor di input è uguale a gom e gom.

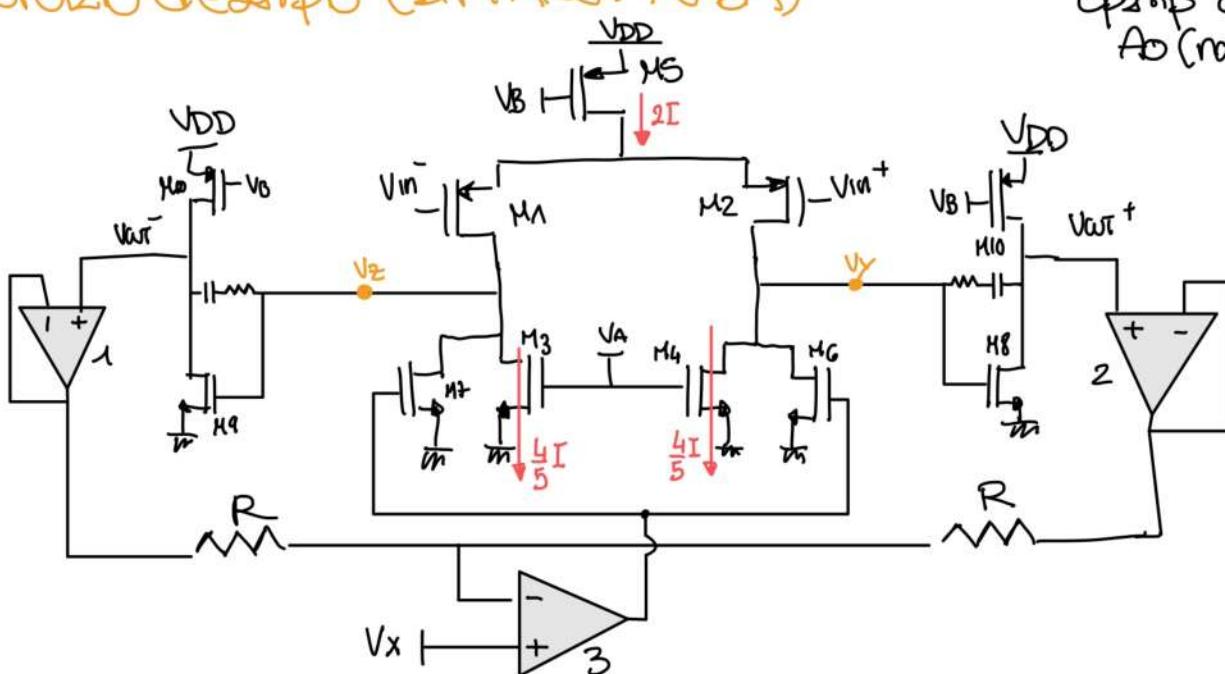
Altra il guadagno differenziale posso vederlo come:

$$G = g_m \cdot R_L = \frac{1}{R} \cdot R_L \quad \leftarrow \text{Abbiamo il rapporto tra 2 resistori bello}$$

Potremo oscurlo in open loop? Si ma perdiamo la linearità data dal feedback.

### Esercizio d'esempio (DA FARE A CASA)

Opamp con guadagno  $A_0$  (ra  $\infty$ )

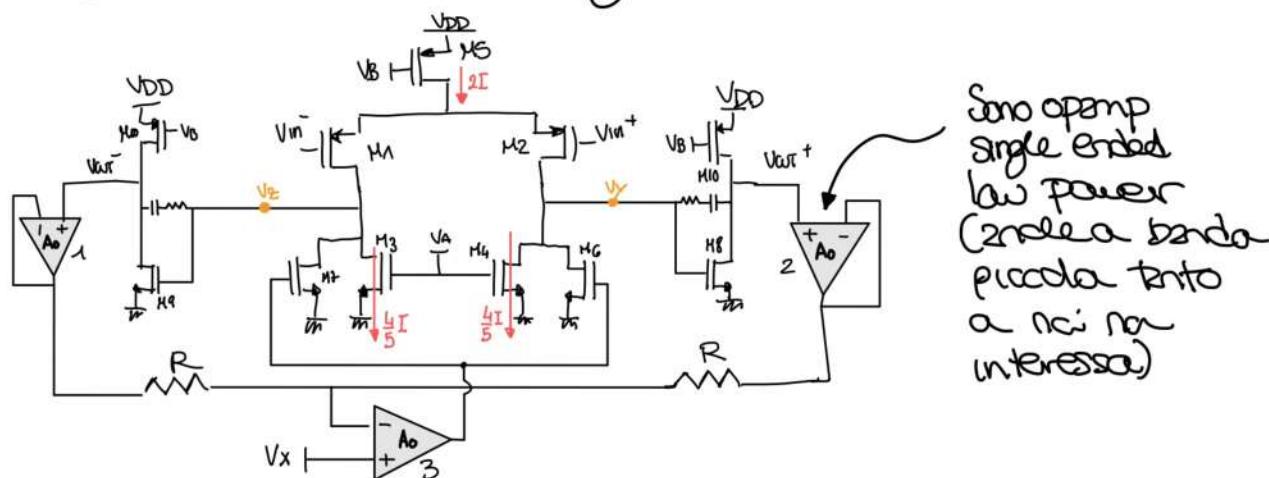


- 1) Common mode output voltage ideal case?
- 2)  $\frac{w}{L}$  dei transistor 6 e 7 per avere  $V_{O2}$  uguale a 3 e 4?  
(domanda se serve a capire che 6/7 e 3/4 sono lo stesso transistor solo d'insito in 2)
- 3) Quelli sono i parametri messi dal designer per settare  $V_2$  e  $V_3$ ?
- 4) Diff gain e Common mode gain (out-in - out)
- 5) Input sources noise (spieghate il contributo di  $H_3$  e  $H_7$ )
- 6) Supponiamo che  $I_{H1}$  e  $I_{H2}$  siano entrambi maggiori di  $D_1$ , calcolare la varianza di  $V_2$  e  $V_3$  e se vogliamo zaccia la output dc.
- 7) Fare come il 6 solo considerando solo una varianza di  $I_{H1}$ .
- 8) Qual è l'offset dell'opamp 3?
- 9) Qual è l'impatto dell'offset degli opamp 1 e 2?

02.11.2021

3h

Continuiamo con l'esercizio dell'altro giorno.



### 1) Common mode output voltage

Riconosciamo subito la struttura di un OI feedback dove controlliamo il f.tl generatore. Ma non controlliamo tutta la corrente ma solo una frazione (x stabilità).

Vediamo che facciamo un sensing resistivo ma usiamo un buffer per non sfanculizzare il generatore.

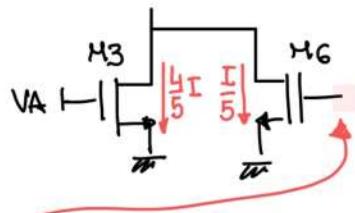
Se il OI feedback è di segno sbagliato basta invertire i pin dell'Opamp 3.

Ma quanto vale la output dc?

Nel caso di feedback negativo ideale l'output common mode è uguale a  $V_x$ .

(Abbiamo controllato che il OI feedback sia negativo, lo è)

## 2) Aspect ratio di 6,7 per avere la stessa V<sub>DS</sub> di 34.



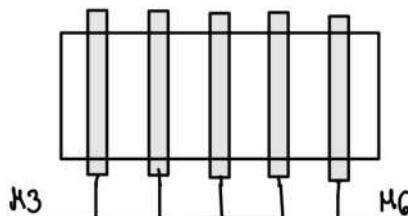
Dato che voglio la stessa V<sub>DS</sub> devo avere

$$\left(\frac{W}{L}\right)_{M3} = 4 \left(\frac{W}{L}\right)_{M6}$$

(La dimensione del transistor "sotto" automaticamente fa la V<sub>DS</sub> del MOS (questo non è il col. Feedback deve mettere la corrente che arriva da sopra))

il common mode feedback è quello che regola la tensione al gate del mosfet.

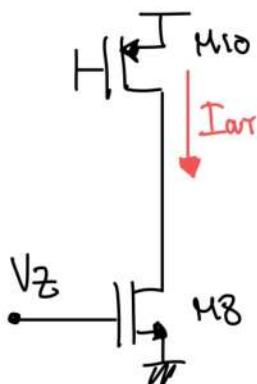
Questi 2 transistor li possiamo vedere come un unico transistor con 5 gate



È un unico transistor connesso in questo modo

## 3) Parametri di settimo V<sub>Z</sub> e V<sub>Y</sub>

(Non partire con la early voltage di cui incasimento e' un effetto del 2° ordine)



Nel sapremo la corrente data da M10 e il dimensionamento di M8 quindi possiamo calcolare la V<sub>DS</sub> di M8 (è lo stesso discorso che facciamo con la catena per il 2° stadio che dà una V<sub>DS</sub> del primo e per l'altro non la settimo così)

$$V_Z = V_{GS8} = VT_n + \sqrt{\frac{I_{D10}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_8}}$$

= V<sub>DS8</sub>

Una cosa assolutamente da ricordare è che V<sub>DS</sub> dipende dal dimensionamento del mosfet (anche se non sembra) quindi DEVO STARE ATTENTO

## 4) Differential e CM gain

- Diff. Gain

$$G_{diff}(\phi) = \frac{g_{m1} \cdot 2 R_{out1} \cdot g_{m8} \cdot R_{out2}}{r_{o4}/r_{o6}/r_{o2} \quad r_{o10}/r_{o8}} \approx (g_{m1} r_o)^2$$

- Common Mode gain (facciamo forward gain / 1 + Gloop)

$$\left| \frac{V_{out1}}{V_{in1}} \right|_{OPEN LOOP} = \frac{1}{2 r_o} \cdot \underbrace{(r_{o4}/r_{o6})}_{\sim 1} \cdot g_{m8} \cdot \underbrace{(r_{o8}/r_{o10})}_{\sim 1}$$

$\frac{1}{2}$  c'è perché la corrente che si genera su r<sub>o8</sub> si divide a metà  
(ma ha capito perché rimanda  $\frac{1}{2}$  nella formula totale)

[Approssimata, dobbiamo considerare l'half circuit ma le resistenze di M2 è degenerata da M5 quindi è grande e non la trascurri]

Attenuazione del gesto guadagno open loop è positivo

- Calcoliamo il loop gain del OI feedback.

$$G_{\text{loop}}(s) = -g_{m2} \cdot R_{\text{out2}} \cdot \underbrace{\frac{1}{A_0}}_{\text{(}} \cdot A_0 \cdot g_{m6} \cdot R_{\text{out6}} \text{)}$$

è il buffer, dovrebbe essere  $\frac{A_0}{1+A_0}$   
ma noi mettiamo 1.

( $R_{\text{out6}}/R_{\text{in4}}$ )

Possiamo ricavare il guadagno di Common mode

$$\frac{V_{\text{out}}}{V_{\text{in4}}} = \frac{\frac{1}{2r_{ds2}} \cdot R_{\text{out1}} \cdot g_{m2} \cdot R_{\text{out2cm}}}{1 + g_{m2} \cdot R_{\text{out2}} \cdot A_0 \cdot g_{m6} \cdot R_{\text{out3}}}$$

$\approx$

$$\frac{1}{2r_{ds2} g_{m6} A_0}$$

Potremmo ricavare un valore simile supponendo  $G_{\text{loop}} \rightarrow \infty$  vedendo che

Se abbiamo una Cc abbiamo una corrente  $i_o = \frac{V_{\text{out}}}{2r_{ds2}}$  nei 2 rzi

noi abbiamo fare sì che il 6 trai via gesto comune quindi

$$i_{\text{out}} = g_{m6} A_0 \cdot V_{\text{out}} \quad \text{allora}$$

$$\frac{V_{\text{out}}}{V_{\text{in4}}} = \frac{1}{2r_{ds2} g_{m6} A_0}$$

Ho in pratica imposto che su M6 vada tutta la corrente extra, ricavo questa formula vedendo come viene condizionato il gesto di M6.

Ao non è un valore molto grande. Crediamo che l'opamp 3 sia usato unicamente per fare un'inversione e avere un gesto del giusto segno.

## 5) Input series noise

Noi consideriamo solo il rumore del 1° stadio.

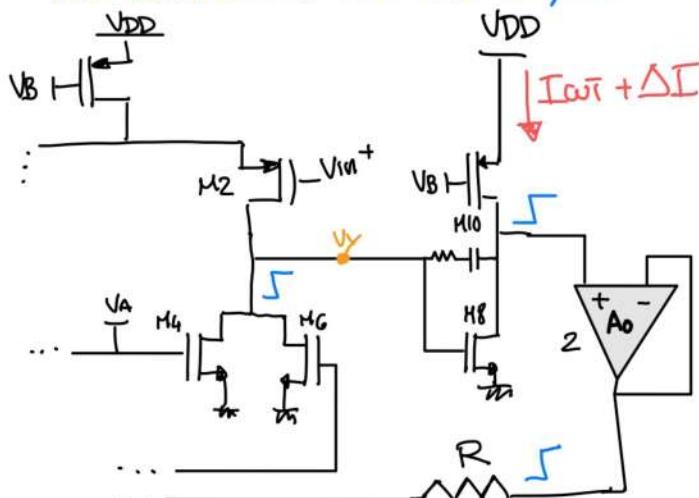
$$\overline{E_n^2} = 2 \times \frac{4kT\gamma}{g_{m1}} + 2 \times \frac{4kT\gamma g_{m4}}{g_{m1}^2} + 2 \times \frac{4kT\gamma g_{m6}}{g_{m1}^2}$$

Quanta è la differenza data dal rumore tra  $M_4$  e  $M_6$ ?

Se faccio il rapporto vedo che mi rimangono solo le gom

$$\frac{g_{m4}}{g_{m6}} = (\text{solo perciò ho la stessa Vout}) = \frac{I_{L4}}{I_{L6}} = 4$$

6) Come si calcola la variazione di  $V_y$ ?



Io so che su  $M_8$  deve passare anche questa extra corrente quindi:

$$g_{m8} \cdot \Delta V_y \approx \Delta I$$

$$\Delta V_y = \frac{\Delta I}{g_{m8}}$$

**SUPER MEGA IMPORTANTE**, la variazione di  $V_y$  posso calcolarla facendo la variazione di  $V_{out}$  e poi dividendola per  $G_2/(1+G_{loop})$

Ora posso usare la tecnica standard in cui calcolo il guadagno d'open loop e divido per  $G_{loop}$

$$\left. \frac{\Delta V_y}{\Delta I} \right|_{\text{open loop}} = R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}$$

$$\text{Allora } \frac{\Delta V_y}{\Delta I} = \frac{R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}}{1 + g_{m8} \cdot R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}} \approx \frac{1}{g_{m8}}$$

Allo stesso modo edesso calcoliamo la variazione della  $V_{out1}$

$$\frac{\Delta V_{out1}}{\Delta I} = \frac{R_{out2}}{1 + g_{m8} R_{out2} \cdot A_o g_{m6} R_{out1}} \approx \frac{1}{g_{m8} A_o g_{m6} R_{out1}}$$

(Non è proprio così immediato, il prof ci consiglia di fare tutti i conti)

7) Stessa cosa di sopra ma ho una variazione di  $I_S$  ( $\Delta I + 2\Delta I_S$ )

$$\frac{\Delta V_y}{\Delta I_S} = \frac{R_{out1}}{1 + g_{m8} R_{out2} A_o g_{m6} R_{out1}} \approx \frac{1}{g_{m8} R_{out2} A_o g_{m6}}$$

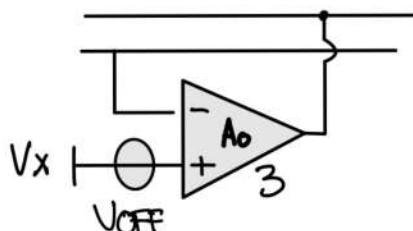
(Allo stesso modo possiamo calcolare la variazione della output common mode)

## NOTA

Dobbiamo ricordare che questo opamp sarà connesso anche con un feedback differenziale. Questo feedback fornisce anche un loop positivo non voluto per la Common Mode. Questo loop non è traccierabile, e in più è positivo quindi ci scossa il C2220 per base.

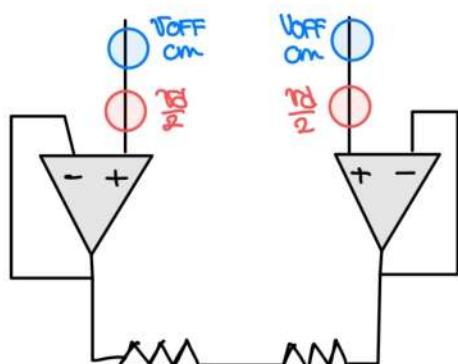
Perciò quando calcoliamo le variazioni di CM e i guadagni dovranno considerare questo loop (nel es nostro consideriamo l'opamp open-loop per il differenziale)

## 8) Offset degli opamp



Vediamo che questo offset fa venire l'output common mode del circuito.

Per quanto riguarda gli altri 2 opamp dobbiamo considerare la CM e la differenziale mode dei 2 offset (che ricordiamo sono diversi e indipendenti)

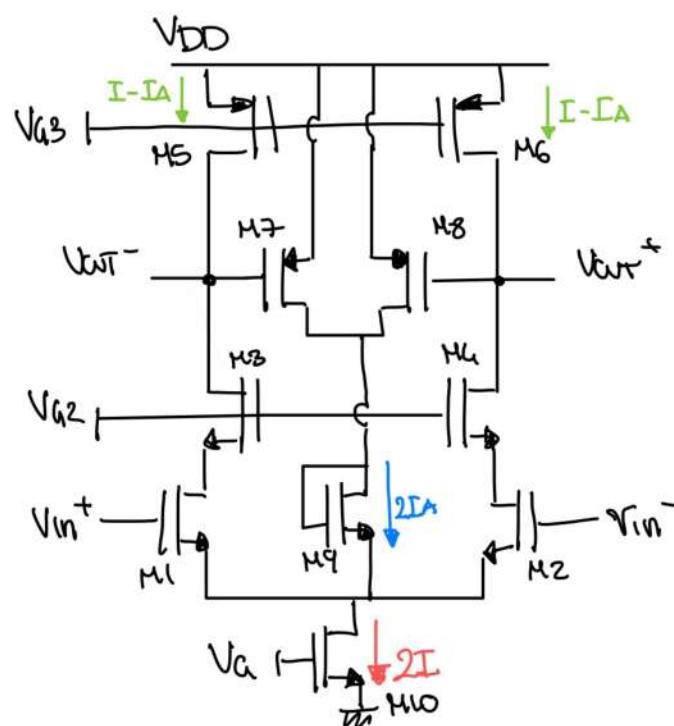


$$V_{OFFCM} = \frac{V_{OFF1}^2 + V_{OFF2}^2}{2}$$

$$V_{OFFD} = V_{OFF1} - V_{OFF2}$$

(Ad eccezione quello differenziale è quello problematico perché da un segnale sulle resistenze, al contrario di quello di common mode) **NON CHIARO DA RICONTROLLARE**

## Esercizio



È evidente che  $2I > 2I_A$

M7,8,9 implementano un CM feedback.

L'output common mode è settato dalla VGS dei transistori 7,8 (cioè della corrente  $I_A$ ) Non è come negli altri di feedback nei quali VGS è settata da una tensione.

$$G_{diff} = \frac{g_m \cdot 2 \cdot r_{DS}}{2}$$

(Incapisco i percorsi dei Mos M3 e M4 forse per tenere l'effetto miller dei Mos di input? Beh non ho un idea davvero neanche il prof)

Quando non segnale differenziale  $V_{in}$  scende e la corrente totale rimane  $\approx$  costante.

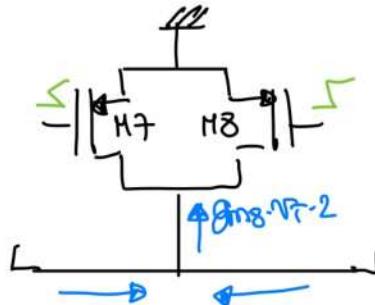
Quel'è il guadagno di common mode? (cioè come funziona il common mode?)

Assumiamo prima in open loop e poi dividiamo per  $1 + G_{loop}$ .

$$\frac{V_{out}}{V_{in} \text{ open loop}} = -\frac{1}{2r_{o10}} \cdot \frac{R_{out}}{r_{o5}}$$

Perciò

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{-\frac{r_{o5}}{2r_{o10}}}{1 + g_{m8} \cdot 2 \cdot r_{o5}} \\ &\approx -\frac{\frac{r_{o5}}{2r_{o10}}}{g_{m8} \cdot r_{o5}} \approx -\frac{1}{2r_{o10}g_{m8}} \end{aligned}$$



[ Posso vederlo anche intuitivamente vedendo che devo togliere la corrente in  $M_8$  ora ]

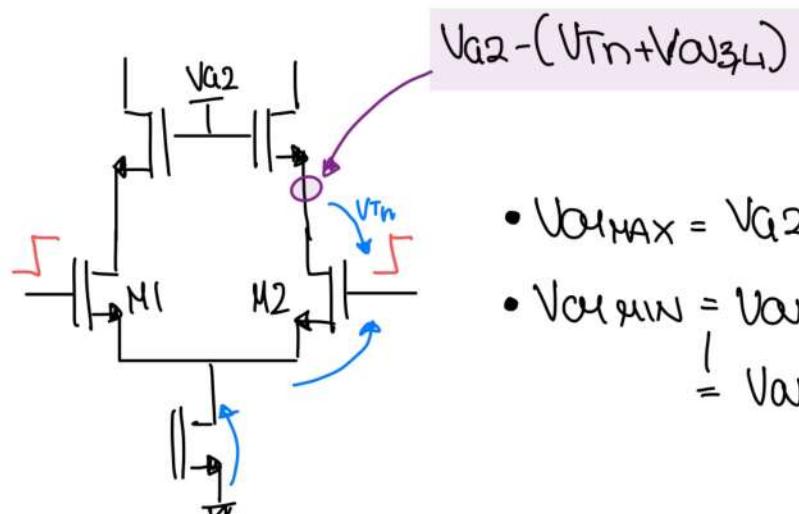
$$V_{out} \cdot g_{m8} = -\frac{V_{in}}{2r_{o5}} \quad (\text{non mi è immediato})$$

Quel'è l'output common mode?

È la  $V_{as}$  di  $M_7, M_8$ . Quindi l'output common mode dipende dai parametri.

$$V_{out} = V_{DD} - V_{as7,8} = V_{DD} - \left[ N_{T_p} + \sqrt{\frac{I_A}{\frac{1}{2} \mu_p C_{ox} \left( \frac{W}{L} \right)_7}} \right]$$

Dinamica di Common Mode:



- $V_{out,MAX} = V_{G2} - (V_{Tn} + V_{as7,8}) + V_{Tn}$
- $V_{out,MIN} = V_{as10} + V_{as1}$   
 $= V_{as10} + V_{as1} + V_{Tn}$

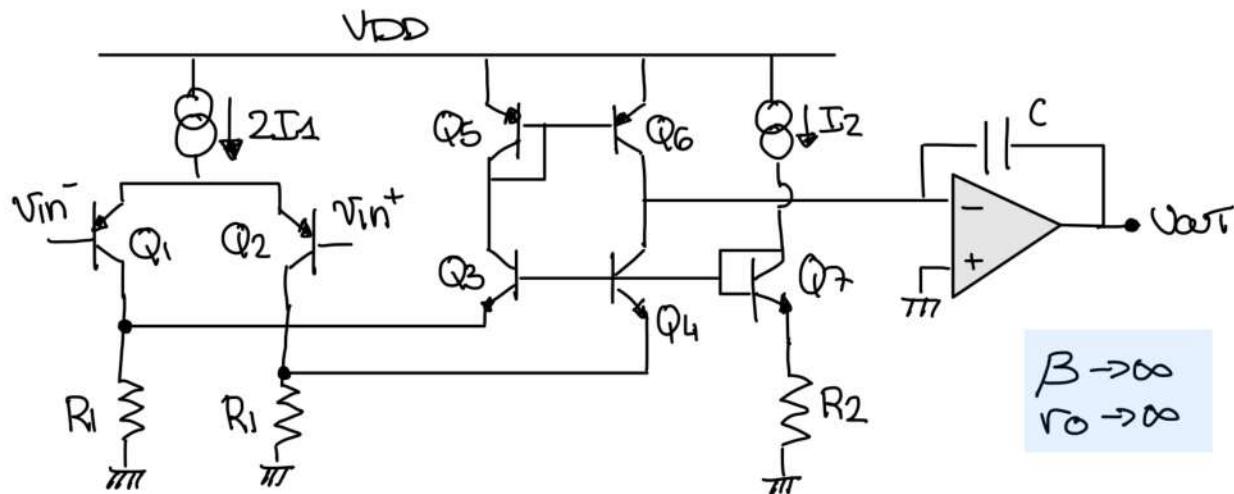
Che transistor contribuiscono alla serie base?  $M_1, M_5, M_6$

$$\bar{E}_n^2 = 2 \times \frac{4kT\gamma}{g_{m1}} + 2 \times \frac{4kT\gamma_p \cdot g_{m5,6}}{g_{m1}^2}$$

Se vogliamo ridurre il rumore devo lavorare su  $M_5, M_6$  del no sono in ingresso perché devo lavorare su  $g_{m5}/g_{m1}$  (dato che la corrente è la stessa posso lavorare sul rapporto delle overdrive)

07.11.2022

3h online (in matrica)



Vediamo che effettivo un input a PNP.

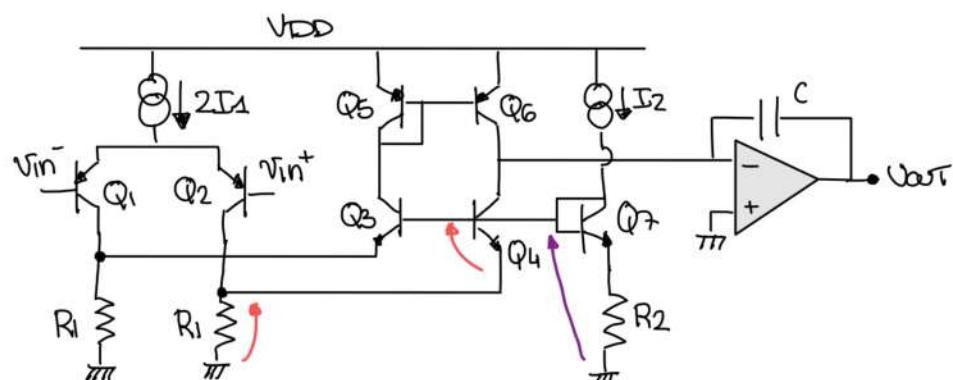
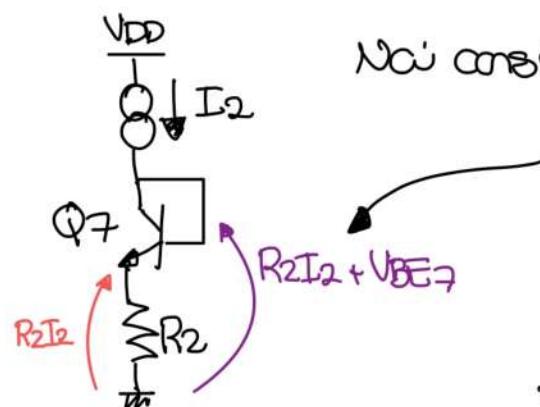
Probabilmente nella rete di uscita c'è presente un buffer d'ingresso per aumentare  $R_{IN}$ .

Inoltre questo circuito non ha bisogno di un feedback.

- 1) Quale è la corrente di bias da scegliere in  $Q_5, 3$ ? Quale deve essere la relazione tra  $R_1$  e  $R_2$  per avere una corrente  $I_2$  (?)

Noi consideriamo la  $V_{BE} = 0.7V$  per tutti i transistor.

Questa tensione alimenta i transistor  $Q_3$  e  $Q_4$



La tensione che ho su  $R_1$  è la tensione sulla base di  $Q_3$  meno  $V_{BE3}$   
Quindi:

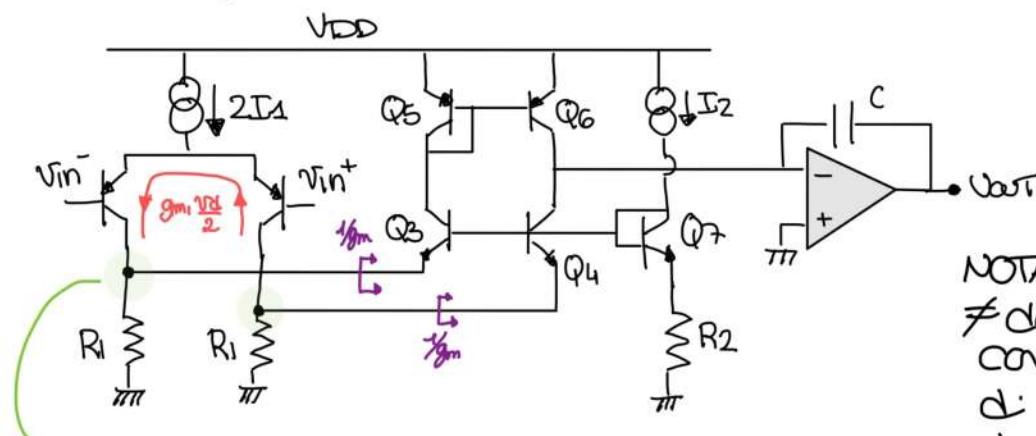
$$I_2R_2 + V_{BE7} - V_{BE3} = I_2R_2$$

Quindi la corrente su  $R_1$  è  $\frac{I_2R_2}{R_1}$  (che deve essere > di  $I_1$ )

Dato che vogliamo  $I_2$  piccolo (per poche perdite) e dato che dobbiamo avere  $\frac{I_2 R_2}{R_1} > I_1$  allora  $\frac{R_2}{R_1}$  deve essere grande.

( $I_1 < \frac{I_2 R_2}{R_1}$  è anche perché su  $R_1$  devono somarsi le correnti di bias dei 2 stadi)

## 2) Guadagno differenziale

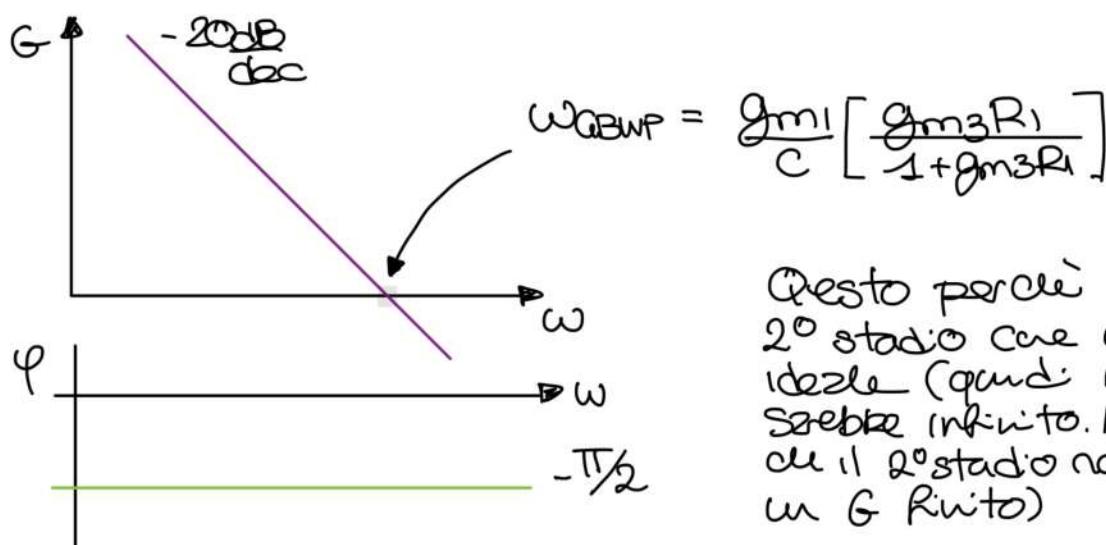


NOTA: anche se  $B$  fosse  $\neq$  da 0 non dovremo considerare l'impedenza di  $Q_7$  perché le basi di  $Q_3$  e  $Q_4$  sono care in AC grande.

Dobbiamo considerare la current division (con segue  $R_1 \gg 1/g_m$ )

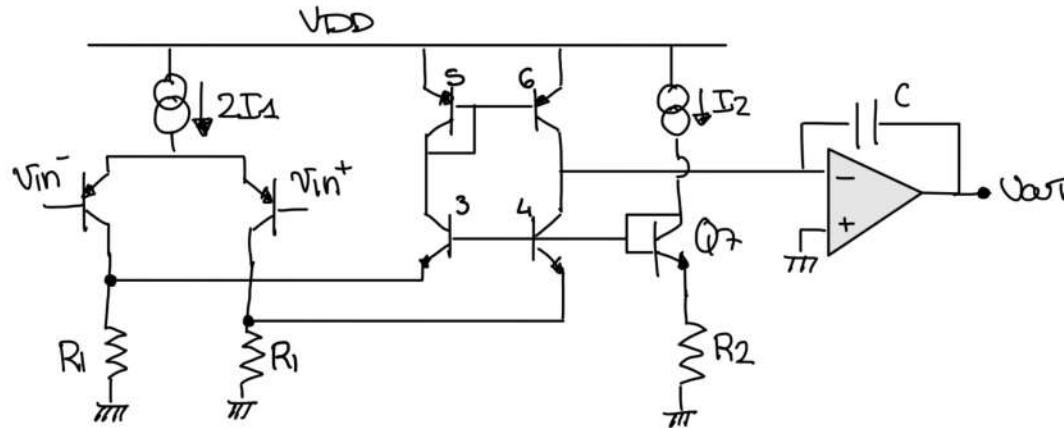
$$\text{Guadagno} = g_{m1} \left( \frac{V_d}{2} \right) \cdot \frac{g_{m3} R_1}{1 + g_{m3} R_1} \cdot 2 \cdot \frac{1}{SC}$$

Bode diagram del guadagno



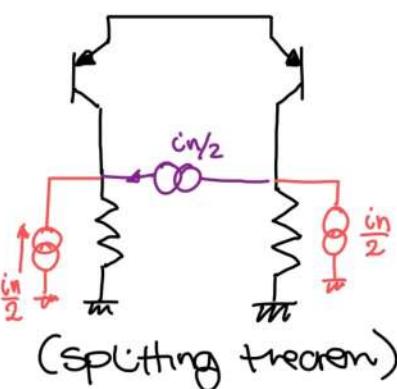
Questo perciò nel suppozmo il 2° stadio care un integratore ideale (quindi il  $g_m$  in DC sarebbe infinito. Nella realtà dato che il 2° stadio non è ideale abbiamo un  $G$  finito)

Calcoliamo adesso il rumore (solo collector shot noise per i BJT)



Rumore dato da  $R_1$ :

Supponendo che il circuito sia esattamente fully differential



Le componenti di common mode non danno rumore. Allora perdiamo solo le componenti di common mode, quindi:

$$-g_{m1} \cdot \frac{V_{DN}}{2} = \frac{c_n}{2}$$

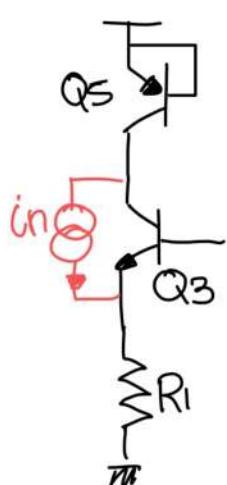
$$\rightarrow \overline{E_n^2} = \frac{4KT}{R_1} \cdot \frac{1}{g_{m1}^2} \quad (\text{del singolo resistore})$$

Si potranno usare anche l'half circuit del secondo me era più facile

Rumore dato da  $Q_3$  e  $Q_4$ :

Qui vediamo subito che sono dei cascode e se  $R_1 \gg g_{m3} R_1$  allora tutto il rumore marcia nella rete di feedback.

Nella rete di feedback



$$i_{R1} = i_n \cdot \frac{g_{on}}{R + g_{on}} = i_n \cdot \frac{1}{1 + g_{m3} R_1}$$

(che in pratica è già all'uscita)

Perciò il guadagno da input a output è

$$G = N_n \cdot g_{m1} \cdot \left[ \frac{g_{m3} \cdot R_1}{1 + g_{m3} R_1} \right] = i_n \cdot \left( \frac{1}{1 + g_{m3} R_1} \right)$$

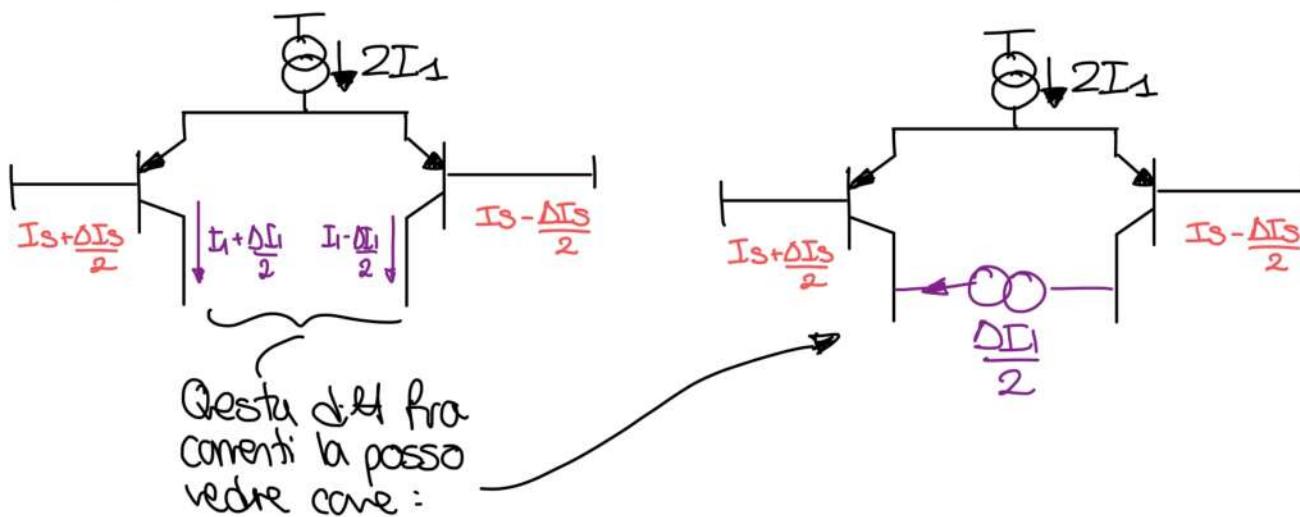
Perciò

$$\overline{E_n^2} = \frac{2q I_{CQ3}}{g_{m1}^2} \cdot \frac{1}{(g_{m3} R_1)^2}$$

OFFSET degli input transistors

(Offset dato da una differenza della corrente di saturazione  $I_S$ )

[Vediamo come farlo in 2 modi diversi]



Nel seppiamo che  $\frac{\Delta I_1}{I_1} = \frac{\Delta I_S}{I_S}$

Allora nel vediamo che  $\frac{V_{OFF} \cdot g_m}{2} = \frac{\Delta I_1}{2} \rightarrow V_{OFF} = \frac{\Delta I_1}{\frac{I_1}{g_m}} = \frac{\Delta I_S}{\frac{I_S}{g_m}} \cdot V_{th}$

Più nello specifico

$$\sigma_{V_{OFF}}^2 = \sigma_{\frac{\Delta I_S}{I_S}}^2 (V_{th})^2$$

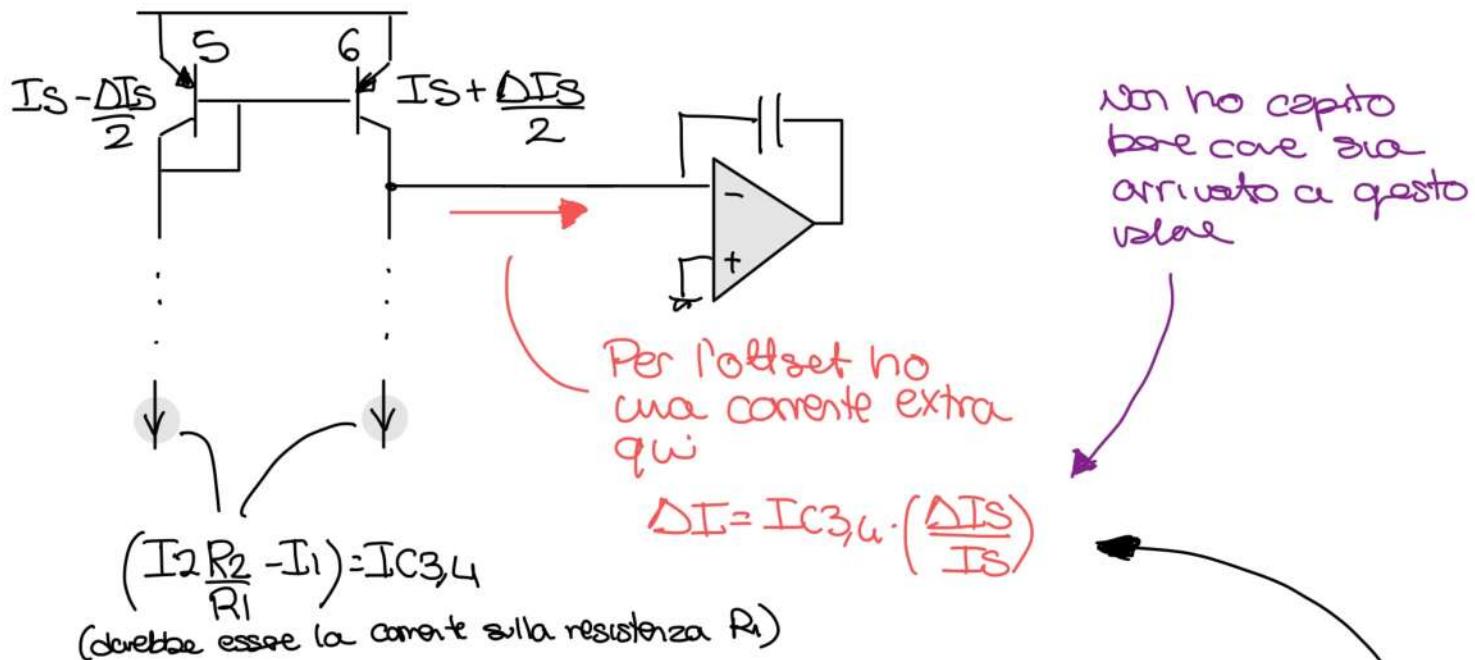
Oppure l'altro metodo si basa sull'assunzione che le 2 correnti di uscita siano uguali. Perciò devo avere delle VBE diverse tra i 2 BJT perché i 2 transistor sono diversi.

Allora

$$\begin{aligned} V_{OFF} &= V_{th} \cdot \ln \left[ \frac{I_1}{I_S - \frac{\Delta I_S}{2}} \right] - V_{th} \cdot \ln \left[ \frac{I_1}{I_S + \frac{\Delta I_S}{2}} \right] \\ &= V_{th} \cdot \ln \left[ \frac{I_S + \frac{\Delta I_S}{2}}{I_S - \frac{\Delta I_S}{2}} \right] \quad \text{QUESTO METODO NON MI PIACE!!!} \\ &= V_{th} \cdot \ln \left[ \frac{1 + \frac{\Delta I_S}{2}}{1 - \frac{\Delta I_S}{2}} \right] \approx V_{th} \ln \left[ 1 + \frac{\Delta I_S}{2 I_S} \right]^2 \end{aligned}$$

$$\approx 2V_{th} \cdot g_m \left[ 1 + \frac{\Delta I_S}{2I_S} \right] \approx 2V_{th} \frac{\Delta I_S}{2I_S} \approx V_{th} \frac{\Delta I_S}{I_S}$$

OFFSET DI 5 e 6 (l'offset di 3 non è molto importante perché c'è il cascode)



Adesso devo trovare l'offset voltage che mi dà questa corrente

$$\frac{V_{OFF}}{2} \cdot g_{m1} \left[ \frac{g_{m3}R_1}{1+g_{m3}R_1} \right] \cdot 2 = \Delta I = IC_{3,4} \cdot \left( \frac{\Delta I_S}{I_S} \right)$$

$$V_{OFF} = \frac{IC_{3,4}}{g_{m1}} \cdot \left( \frac{1+g_{m3}R_1}{g_{m3}R_1} \right)$$

Non è la  $V_{th}$  perché la corrente non è quella del transistor 1

- è possibile perdere il circuito originale e usare un load attivo? la risposta è sì e non necessitano di un CM feedback (è un folded cascode single ended normale)  
Non ci sono il CM feedback perché abbiano un mirror cui ci sono da tutti i problemi.

Quelli sono i vantaggi di un carico attivo?

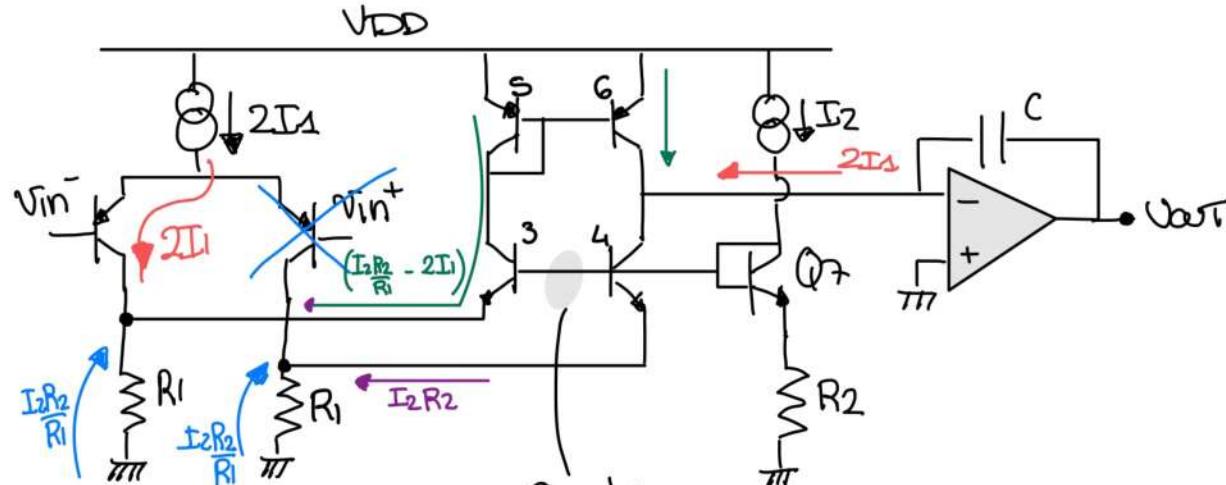
- ✓ non perdiamo tanto nel partire per il guadagno
- ✓ Ci va meglio per il bias e per la dinamica (perché se la resistenza  $R_2$  è grande riscalmo di 2 non è troppo alto)
- ✗ Rumore, infatti il rumore del carico attivo è certamente maggiore di quello dei resistori. (Nei separatori che un carico attivo è + rumoroso di un resistore)

$$\frac{2qI_A}{g_{m1}^2} > \frac{4KT}{R_1} \cdot \frac{1}{g_{m1}^2} \rightarrow I_A \cdot R_1 > \frac{2KT}{q} \xrightarrow{50mV}$$

Quando se la caduta sul resistore è maggiore di 50mV e noi non vorremo mettere un carico esterno.

### • Slow rate

(è un caso quando abbiammo resistor sul path del segnale) facciamo un'imbilancia completa del circuito.



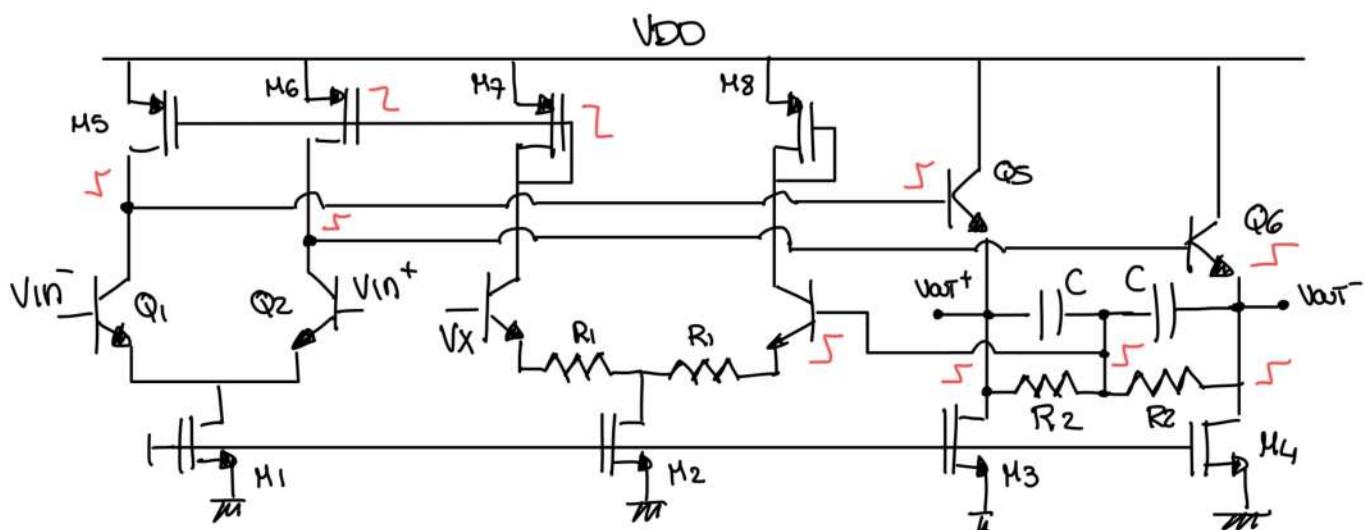
Non mi è del tutto chiaro perché entrambe le resistenze abbiano la stessa caduta (forse non può essere molto diversa perché se lo fosse la corrente di Q3 e Q4 sarebbe molto diversa).

Questo punto non cambia ed è  $I_2R_2 + V_{BE}$   
Ma noi sappiamo che se la corrente varia molto  $V_{BE}$  varia poco.

Abbiamo implicitamente assunto che  $\frac{I_2R_2}{R_1} > 2I_1$ , altrimenti

$$SR = \frac{2I_1}{C}$$

### Altro Esercizio



È un fully differential circuit implementato a bipolar

Vediamo subito che Q5,6 sono dunque emitter follower

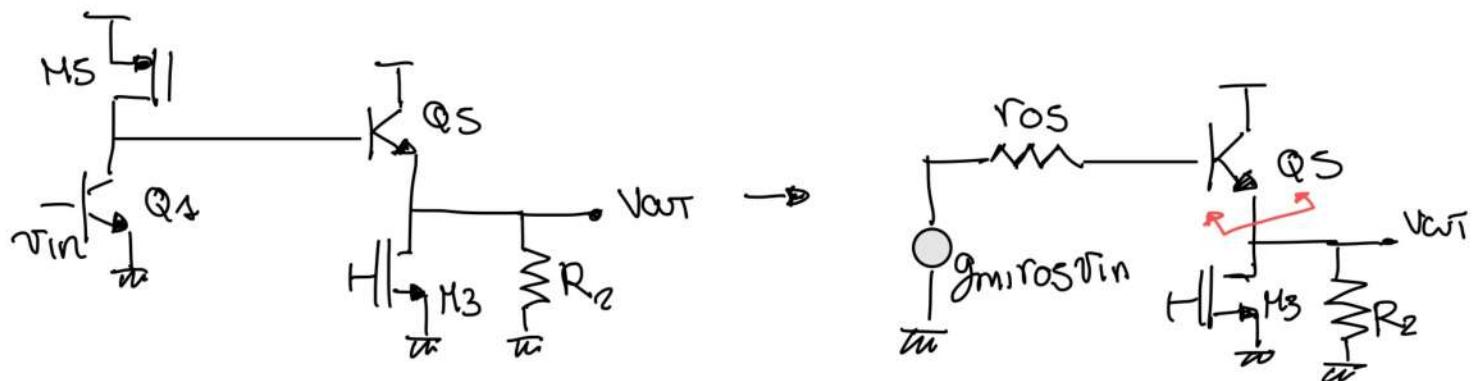
Vediamo poi che lo stadio centrale è un col feedback.

Il col feedback legge la tensione CM sulle R2 e poi da lo stadio centrale controllo la tensione (corrente) di M5,6.

M8 serve solo per simmetria.

la Output è  $V_{out}$  quando la tensione sulle basi di  $Q_5$  e  $Q_6$  è  $V_x + V_B$

1) Gain in DC (considerando l'half circuit)



$\beta$  non infinito. Allora

$$\frac{V_{out}}{V_{in}} = -g_{mQ_5} \cdot \frac{r_{0M5}}{\left[ \frac{r_{0M3}/R_2}{r_{0M3}/R_2 + r_{0M5} + \frac{1}{\beta g_{mS}}} \right]} \simeq 1$$

Non so perché considero solo r\_0s qui

2) Guadagno tra  $V_{in}$  e  $V_{out}$  (buffer ideale)

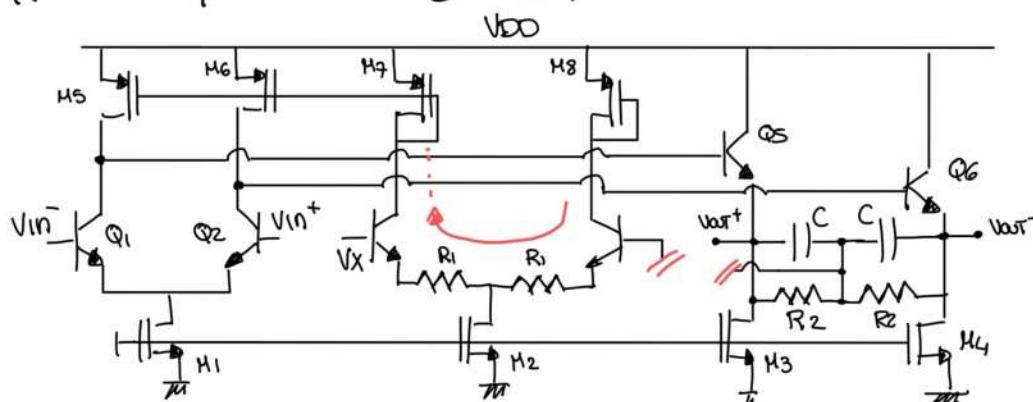
Open loop OR gain

$$\left| \frac{V_{out}}{V_{in}} \right|_{OPEN\ LOOP} = - \frac{1}{2r_{0M1}} \cdot r_{0M5} \cdot 1$$

Qua sono abbastanza convinto sia solo questa la resistenza da mettere perché abbiano la resistenza di common mode.

Ora calcoliamo il Gloop a frequenza 0 del OR feedback.

taglio sulla base di  $Q_4$  (dovei ricostruire l'impedenza ma noi sappiamo  $\beta$  molto grande)



$$Gloop_{ORF}(0) = - \frac{1}{2 \left[ R_1 + \frac{1}{g_{mQ_3}} \right]} \cdot \frac{1}{g_{mM5}} \cdot r_{0M5} \quad (\text{buffer ideale})$$

Perciò il quadriporto in closed loop è

$$\frac{V_{out}}{V_{in \text{ ou }}} = \frac{-\frac{1}{R_{out}} \cdot \frac{1}{2} \cdot r_{OMS}}{1 + \frac{1}{2} \cdot \frac{1}{\left[ \frac{1}{g_{mQ3}} + R_1 \right]} \cdot \frac{1}{g_{m2}} \cdot g_{m5} \cdot r_{OS}}$$

$$\approx -\frac{1}{R_{out}} \cdot \frac{g_{m2}}{g_{mQ3}} \left[ \frac{1}{g_{mQ3}} + R_1 \right]$$

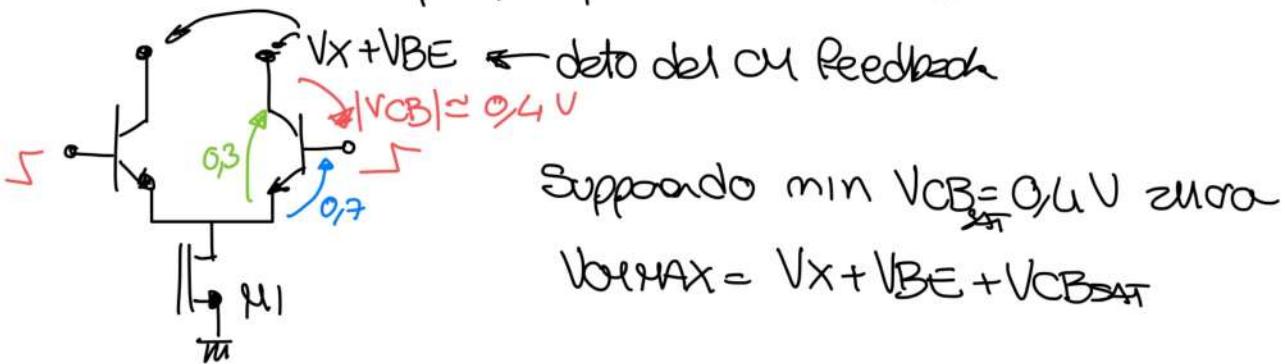
3) Perché i 2 resistori  $R_1$  sono utilizzati?

Il resistore  $R_1$  è usato per aumentare la dinamica dello stage del OP feedback. Né noi vogliamo infatti che lo stadio segnale ( $V_x \pm 50mV$  è la tensioce cui lo fa segnare)

Per aumentare questo valore noi mettiamo questi resistori.

Lo svantaggio di questa tecnica è che riduciamo il Gloop del OP feedback.

4) Max e min input/output Common Mode



$$V_{CM MIN} = V_{A1} + 0,7$$

(V<sub>BE</sub>)

4) Influenza delle capacità C sul differential gain?

$$G_d \cdot d = g_{m1} r_{OMS} \cdot \frac{r_{OM3} // R_2 // \frac{1}{SC}}{r_{OM3} // R_2 // \frac{1}{SC} + \frac{1}{g_{m5}} + \frac{r_{OS}}{\beta}}$$

Per semplificare i conti noi definiamo  $R_E = r_{OM3} // R_2$

$$R_E // \frac{1}{SC} \rightarrow \frac{R_E}{1 + SC R_E}$$

Perciò

$$Gloop(s) = g_{m1} r_{OMS} \cdot \frac{\frac{R_E}{1 + SC R_E}}{\frac{R_E}{1 + SC R_E} + \frac{1}{g_{m5}}}$$

Ma perché sono state usate queste capacità? (Abbiamo visto che sono un problema per il diff. gain.)

Le capacità sono messe per il common mode feedback, il prof. crede siano per fare uno zero pole compensation per la rete di CM feedback.

09.11.2022

3h

## Bandgap reference

L'energy gap nel silicio è 1,12 eV (da moltiplicare per  $1,6 \cdot 10^{19}$  per avere l'energia in Joule)

Il Bandgap reference dà una tensione invariente della temperatura  $\frac{\partial V_{th}}{\partial T} = 0$ . Oltretutto il circuito è circa invariante anche dal processo e dalle variazioni della power supply.

Noi sappiamo che

$$V_{th} = \frac{kT}{q} \quad \text{PTAT (proportional to absolute temperature)}$$

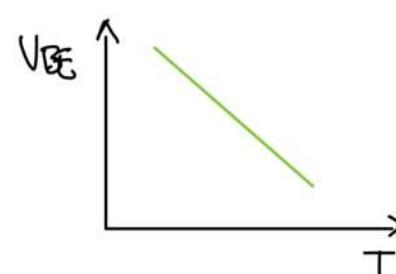
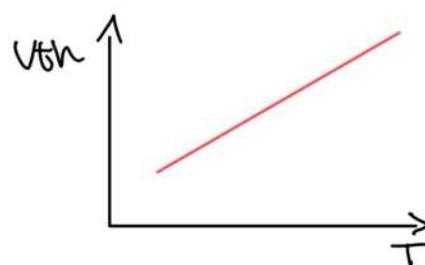
$$\frac{\partial V_{th}}{\partial T} = \frac{k}{q} \approx 0,085 \text{ mV} \quad (\text{Sale con la temperatura})$$

Allora possiamo pensare di prendere qualcosa che scende con la temperatura, tipo  $V_{BE}$

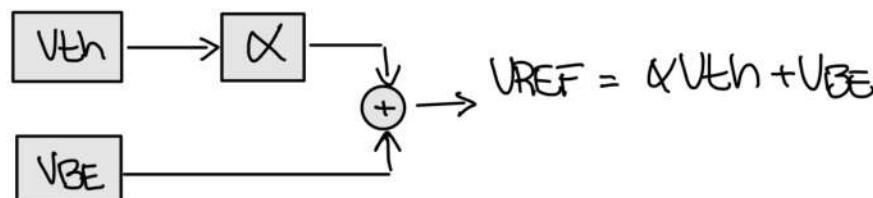
$$\frac{\partial V_{BE}}{\partial T} \approx -2 \text{ mV}^\circ \quad (\text{è già da calcolare, lo faccio dopo})$$

Si dice che  $V_{BE}$  è Complementary to absolute value [CTAT]

Allora



L'idea è quella di avere una  $V_{th}$  e una  $V_{BE}$ , moltiplicare per una costante per avere pendenza tra le 2 variabili uguali e quindi abbiamo in uscita una roba che non varia con la temp.

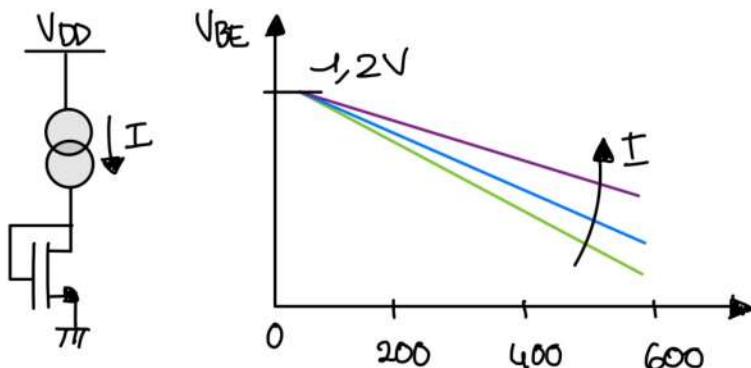


$$\frac{\partial V_{REF}}{\partial T} = \alpha \left( \frac{K}{q} \right) + \frac{\partial V_{BE}}{\partial T} = 0$$

Se ad esempio  $\frac{\partial V_{BE}}{\partial T} = -2 \text{ mV/}^\circ$  allora  $\alpha = \frac{2}{9085} \approx 22$

Ma dobbiamo andare più a fondo nella discussione.

Prendiamo un transistor e plotteremo la  $V_{BE}$  in funzione della temperatura.



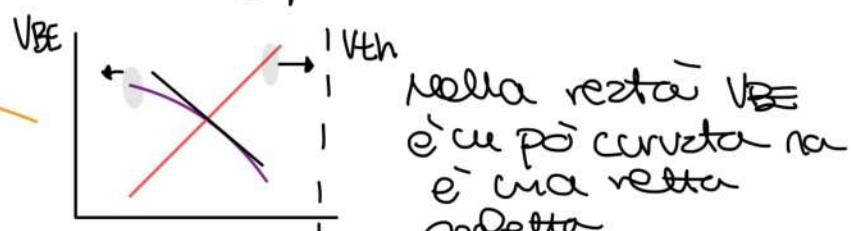
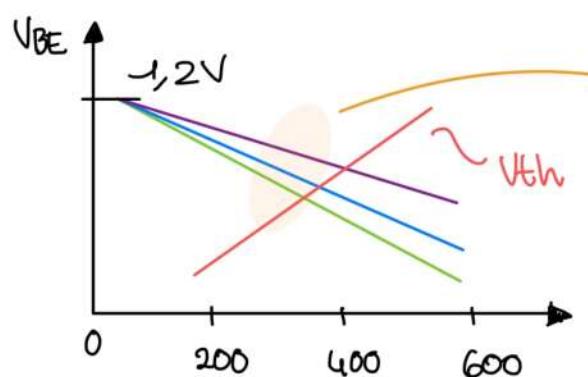
Notiamo che la pendenza della retta varia in base alla corrente. Quindi la derivate  $\frac{\partial V_{BE}}{\partial T}$  varia in base a  $I$ .

(Quindi non è sempre  $-2 \text{ mV/}^\circ$ )

Notiamo poi che tutte le rette vanno a convergere a  $\approx 1.2V$

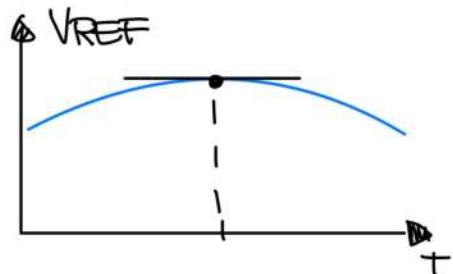
Se cambiamo la corrente per avere il matching con  $V_{TH}$  dovo anche variare il coeef.  $\alpha$  che quindi non è fisso.

Il valore di tensione  $1.2V$  è legato al bandgap.



Nella retta  $V_{BE}$  c'è un po' curvatura ma è una retta perfetta.  
Quindi noi abbiamo la compensazione della pendenza (o  $V_{TH}$ ) solo per un intorno del punto

Dato questo fatto la tensione d'perimento è



Questo fenomeno si chiama curvatura del bandgap.  
(nella retta si piega poco quindi è  $\approx$  indipendente da  $T$ , almeno al primo ordine)

Analizziamo i perché del comportamento della  $V_{BE}$

Studiamo la caratteristica del BJT

$$I_C = I_S e^{\frac{V_{BE}}{V_{TH}}}$$

Abbiamo sia  $V_{TH}$  sia  $I_S$  (che ha una grande dipendenza da  $V_{TH}$ )

$$I_S = A \cdot q D_n \cdot \frac{n_i^2}{N_A N_B} \rightarrow \text{e' proporzionale a } T^3 \cdot e^{-\frac{E_g}{kT}}$$

$$D_n = \mu n \frac{kT}{q}$$

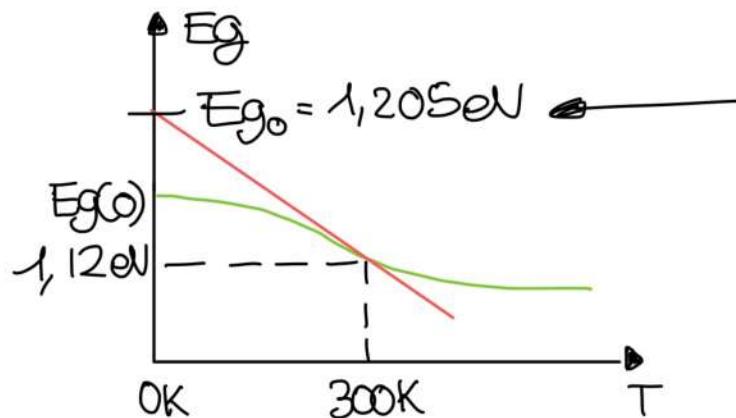
$$\propto T^m \quad (m \approx -1,5)$$

Perciò alla fine possiamo dire che la dipendenza di  $I_S$  dalla temperatura è esprimibile come:

$$I_S = b \cdot T^{4+m} \cdot \exp\left(-\frac{E_g(T)}{kT}\right)$$

Nel mondo reale anche l'energy gap dipende dalla temperatura (non fortemente ma dipende)

L'energy gap ha una dipendenza del tipo:

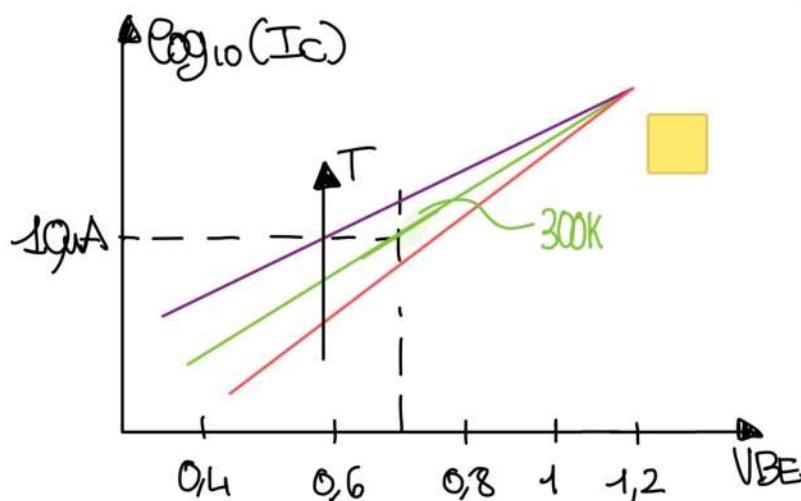


è il valore che troviamo su libri. e' il valore dell'energy gap interpolato a 0. Cioè faccio la curvatura dell'energy gap a 300K e prolunga fino all'asse. L'incrocio con l'asse è lo zero Eg.

Studiamo dunque la variazione della corrente di collettore della temperatura

$$I_C = I_S \cdot \exp\left(\frac{V_{BE}}{V_{TH}}\right)$$

$$b T^{m+4} \cdot \exp\left(-\frac{E_g/q}{kT/q}\right)$$



la pendenza delle curve non è la stessa e dipende dalla temperatura. Per di più se la temperatura aumenta la corrente del collettore del transistor.

$$\varphi_n(I_C) - \varphi_n(I_S) = \frac{V_{BE}}{V_{TH}}$$

Supponendo che  $T$  non cambi noi vogliamo vedere che varia la  $V_{BE}$  se  $I_C$  cambia di un fattore 10

$$\varphi_n(10I_C) - \varphi_n(I_S) = \frac{V_{BE} + \Delta V_{BE}}{V_{TH}}$$

$$\text{Da cui } \Delta V_{BE} = V_{TH} - \varphi_n(10) \quad \approx 2,3$$

a  $T = 300K$   $V_{TH} = 25,8 \text{ mV}$  quindi  $\Delta V_{BE} \approx 60 \text{ mV}$

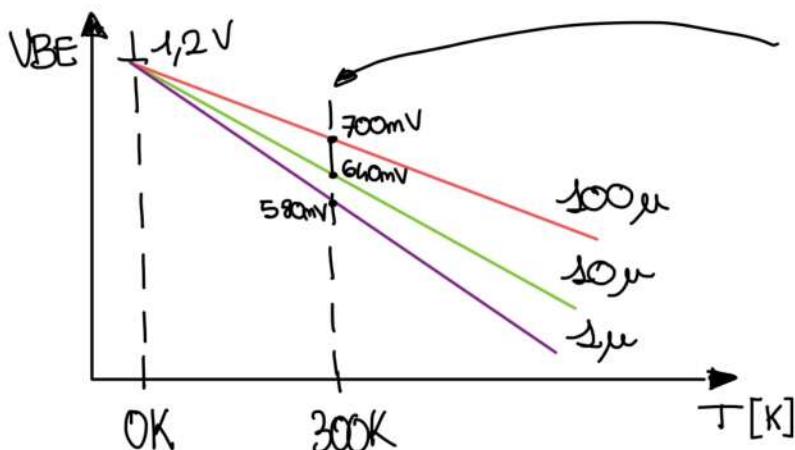
a  $T = 400K \rightarrow \Delta V_{BE} \approx 80 \text{ mV}$

a  $T = 200K \rightarrow \Delta V_{BE} \approx 40 \text{ mV}$

(Quindi per aumentare di 10 volte la corrente devo innalzare di 60/80/40 mV la  $V_{BE}$ )

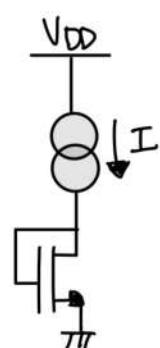
Ce in se c'è la spiegazione del perché ci sono diverse pendenze in base alla temperatura.

Analizzeremo ora direttamente  $V_{BE}$  e la temperatura.



Ora vediamo che > è la  $V_{BE}$  maggiore e' la corrente.  
Notiamo che ogni fetto 10 abbiano una variazione di  $V_{BE}$  di 60mV come detto sopra.  
(a 400K avevo 80mV)

E' possibile ricavare questa dipendenza "lineare" dalle equazioni?



Impostiamo una corrente e misuriamo la  $V_{BE}$

$$I_C = I_S \exp\left(\frac{V_{BE}}{V_{TH}}\right)$$

$$= bT^{m+4} \exp\left(\frac{-E_g/q + V_{BE}}{V_{TH}}\right)$$

Allora noi supponiamo che questo sia costante (non dipende da  $T$ )

Questa è la grande dipendenza dalla temperatura

Allora noi ricaviamo il comportamento lineare

$$V_{BE} = \frac{kT}{q} \ln \left[ \frac{I_C}{I_S} \right] + \frac{kT}{q} \frac{E_g}{kT}$$
$$I_S = bT^{m+4} \text{ (costante)}$$

Questa è la pendenza negativa. Vediamo che quando questo velle va a 0 noi finiamo al valore dell'energy gap.

[Per capire meglio che la pendenza è negativa la formula può essere scritta così]

$$\boxed{V_{BE} = -\frac{kT}{q} \ln \left[ \frac{I_S}{I_C} \right] + \frac{E_g}{q}}$$

Se noi non consideriamo la dipendenza di  $I_C$  da  $bT^{m+4}$  abbiamo che  $V_{BE}$  è una retta con la temperatura. Se lo consideriamo abbiamo quel bending che avevamo visto in precedenza.

Perciò noi dobbiamo se mettiamo la pendenza tramite la  $V_{TH}$  daremo una tensione fissa pari all'energy gap (1,2V) ma nella realtà no sia perché dobbiamo considerare ( $bT^{m+4}$  è il fatto che  $E_g$  dipenda dalla temp lui stesso)

Adesso vogliamo considerare tutte queste variazioni. (Quindi non siamo più lineari)

Iniziamo considerando una  $T$  fissa e una corrente costante e facciamo la derivata  $\partial V_{BE} / \partial T$ .

$$V_{BE} = V_{TH} \ln \left( \frac{I_C}{I_S} \right)$$

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{TH}}{T} \ln \left( \frac{I_C}{I_S} \right) + V_{TH} \cdot \frac{1}{\frac{I_C}{I_S}} \left( -\frac{\partial I_S}{\partial T} \right) \cdot \frac{I_C}{I_S^2}$$

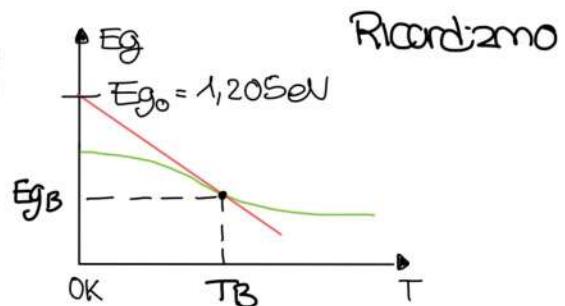
$$= \frac{V_{TH}}{T} \ln \left( \frac{I_C}{I_S} \right) - \frac{V_{TH}}{I_S} \frac{\partial I_S}{\partial T}$$

Ricordiamo che  $I_S = bT^{m+4} \exp \left( -\frac{E_g}{kT} \right)$

Perciò

$$\frac{\partial I_S}{\partial T} = b(m+4)T^{m+3} \exp \left( -\frac{E_g}{kT} \right) + bT^{m+4} \left( \frac{E_g}{kT^2} - \frac{1}{kT} \frac{\partial E_g}{\partial T} \right)$$

$$= \frac{Eg}{KT^2} \left[ 1 - \frac{T}{Eg} \cdot \frac{\partial Eg}{\partial T} \right] = - \frac{Eg_0 - Eg_B}{TB}$$



$$= \frac{Eg_B}{KT_B^2} \left[ 1 + \frac{TB}{Eg_B} \cdot \frac{Eg_0 - Eg_B}{TB} \right]$$

$$= \frac{Eg_0}{KT_B^2} \quad \leftarrow \text{Dove } Eg_0 \text{ è l'energy gap estrapolato a } 0K.$$

Possiamo dunque ricavare il tutto (avvalendoci tutto quello sotto ricavato a una determinata temperatura TB)

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{th}}{T} \ln \left[ \frac{I_c}{I_s} \right] - \frac{V_{th}}{T_s} \frac{\partial I_s}{\partial T}$$

$$= V_{th} \frac{b(4+m)T^{3+m} \exp(-Eg/KT)}{bT^{4+m} \cdot \exp(-Eg/KT)} + \frac{V_{th} b T^{m+4} \exp(-Eg/KT) \cdot \frac{Eg_0}{KT^2}}{bT^{4+m} \exp(-Eg/KT)}$$

$$= \frac{V_{th}(4+m)}{T} + V_{th} \frac{Eg_0}{KT^2}$$

Quindi risolvendo tutto ottieniamo:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{th}}{T} \ln \left( \frac{I_c}{I_s} \right) - \frac{V_{th}}{T_s} \cdot \frac{\partial I_s}{\partial T}$$

(

$$= V_{BE}/T$$

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_{th} - Eg_0/9}{T}$$

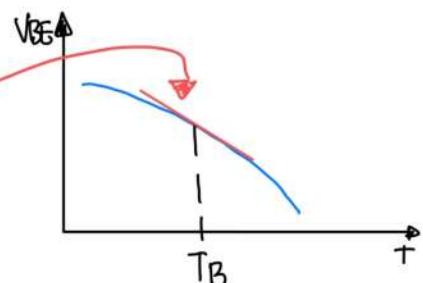
→ Questa va calcolata per una specifica TB  
Quindi avremo:

$$\left( \frac{\partial V_{BE}}{\partial T} \right)_B = \frac{V_{BE,B} - (4+m)V_{th,B} - \frac{Eg_0}{9}}{TB} \quad (\text{dove c'è un numero})$$

Vediamo che con TB = 300K e m = -1/5 ottieniamo  $\frac{\partial V_{BE}}{\partial T} = -189 \text{ mV/K}$

perciò in questo particolare caso dobbiamo mettere questa pendenza.  
(Se variamo temperatura o corrente variamo anche la pendenza)

In pratica nei bb2200 vediamo questa curva:



Perciò ricordando cosa vogliamo fare  
noi dobbiamo avere che

$$V_{REF} = V_{BE} + \alpha V_{TH}$$

$$\text{e avere che } \left. \frac{\partial V_{REF}}{\partial T} \right|_B = \left( \frac{\partial V_{BE}}{\partial T} \right)_B + \alpha \left( \frac{\partial V_{TH}}{\partial T} \right)_B = 0$$

dunque

$$\left( \frac{\partial V_{BE}}{\partial T} \right)_B = -\alpha \frac{V_{THB}}{T_B}$$

più nello specifico

$$\frac{V_{BE_B} - (1+m)V_{THB} - E_g/q}{T_B} = -\alpha \frac{V_{THB}}{T_B}$$

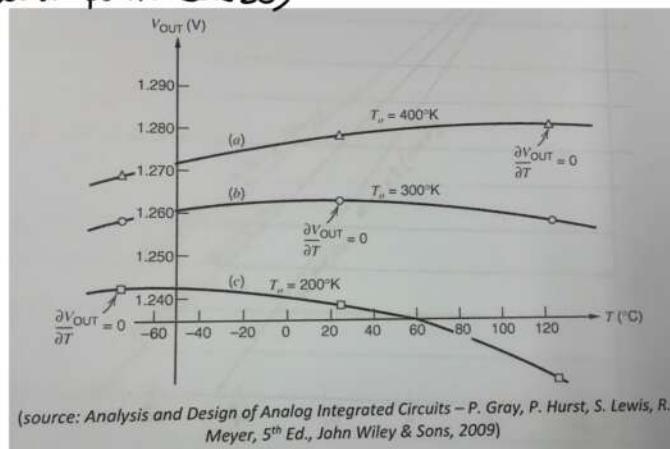
E dunque posso riscrivere  $V_{REFB}$  come:

$$V_{REFB} = \frac{E_g}{q} + (1+m)V_{THB}$$

a temperatura ambiente  $T=300K$   $V_{REF} \approx 1.26$

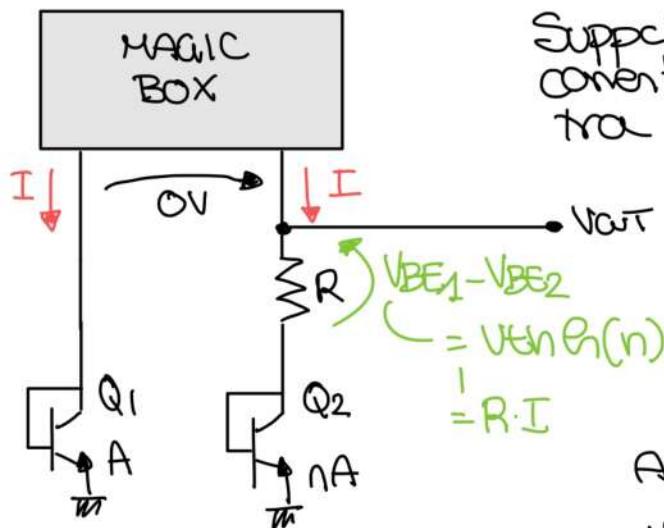
Si chiama bandgap reference perché dipende fortemente da  $E_g$ .

Vediamo che a causa di  $(1+m)V_{TH}$  abbiamo che  $V_{REF}$  non è perfettamente lineare ma è una curva (in realtà varia anche  $E_g$  perché parla con l'interpolazione da un punto diverso)



Cionondimeno vediamo che per variazioni di  $T$  molto grande la variazione di tensione rimane estremamente contenuta.

# CIRCUITI PER UN BANDGAP REFERENZIO.



Supponiamo una magic box che fornisca corrente uguale in 2 resistori (che è il caso tra i resistori)

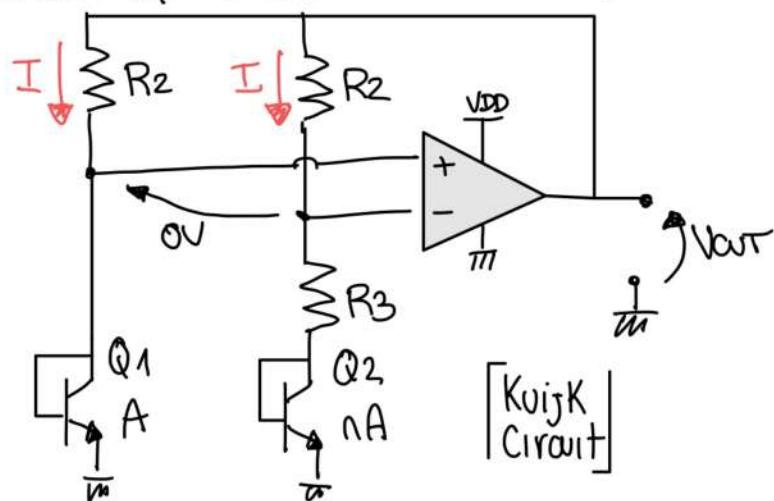
I 2 transistor non possono essere uguali perché passa la stessa corrente ma  $V_{BE}$  sarebbe diverso  
Allora Q2 ha area n-f

Allora no che

$$V_{ART} = V_{BE2} + V_{th} \cdot h(n)$$

PROBLEMA!  $h(n)$  dovrebbe essere il mio  $\alpha$ , tuttavia  $n$  dovrebbe essere estremamente grande per farlo quindi ho un problema pratico di realizzazione.

Per risolvere questo problema possiamo fare  
(no start-up needed!!! xè il feedback è negativo)



il feedback è negativo

Che cosa setta la corrente?  
Sempre il loop del bandgap  
perciò sappiamo che su  $R_3$  ho ceduta  
perciò  $V_{th} \cdot h(n)$

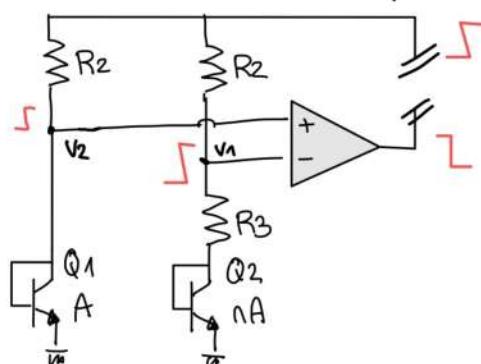
$$\text{Allora } I = \frac{V_{th} \cdot h(n)}{R_3}$$

no quindi la tensione d'output è

$$V_{ART} = V_{BE2} + V_{th} h(n) \left( 1 + \frac{R_2}{R_3} \right)$$

è il mio  $\alpha$ .  
(nell'ordine di  $20+0-$ )

Vediamo se il loop è veramente negativo



L'uscita è negativa perciò su  $V_1$   
lo step di tensione è maggiore di  $V_2$   
questo perciò il nodo  $V_1$  ha una  
maggiore resistenza rispetto a  
quello di  $V_2$ .

Il problema del bandgap nelle tecnologie scelte adesso è che  $V_{BE} = 1,26 \text{ V}$  ma l'alimentazione è  $12 \text{ V}$ .

Quindi cosa facciamo?

- 1) esistono transistor ad alta alimentazione fatti apposta
- 2) Variamo l'architettura del design.

14.11.2022

Sh

Un bandgap reference fornisce una tensione indipendente da una variazione della temperatura e dell'alimentazione. (almeno al primo ordine)

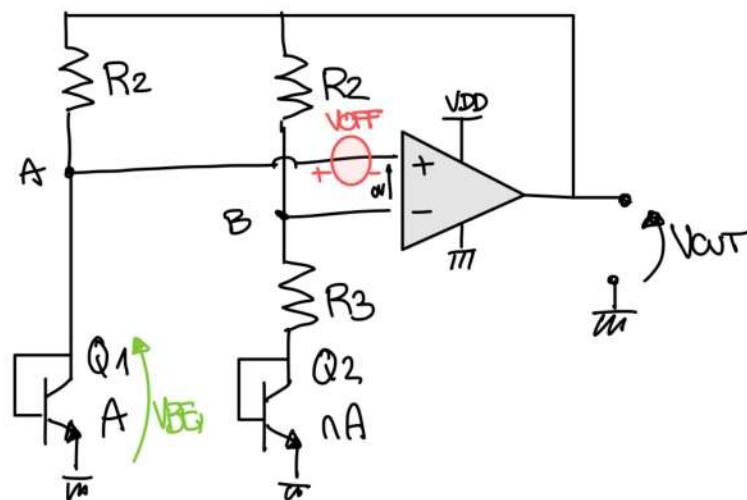
Ricordiamo infatti che

$$V_{REF} = V_{BE2} + V_{TH} \cdot h[n] \left[ 1 + \frac{R_2}{R_3} \right] = E_{G\emptyset} + (1+m) V_{THB}$$

Vediamo che non c'è dipendenza da  $V_{DD}$

Una non idealezza è data dalla dipendenza delle  $R$  della temp., tuttavia noi abbiamo un rapporto che rende le variazioni meno importanti.

Ricordiamo lo scorso circuito, solo consideriamo l'offset.



Tranne per l'offset l'opamp è  
debole quindi no cortocircuito  
virtuale fra i pin (dopo l'offset)  
allora

$$V^+ - V^- \approx V_{BE1} - V_{OFF} \approx V_{BE2} + R_3 I_{C2}$$

Circa uguali perché i punti A  
e B non sono alla stessa tensio-  
ne quindi non ha esattamente la  
stessa corrente nei 2 ramo.  
(ma noi non consideriamo questo errore)

Possiamo dunque scrivere che

$$I_{C2} = \frac{V_{BE1} - V_{BE2} - V_{OFF}}{R_3} \approx \frac{V_{TH} \cdot h[n] - V_{OFF}}{R_3}$$

e dunque possiamo ricavare la tensione sul nodo di uscita

$$V_{REF} = V_{BE2} + I_C [R_3 + R_2]$$

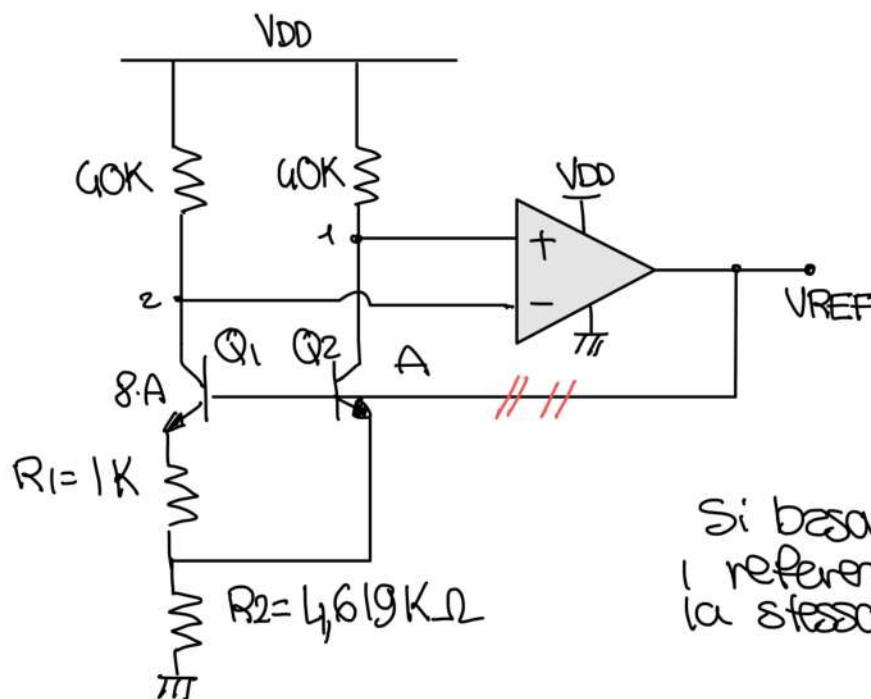
$$= V_{BE2} + (V_{TH} h[n] - V_{OFF}) \left( 1 + \frac{R_2}{R_3} \right)$$

Vediamo che l'offset finisce qui. Non ci piace sia perché è  
amplificato sia perché non è qualcosa che controlloamo.

Per ridurre l'offset si cerca di aumentare il più possibile  $V_{TH} h[n]$

Altra struttura di un bandgap:

**BROKAW STRUCTURE** (è meno usata, probabilmente a causa della base current)



Quale sarà la corrente sui rami? Vedo la caduta su  $R_1$ , questa è  $V_{BE2} - V_{BE1} = V_{th} f_1(8)$   $\rightarrow I = \frac{V_{th} f_1(8)}{R_1 = 1\text{k}\Omega} \Big|_{T=300\text{K}} = 53,6\mu\text{A}$

Quell'è la caduta su  $R_2$ ?

$$V_{R2} = \frac{2V_{th} f_1(8)}{R_1} \cdot R_2 = V_{th} \cdot 19,2$$

Abbiamo dunque che

$$V_{REF} = V_{BE2} + 19,2 V_{th}$$

(il progettista di questo circuito ha fatto i conti e visto che doveva essere 19,2)

Nel dobbiamo anche ricordare che il bandgap è connesso ad un carico e noi non vogliamo che la corrente uscente del bandgap non minimi il funzionamento corretto. Allora di norma si usano dei multiplier (chiamati VDD) in uscita.

Ulteriormente noi abbiamo detto che

$$V_{REF} = \frac{E_{go} + (I+m)V_{th} n_B}{q}$$

ma non è corretta nel caso di questo circuito.

Osto perché abbiamo fatto un'assunzione (quando abbiamo derivato la formula) di non esser soddisfatta in questo circuito.

Nel zbbiamo detto che

$$V_{BE} = V_{th} \cdot \ln \left[ \frac{I_C}{I_S} \right]$$

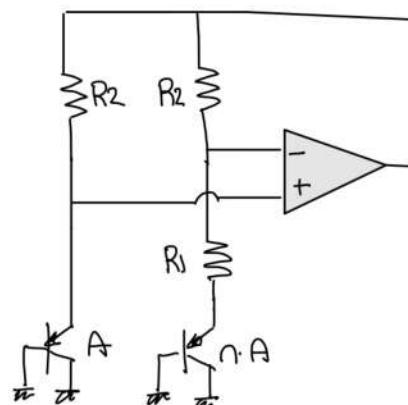
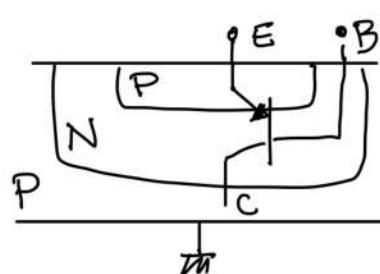
avremo osservato che  $I_C$  non varia con la temperatura per ricavare  $\Delta V_{BE}/\Delta T$

tuttavia nel nostro circuito sappiamo che  $I_C$  dipende dalla temperatura  $I = \frac{V_{th} \cdot f_0(s)}{R_1 + 1k\Omega}$ . Allora dobbiamo leggermente modificare la formula della tensione di riferimento

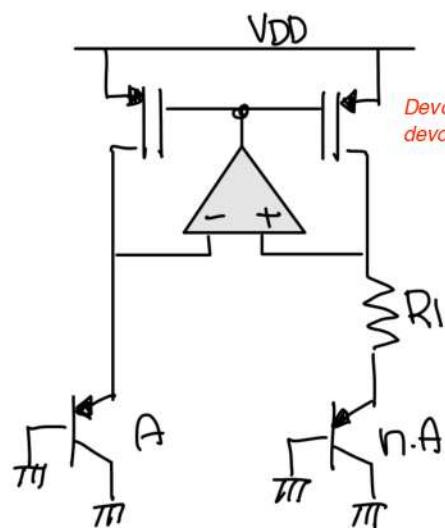
$$V_{REF} = \frac{E_{DD}}{q} + (3+m) V_{thB}$$

(Mi pare di capire che la stessa cosa accade anche nel circuito standard che avevamo ricavato l'altra giorno) Non so se con la stessa formula

E nel caso dei MOS come facciamo una bandgap reference? Usiamo i BJT parasitici per ottenere una  $V_{BE}$ .



Un'altra possibile implementazione del Bandgap (se in CMOS al posto di BJT) e' la seguente



Voglio sempre un negative feedback

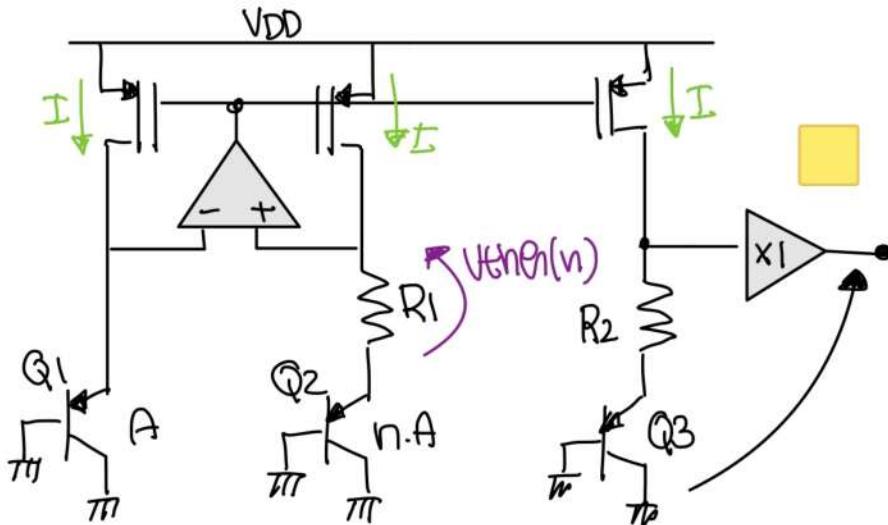
Devo stare super attento al fatto che il mos mi fa un inversione quindi ho che la retroazione la devo fare sul pin + dell'opamp

ho 2 gen di corrente ideali (i mos) che portano la stessa corrente

$$I = \frac{V_{th} \cdot f_0(n)}{R_1}$$

Ma io qua non vedo un bandgap, infatti manca, dobbiamo aggiungere qualcosa di circuito

In pratica ci manca il punto che serve a prendere la tensione composta delle resistenze

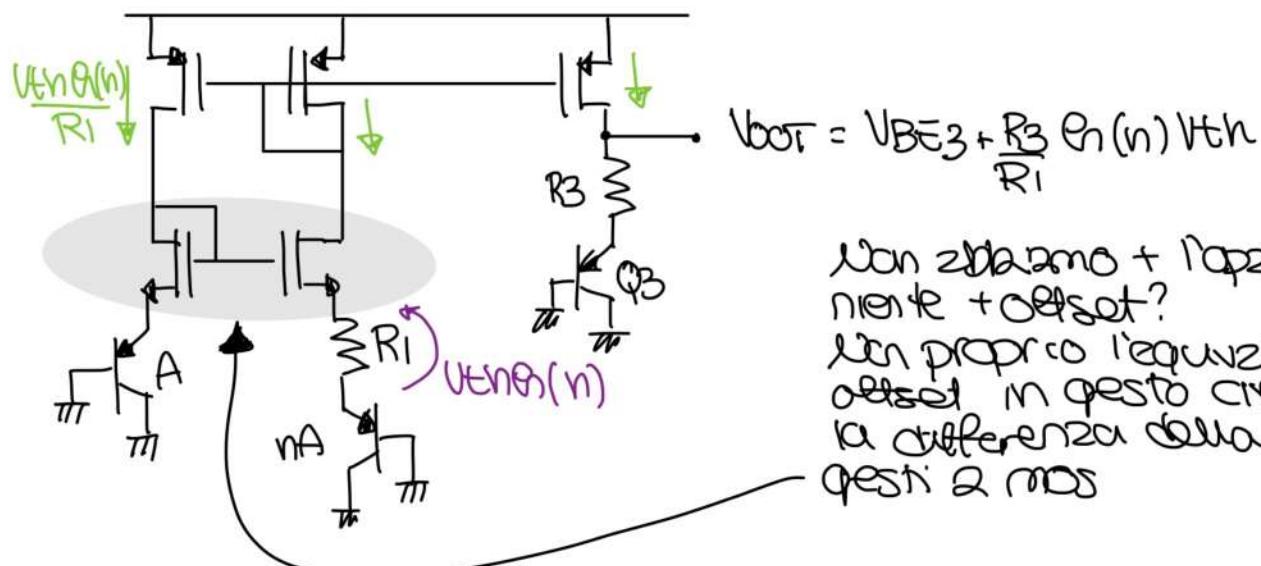


$$V_{BGR} = V_{BE2} + \frac{R_2}{R_1} V_{thR}(n)$$

In questo esempio c'è evidentemente che non posso connettere un carico direttamente all'output. Questo perché ho bisogno che tutta la corrente  $I$  vada in  $R_2$  e  $Q_3$ .

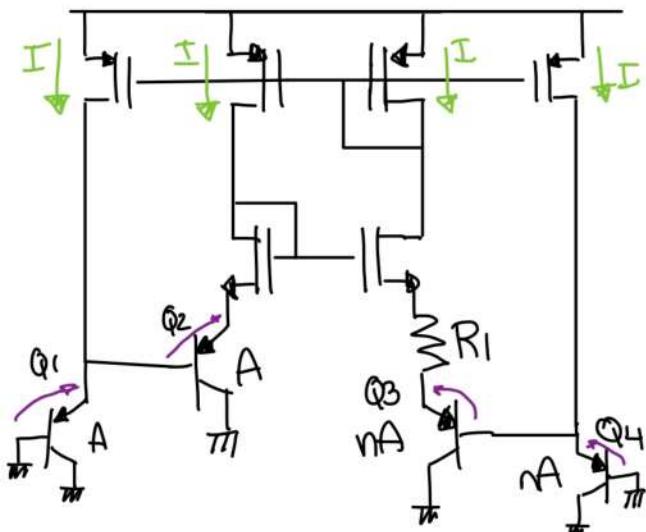
Comunque vediamo che il circuito funziona generando una PTAT current e spingerlo in  $R_2$  e  $Q_3$ .

Allora noi potremo generare la corrente PTAT anche senza un opamp e usando i circuiti della scorsa settimana.



Non abbiamo più l'opamp quindi niente offset? Il proprio equivalente dell'offset in questo circuito è la differenza della VT tra questi 2 MOS.

Una possibile soluzione è ridurre l'offset tra le VT e:

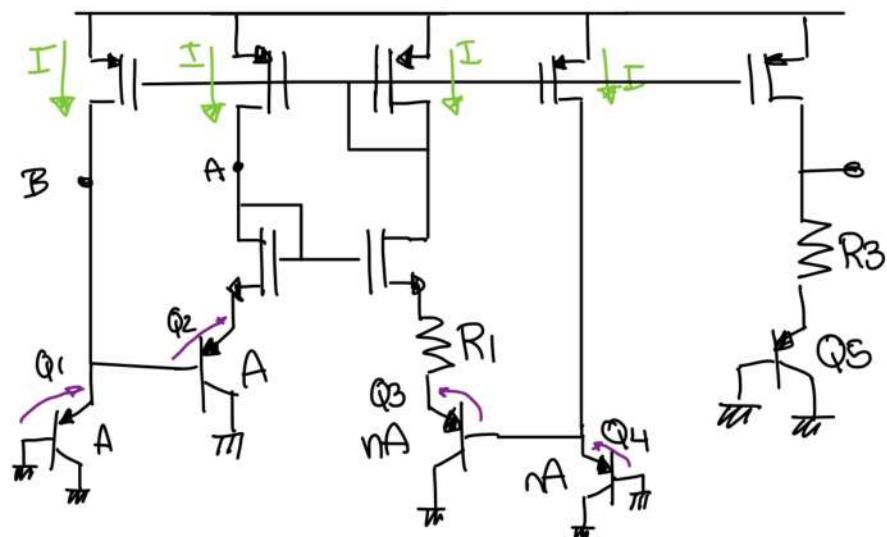


Per fare questo noi dobbiamo la struttura. Tutti i PMOS sono dentice; quindi tutte le correnti sono dentice.

La corrente è

$$I = \frac{(V_{BE1} + V_{BE2}) - (V_{BE3} + V_{BE4})}{R_1} = 2 \frac{V_{thR}(n)}{R_1}$$

Per ottenere il bridge voltage facciamo come prima



$$V_{BGR} = V_{BES} + \frac{2V_{th}\ln R(n)R_S}{R_1}$$

Se abbiamo l'offset abbiamo che  $V_{BAR} = [2V_{TH} \Theta(n) + V_{OFF}] \cdot R_3$

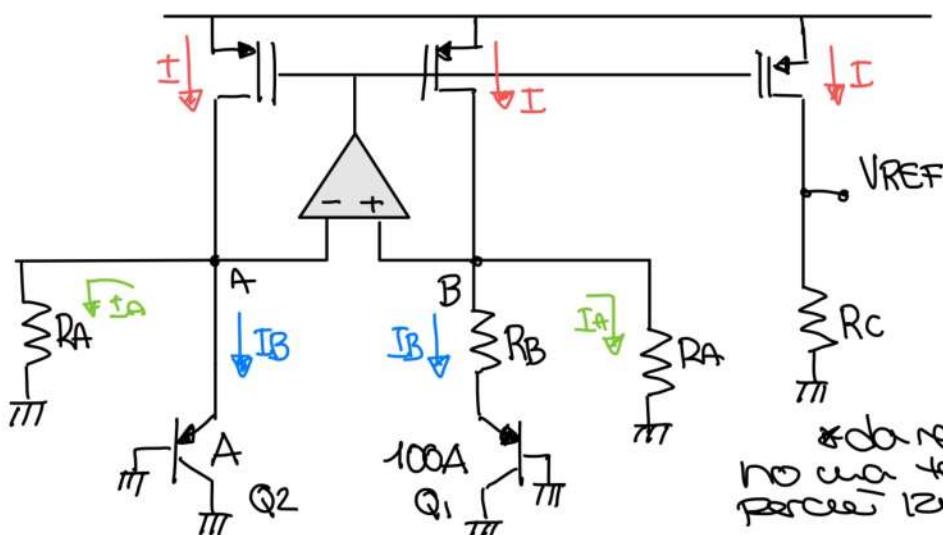
Ma tramite la nostra struttura doppista abbiamo aumentato  $U_{\text{th}}(n)$   
come avevamo detto prima  
Problemi della struttura

- ✗ Ora non possiamo più considerare i B del transistor (che fanno scalo) e quindi dobbiamo considerare le correnti di base
  - ✗ i punti A e B non sono alla stessa tensione. Abbiamo effetto early.

Tuttavia oggi la tensione di alimentazione è  $\approx 1V$  ma la tensione di riferimento del bandgap è  $\approx 1,2V$ .

Come posso fare?

Noi tentiamo di lavorare con la corrente al posto che con la tensione.



I nodi A e B sono alla stessa tensione quindi le 2 correnti su RA sono uguali.

Le commenti I A sono  
una frazione d' I sopra

$$I = I_A + I_B$$

Se da nessuna parte nel circuito  
ha una tensione superiore a 1V, questo  
perché l'urto con le connotti.

Ricaviamo  $IB$  nel modo standard  $IB = \frac{V_{th} \cdot g_m(n)}{2}$

Ricauzmo TA

$$I_A = V_{BEA} / R_A$$

Allora ho che

$$V_{REF} = (I_A + I_B)R_C$$

$$= \frac{1}{R_C} \left[ \frac{V_{THA}(n)}{R_B} + \frac{V_{BE1}}{R_A} \right]$$

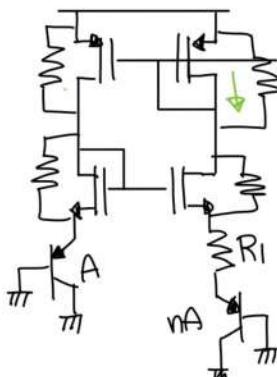
$$V_{REF} = \frac{R_C}{R_A} \left[ \frac{V_{BE1}}{R_A} + \frac{V_{THB}(n)}{R_B} \frac{R_A}{R_B} \right]$$

Questo mi serve  
a scalare la tensione

Questo è lo  
standard

Vediamo che possiamo  
giocare con i valori  
delle resistenze per  
avere una tensione  $< 1V$

Torniamo nel mondo delle "grandi" tensioni utilizzabili.  
Lo si separano che abbiamo della sensitività rispetto alla  
supply dato della impedenza di Early.



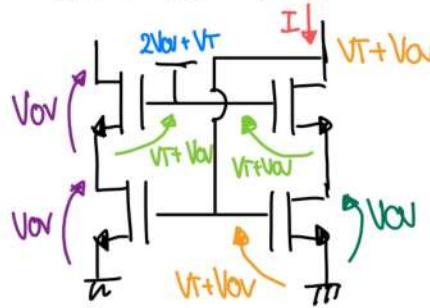
Fare i conti su sta roba e' un po' faticoso

Che non altro che  $V_{DD} + V_{GS}$ . In se è molto facile capire il perché  
dato che è ovvio che in questo punto io debba avere almeno  $V_{GS}$   
per tenere il transistor ON.

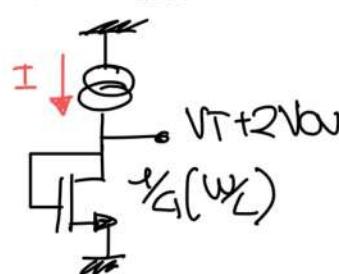
Uno dei modi migliori per ridurre questo  
effetto è fare il cascabele.

Ci sono però un'elementazione detta per  
fare questa struttura Cascabele.

Se volessimo usare meno bias  
Potremmo usare un enhanced mirror.



Per fare questo ci serve la tensione  $2V_{BS} + V_T$   
per ottenere questa tensione noi imponiamo  
la stessa corrente su un mos grande  $\frac{1}{4}I$ .

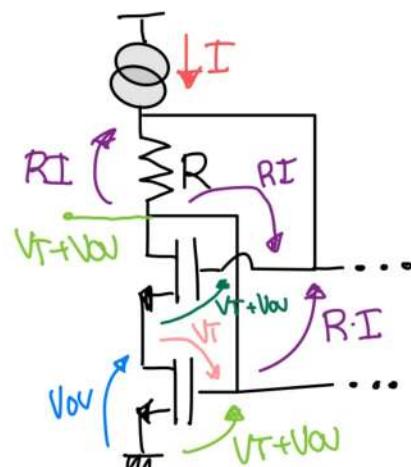


Lo faccio grande  $\frac{1}{4}$   
così  $V_{DD}$  dienta il  
doppio.

Tuttavia questo specchio non si usa perché noi facciamo la struttura  
cascabele per migliorare la resistenza della supply ma poi wiriamo un  
riferimento di tensione baso direttamente della supply. Non c'è  
bene, perdiamo in sensitività.

Altra tecnica per fare lo specchio e non avere il problema della alimentazione ulteriore.

I 2 MOS sono identici



Io voglio  $V_{ov}$  sui MOS sotto (che è il minimo per stare in Sat e non perdere extra headroom)

Allora vedo che  $R \cdot I = V_{ov} = \sqrt{\frac{I}{\frac{1}{2} \mu_n C_{ox} (W/L)}}$

(perché  $V_{ov} + V_T + V_{ov} - (V_T + V_{ov}) = RI$ )

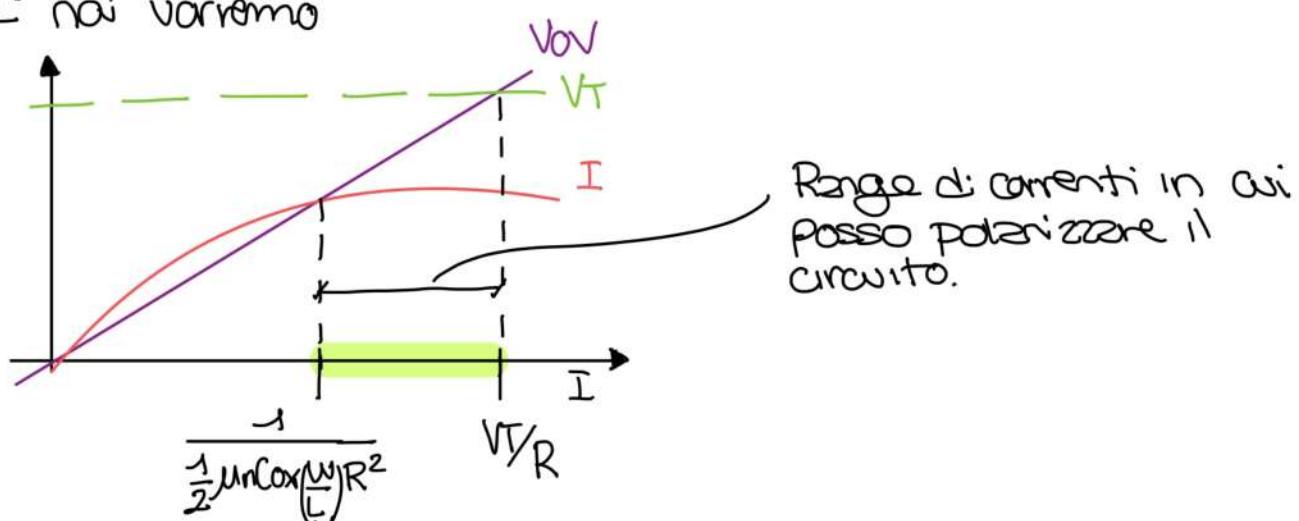
Dove vogliamo stare attento che  $R \cdot I < V_T$  perché senz'altro mandiamo in tracollo un mos.

15.11.2022

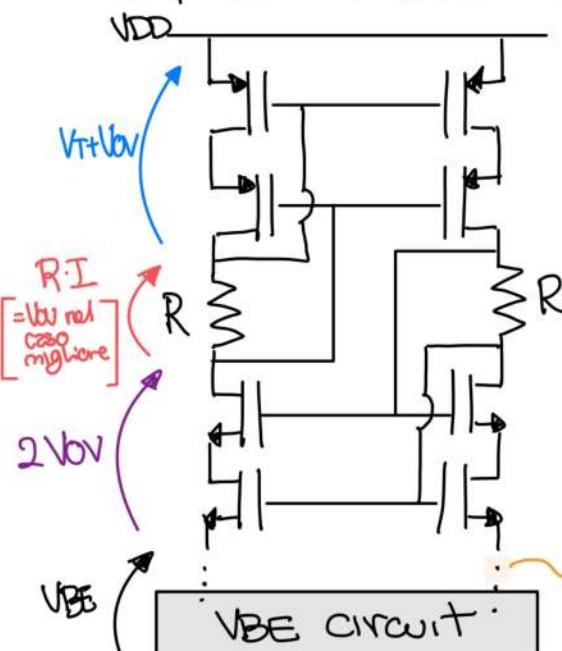
2h

Quando facciamo il design conviene tenere  $R \cdot I > V_{ov}$  per lo spread dei parametri. Tuttavia perdiamo un po' di headroom.

Quindi noi vorremo



Per cui possiamo creare la struttura base



Noi supponiamo  $V_T = V_{th} = |V_{tp}|$

$V_{ov} = V_{thn} = V_{tpn}$

Quell'è la minima caduta di tensione per mantenere il circuito vivo?

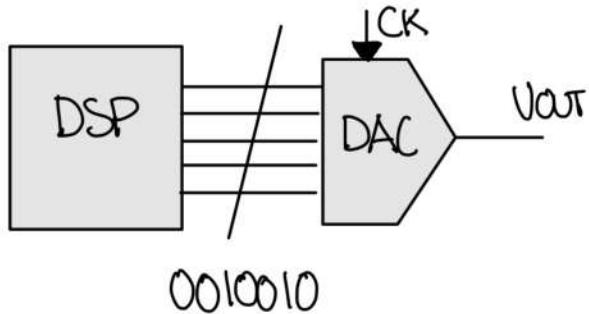
$V_{DDmin} = V_T + 4V_{ov} + V_{BE}$

[Lo standard cascode ha  $V_{DDmin} = 3V_T + V_{DD} + V_{BE}$ ]

Saiamo  $2V_T$ , che non è male.

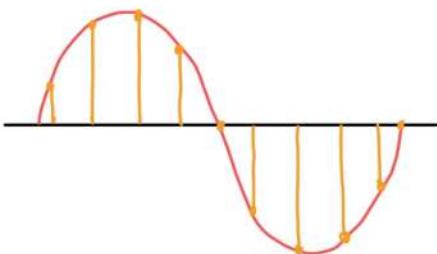
Per avere Gloop 1 daremo come rete a questo nodo la rete con il singolo transistor e l'ellettrone del transistor + resistenza.

## Problemi legati ai data Converter

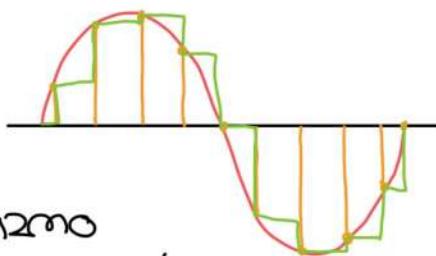


Una cosa da non sbagliare è tempo discreto e ampiezza quantizzata. Posso avere un segnale a tempo discreto ma con ampiezza infinita sull'ampiezza. QUINDI SONO COSE DIVERSE!

Supponiamo che il DSP ci fornисca un segnale sinusoidale digitale.



Il compito dell'DAC è quello di rappresentare in analogico quello che viene fornito dal DSP.

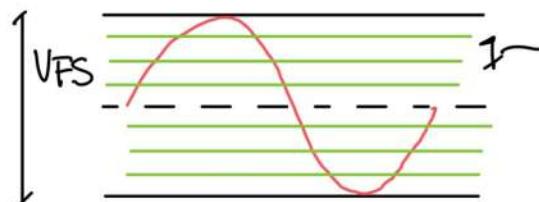


Ma questo nel mondo reale.

Abbiamo infatti il rumore e abbiamo un numero di bit finito, quindi avremo dei valori quantizzati.

Nella realtà il blocco dc più limitazioni è il DAC, infatti i n° di bit digitali possiamo aumentarli tipo tanto, ma in dec a 16bit è già tanta roba. Inoltre + veloci andiamo col clock meno bit riusciamo a "usare" nel DAC.

Posso vedere il rumore di quantizzazione come un rumore bianco (solo sotto certe ipotesi). Queste ipotesi sono:



$$\Delta = \text{LSB} = \frac{VFS}{2^b}$$

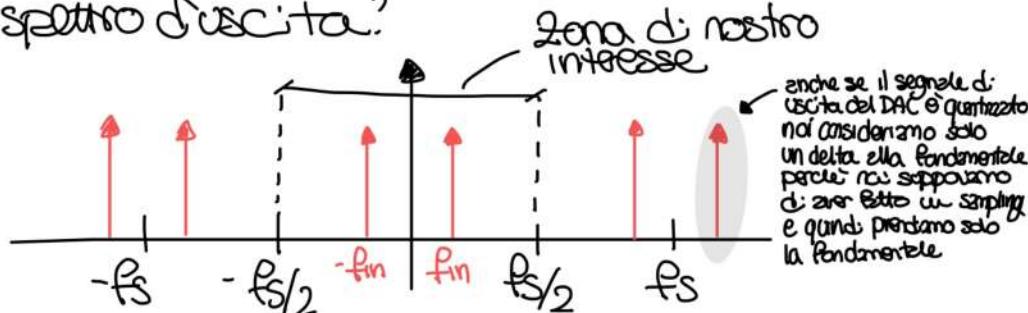
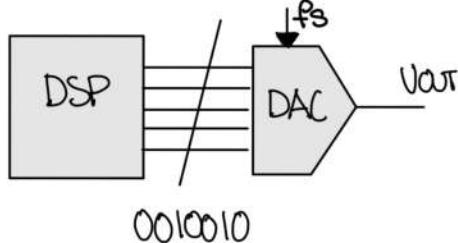
$$\sigma_\Delta^2 = \frac{\text{LSB}^2}{12} \quad (\text{distribuzione uniforme dell'errore})$$

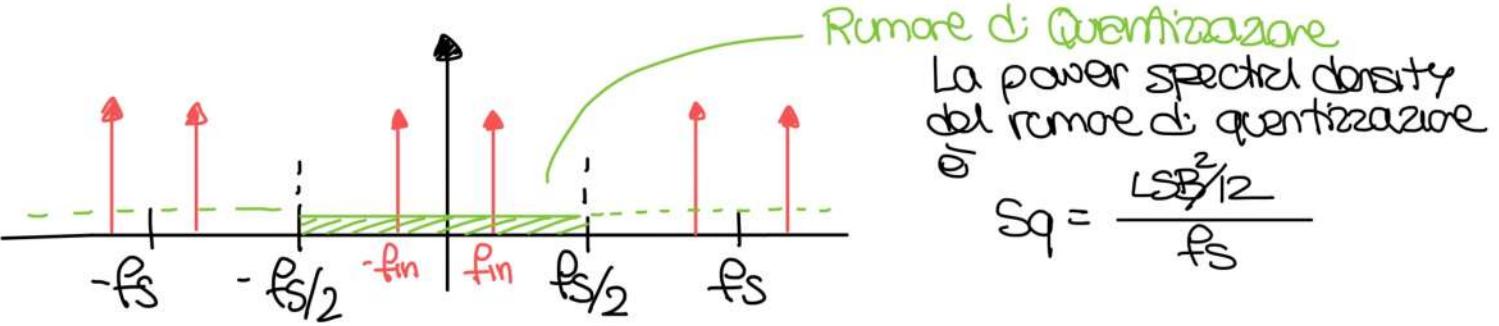
Ogni gradino ha un'ampiezza diversa a causa dell'errore di quantizzazione.

Quindi se ho un segnale costante (o varia lentamente), il rumore è ~ costante quindi non è bianco.

Per assumere rumore bianco noi dobbiamo ipotizzare un segnale che varia molto e abbastanza velocemente.

Dato un DAC, qual'è lo spettro d'uscita?

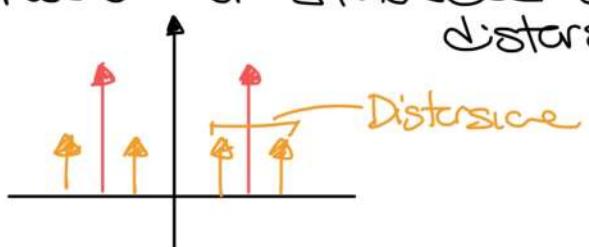




La power spectral density calcolata è un'approssimazione per sampling signals. Questo è vero quando  $f_s$  e  $f_{in}$  non sono multipli esatti (interi). Perché se fossero multipli esatti interi lo quantizzatore sembra quel veloce e quindi c'è sempre quel tipo di errore di quantizzazione (ella realtà stessa cosa succede se faccio un sampling a una frequenza razionale perché comunque non gli errori sono periodici). Per risolvere questo devo fare un sampling a un veloce irrazionale (allora così l'errore di quantizzazione è effettivamente bionco)

$$f_s = 4f_{in} \text{ (male)} \quad f_s = \frac{17}{4}f_{in} \rightarrow 4f_s = 17f_{in} \quad (\text{periodico}) \quad f_s = \pi f_{in} \text{ (top)}$$

Un altro errore del DAC può essere la distorsione che mi crea ulteriori armoniche (i problemi di matching danno la distorsione)

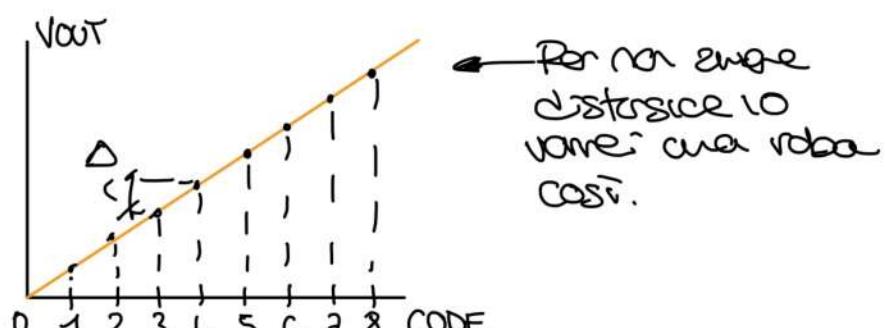


Una roba fondamentale da ricordare è che non possiamo avere 20 bit digitali, ma se il DAC ha un rumore (tipo quello termico) maggiore dell' LSB non ha senso usare tutte le 20 linee. Concetto dell' Equivalent Number of Bits (ENOB).

Distortion non idealities

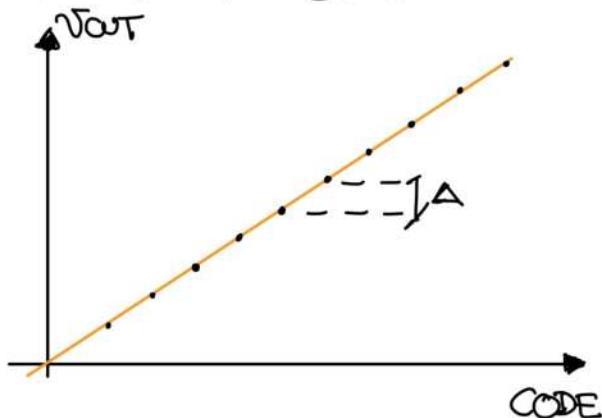


Ciò che accade non basta perché è statico, noi dovremo anche vedere l'andamento dinamico.



Il mismatch crea un problema in questa retta e questo porta a che la caratteristica non sia più lineare e ci creano armoniche ulteriori.

## Non idealtà della caratteristica statica



ideale

Diverse non idealtà possono modificare la caratteristica statica

- Se il minimo step è diverso da quello che c'è esposto abbiamo un errore (gain error). E' un errore ma è lineare (di base resta la pendenza della curva)

- Offset error: Sono degli errori che spostano la retta su e giù o destra e sinistra

A noi questi 2 errori non ci interessano tanto perché il tutto è ancora lineare. (non ci interessa per modo di dire perché in alcuni casi abbiamo bisogno di un valore preciso e non di un valore comunque lineare)

Esistono anche errori che affliggono i primi e gli ultimi bit del convertitore, infatti noi cercheremo di usare la zona centrale della caratteristica.

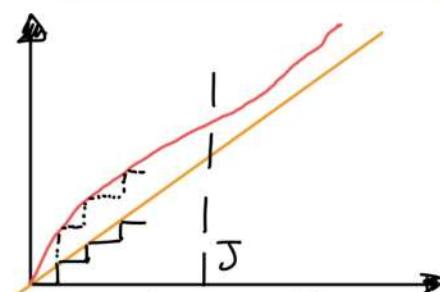
Un parametro usato per valutare l'errore è la **DIFFERENTIAL NON IDEALITY**, che è la differenza tra lo step reale e la media di tutti gli step.

$$DNL_i = \Delta_i - \frac{\sum_{k=1}^N \Delta_k}{N}$$

Mi preferisco dire che la DNL è rispetto alla media degli step piuttosto che il valore nominale dello step.  
Noi facciamo questo perché se avessimo tutti gli step sbagliati del 5% rispetto allo standard ci verrebbe una DNL grande ma non è vero perché il tutto è ancora lineare (dato che tutti gli step sono sbagliati uguali) e quindi la DNL dovrebbe essere 0 (cosa che abbiamo se usassimo la media)

L'accumulazione di questo errore da la **INTEGRAL NON IDEALITY**

$$INL_J = \sum_{i=0}^J DNL_i$$



In pratica sommo tutti gli errori tra 0 e J. (dato che l'errore può essere positivo e negativo non è detto che  $J = INL > 0$ )

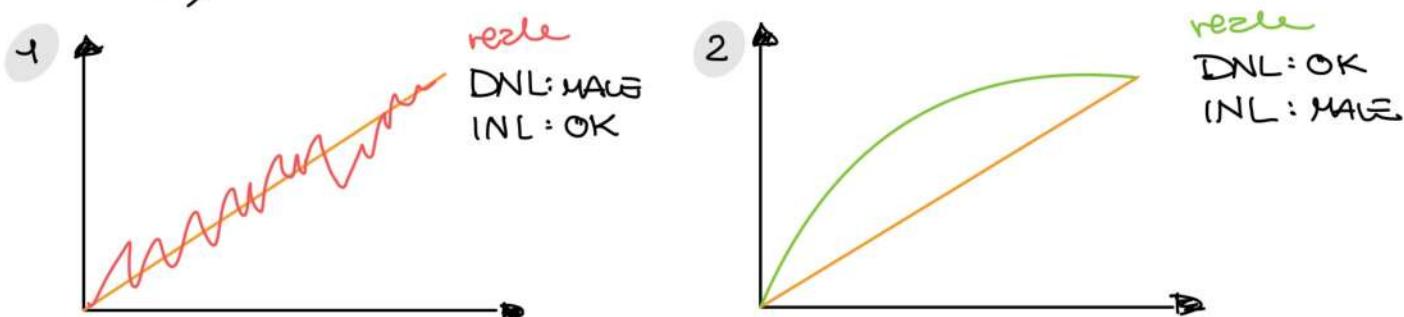
Tipicamente ci diciamo solo l'INL e' x, in questo caso ci riferiamo al j che da INL con il valore + zero. (stessa roba per la DNL)

Per calcolare la INL ci in pratica tiriamo una linea tra il punto iniziale e finale e l'INL e' l'area sopra sottratta a quella sotto della linea. (nella realtà si dovrebbe fare un best fit.)

Vediamo che tuttavia l'INL e la DNL non caratterizzano perfettamente la caratteristica poiché solo tiene fusi possibili comportamenti in media.

La DNL ci dice quel'è la variazione della caratteristica rispetto a un comportamento lineare

(esso vuol dire che la caratteristica non sia monotona crescente ma che se se aumenta il codice l'usata mi diminuisce, questo può dare problemi quando faccio un feedback ed è potei avere un feedback positivo momentaneo)



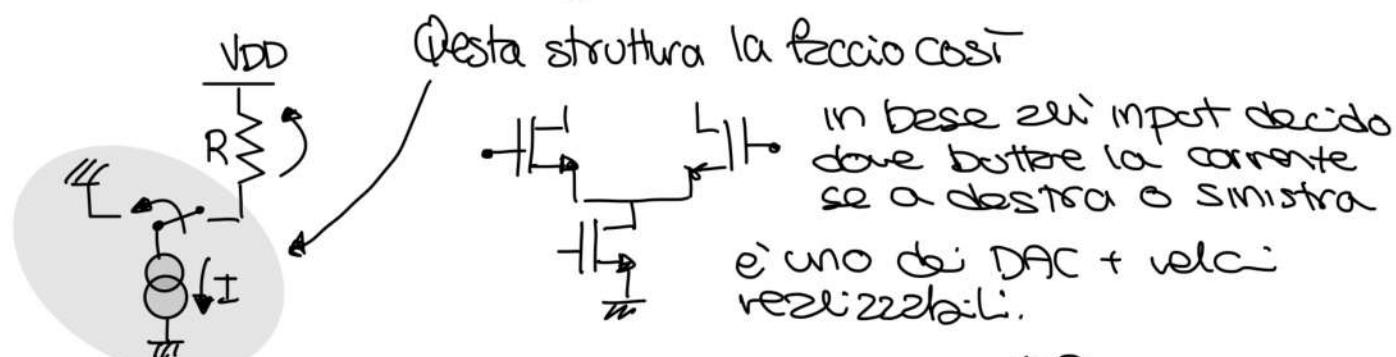
è peggio la DNL o l'INL? Dipende cosa vogliamo:

1. è meglio usare in feedback perché è monotono al contrario di

2. è meglio da usare in feedback perché è monotono al contrario di

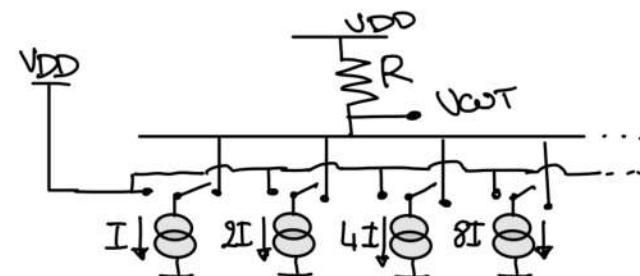
La differenza tra DNL e INL può essere data dalla differenza di topologia con cui viene creato il DAC.

Esempio: Current steering DAC

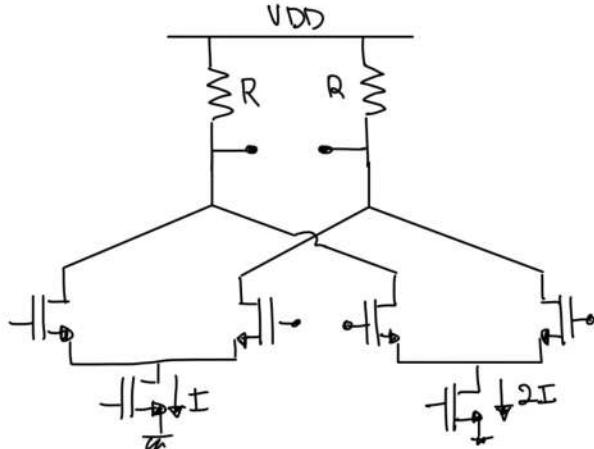


Se voglio fare + bit è easy:

Semplicemente faccio due sequenze di corrente + grandi



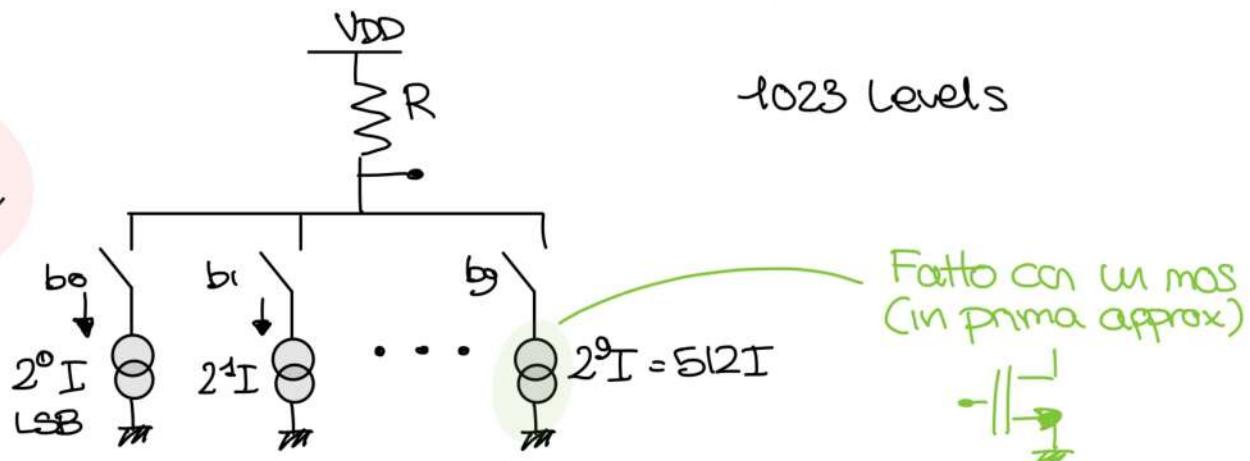
Nella realtà il vero circuito è fatto così (e non butto via conente)



è il + veloce da fare.  
Non spengo la corrente  
solo cambio da due vie  
(la corrente da VDD non  
cambia mai in questo caso)

Nei però consideriamo l'architettura semplificata.

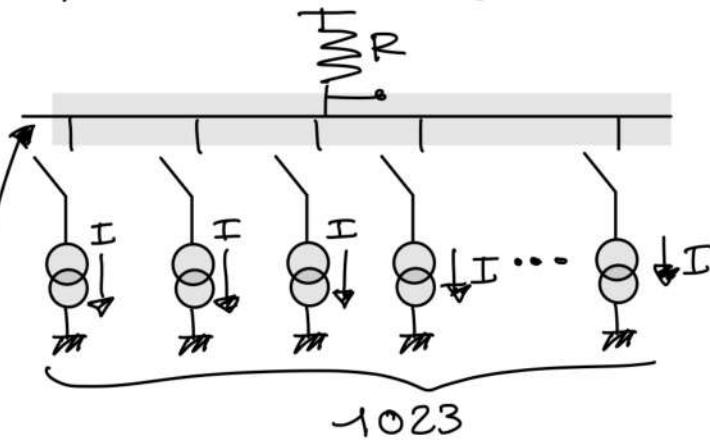
Binary Weighted



Una prima cosa da notare è il rumore dei generatori fatti a mos cioè valutare il rumore del MOS rispetto alla corrente I. Per valutare il rumore devo integrarlo sulla banda detta dalla capacità parassita del DAC.

Ma posso fare 1024 livelli in modo diverso senza avere un gen per a 1024 I?

Sì!, faccio 1024 generatori di corrente



Thermometric weighted

Si chiama termometrico perché

BIN	TERMOMETRICO
11	0 1 1 1
10	0 0 1 1
01	0 0 0 1
00	0 0 0 0

Vediamo che per fare 4 bit ci servono 3 generatori di corrente uguali (non ci serve il 4o perché il bit pari a 0 lo facciamo con tutti i generatori spenti)

Si chiama termometrico  
perché gli si seleziona come un termometro

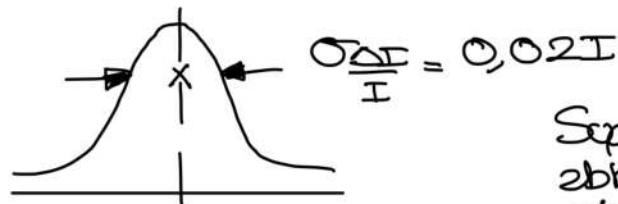
Nei 2 casi l'area dei generatori di corrente è uguale (perciò per fare SRT collego 512 MOS alle domande I)

La differenza sta nel che qua ho 1023 connessioni al posto di 10.

Per fare uno qualsiasi di questi valori io posso scegliere a caso uno dei generatori di corrente questo mi permette (in teoria) di scegliere i gen di corrente che voglio in modo da poter cancellare i mismatch

la topologia binaria c'è quella con gli chi + grandi soprattutto quando passiamo da SII I a SII $\bar{I}$  ( $0111\dots \rightarrow 1000\dots$ ) per fare questo devono scatenare tutte le correnti e quindi ho + gli chi.  
Nella topologia termometrica ho lo stesso gichi per tutti i codici.

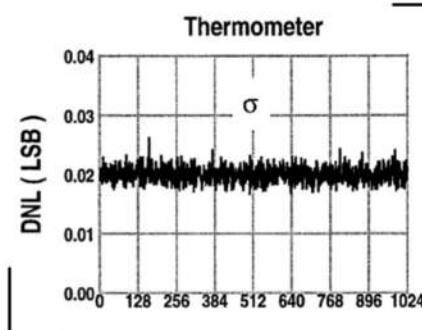
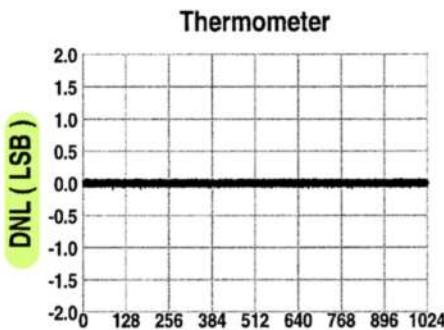
Per l'errore del matching



Sappiamo che i generi abbiano gesta deviazioni standard.

E quale sarà la DNL nel caso delle 2 topologie?

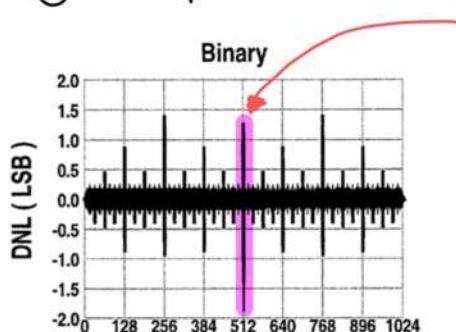
Nel caso di quella termometrica ho che la DNL è pari a  $\frac{\sigma}{I}$



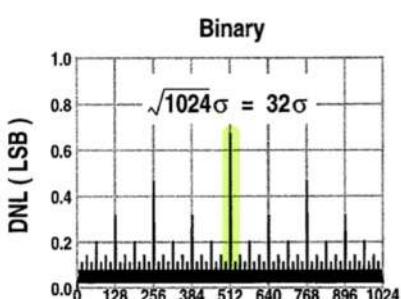
Come vediamo la signa della mia DNL è  $\approx$  costante ed è la  $\sigma$  del mio generatore di corrente

Qu'è la DNL di quello binario?

La situazione è diversa perché non aggiungo un generatore di corrente per ogni step.



Come abbiamo detto prima nel codice binario c'è quello con + gichi perché dividiamo tutti i gen di corrente e apriamo 1 + grande. Quindi i mismatch si sente tutto. A sua volta nella metà della metà mi aspetto in gichi alto sempre per lo stesso discorso.

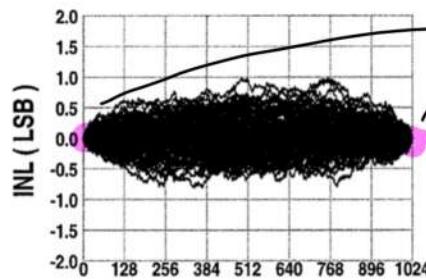
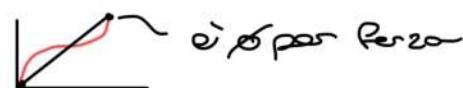


A metà abbiamo una varianza pari a  $\sqrt{1024}\sigma^2$ . Questo perché noi passiamo da SII I a SII $\bar{I}$  e dunque ho che le varianze delle 2 correnti si sommano

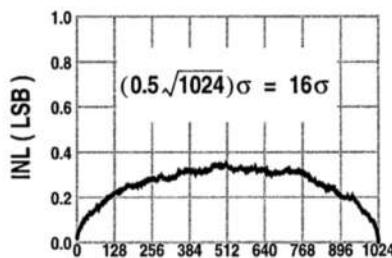
$$SII\sigma^2 + SII\bar{I}\sigma^2 \approx 1024\sigma^2$$

Ma cosa succede all'INL, sempre nei 2 casi?

Nel caso termometrico ottieniamo:



hai 2 lati l'INL è  $\emptyset$  per come la misuriamo infatti noi cogliiamo insieme il punto iniziale e finale della curva quindi l'INL è  $\emptyset$  per forza.  
Statisticamente noi poi ci aspettiamo il massimo e metà dinamica



Questa è la deviazione standard.

Cosa succede nel caso binario? Ho praticamente gli stessi comportamenti che nel caso del termometrico.

Quindi quale dei 2 prendo?

A vederti così direi il termometrico che è migliore in INL e molto meglio in DNL. Comunque ho molta + area a causa delle interconnessioni (e NON dei generici di corrente)

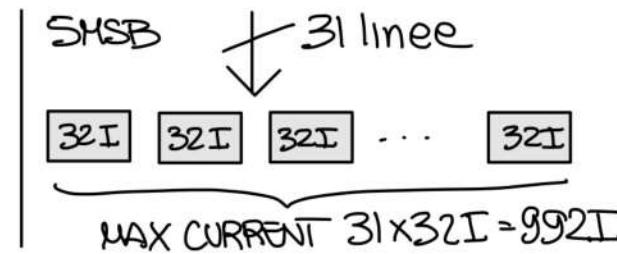
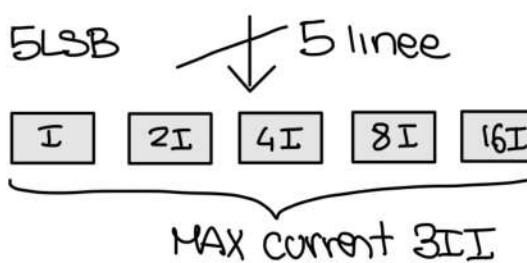
Allora noi pensiamo in questo modo, lo voglio una certa DNL e INL, quelle aree dove sono nelle 2 tipologie?

#### AREA GEN. DI CORRENTE

	TERIO	BIN	
DNL = 0,5 LSB	A	1024A	(perché ho $\sigma$ e $\sqrt{1024}$ o e $\sigma$ va con $\sigma^2 \propto \frac{1}{WL}$ )
INL = 0,5 LSB	256A	256A	(perché $\frac{1}{2} \sqrt{1024} \sigma$ )

Sia puro termometrico che puro binario non ci danno scuzaci accettabili usiamo un architettura segmentata che è fatta in metà in binario e metà in termometrico.

Ma noi dare metà binario, nella metà bassa o in quella alta del codice? Tipicamente l'metto come LSB e i bit + significativi sono messi come termometrici.



$$992 + 3I = 1023I \text{ ok}$$

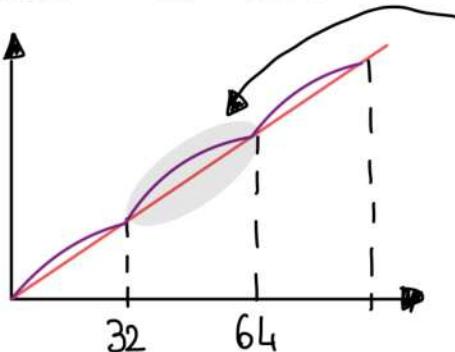
Nel Full binary avremo 10 linee.

Nel Full thermo avremo 1024 linee

Nel segmented abbiamo 36 linee ← Ci piace, meno interconnessioni

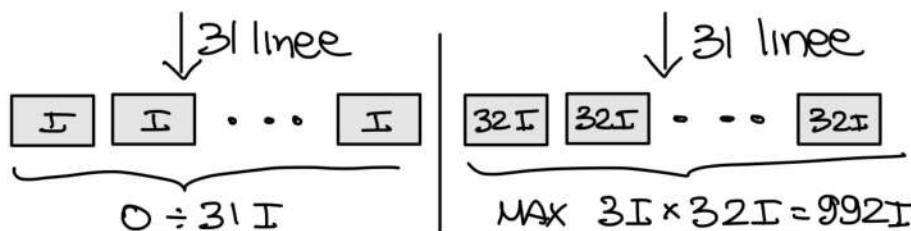
La caratteristica della DNL e INL del caso segmentato è a metà fra le 2 viste in precedenza (ma è un disastro da calcolare).

Si può vedere che



In pratica il grossso della caratteristica è dato dal termometrico (i salti tra 32/64...) all'interno di questi salti ha la DNL e INL del binario. Quindi questa si ripete periodicamente ogni salto.

Potrei anche fare un DAC segmentato ma con 2 termometrici



Uso 62 linee ma ho 2 termometrici: c'è uno segno del binario.

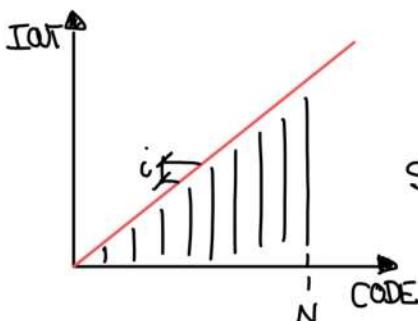
Ma ricordiamo visto solo errori statisticci ma ci sono anche errori deterministici come il gradiente dell'ossido che può variazione la VT.

Questo può essere un problema per i mosfet che fanno da gradi del tensore. Un modo possibile per rendere statistiche il rumore è scegliere a caso la posizione sul wafer del mos per ogni mosfet in modo da non averli vicini.

21.11.2021

3h

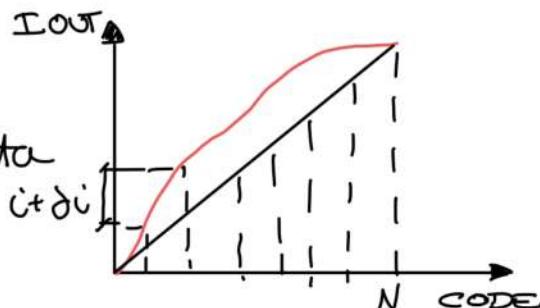
Dimostrazione della deviazione standard massima della INL.



Abbiamo molti step e ognuno di questi step è dell'ampiezza minima che riusciamo a rilevare.

$$SL = i \quad (\text{pendenza})$$

Nei facciamo l'INL pendendo l'area sotto la retta di collega (interpolation) e fine della curva (linear interpolation)



$$\text{Allora } SL = \frac{N\bar{c} + \sum_i \delta_i}{N} \rightarrow SL = \bar{c} + \frac{1}{N} \sum_{j=0}^N \delta_j$$

il valore reale all'  $N/2$  step è  $\text{Valore reale} = \frac{N}{2} \bar{c} + \sum_{j=0}^{N/2} \delta_j$

mentre il valore ricavato dall'interpolazione lineare è la pendenza per  $N/2$

$$\text{Valore Interpolato} = \frac{N}{2} \bar{c} + \frac{1}{2} \sum_{j=0}^N \delta_j$$

Forse è 1/2 perché io con l'interpolazione considero che l'errore a metà dinamica sia l'errore totale diviso 2

L'errore è la differenza tra valore reale e valore interpolato:

$$\epsilon = \sum_{j=0}^{N/2} \delta_j - \frac{1}{2} \sum_{j=0}^N \delta_j$$

Quindi otteniamo che l'errore è:  $\epsilon = \frac{1}{2} \sum_{j=0}^{N/2} \delta_j - \frac{1}{2} \sum_{j=N/2+1}^N \delta_j$

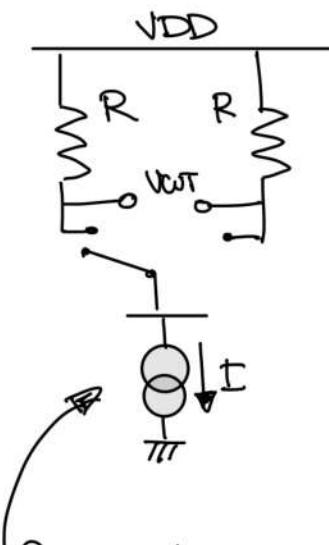
Se noi supponiamo che tutti gli errori siano incamerati possiamo calcolare la varianza come

$$\sigma_\epsilon^2 = \frac{1}{4} \frac{N}{2} \sigma_\delta^2 + \frac{1}{4} \frac{N}{2} \sigma_\delta^2 = \frac{1}{4} N \sigma_\delta^2$$

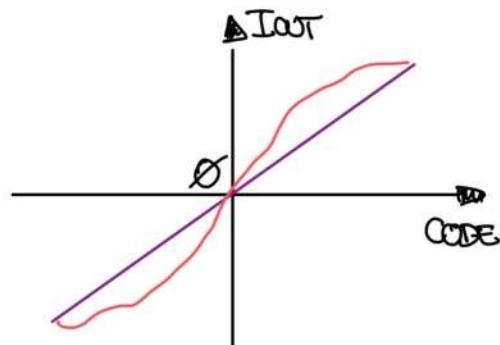
Abbiamo dunque ottenuto la varianza dell'INL nel punto massimo.

Noi possiamo ridurre l'impatto di questo errore statistico facendo i mos più grandi così la loro varianza va riducendosi.

Nel mondo reale però i DAC non sono single ended ma sono tipo fully differential

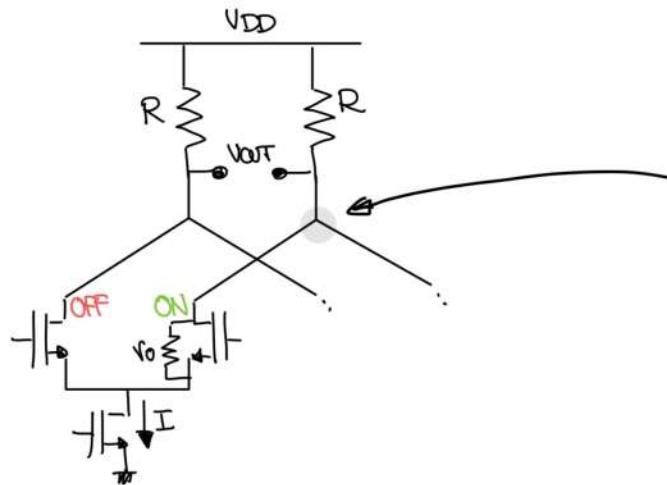


Questo significa che la caratteristica del DAC è simmetrica attorno allo zero



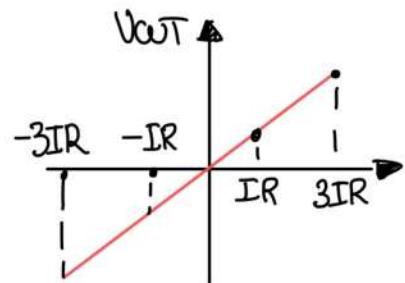
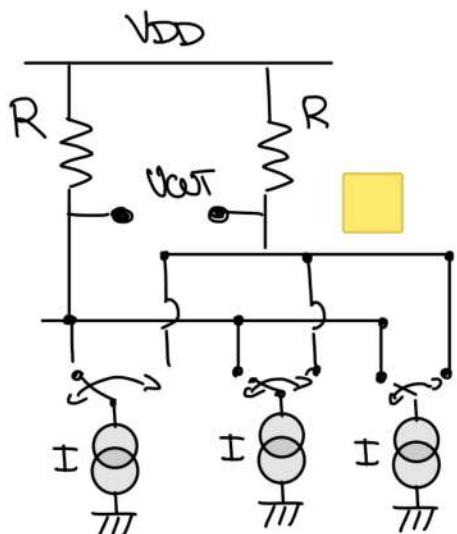
Con questo circuito noi non batteremo mai via la corrente come succede nel caso single ended.

## Errori Sistematici



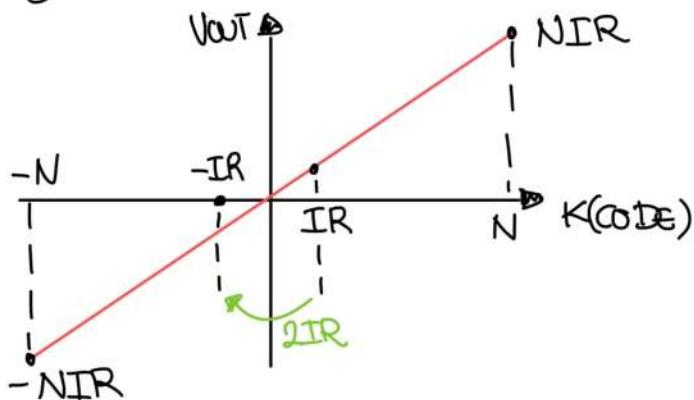
Il problema in questo caso è dato dalle resistenze  $r_o$  dei MOS.  
Infatti l'impedenza connessa al nodo cambia dipendentemente del n° di mos accesi che sono messi allo stesso.

Esempio nel caso di DAC a 2 bit



Ogni step ha un passo di  $2IR$  perché l'output è come se vedesse 2 resistenze in serie  
(vediamo che non abbiamo il codice per 0)  
(ha considerato 2 generatori e non 3)

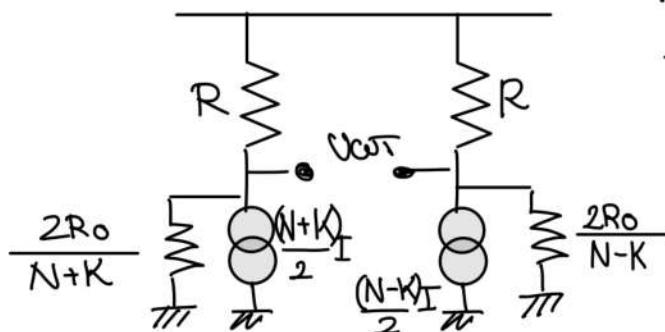
Aggiungendo  $N$  generatori avremo ricevuto questa caratteristica



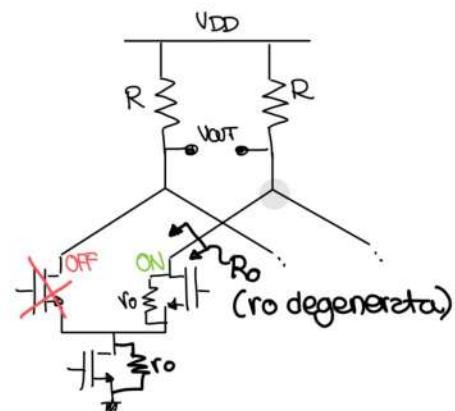
Allora il codice va da  $N$  a  $-N$  in salti da  $2IR$

Un possibile modello della variazione d'impedenza al nodo è esprimibile in questo modo

Possiamo vedere il tutto in questo modo



$$-N \leq K \leq N$$



Abbiamo che il codice va da N a -N, vedendo gli estremi vediamo che nel caso di codice N abbiamo un Ro infinito da un lato (dove non MOS OFF) e Ro/N dove non N mos connessi in parallelo.

Questo è un errore sistematico!! Ci aspettiamo distorsioni di 3<sup>a</sup> armonica (non di 2<sup>a</sup>) noi ho inteso bene X!

Quel è la output voltage in funzione di K?

$$V_{\text{OUT}}(K) = \frac{I(N+K)}{2} \cdot \frac{R \cdot \frac{2R_0}{N+K}}{R + \frac{2R_0}{N+K}} - \frac{I(N-K)}{2} \cdot \frac{R \cdot \frac{2R_0}{N-K}}{R + \frac{2R_0}{N-K}}$$

SE  $R_0 \gg NR_L$  (CONDIZIONE NON BANALE), ALLORA:

$$V_{\text{OUT}}(K) \approx IRN \left[ \left( \frac{K}{N} \right) + \left( \frac{K}{N} \right)^3 \left( \frac{N \cdot R}{2R_0} \right)^2 \right]$$

La condizione non è banale perché N è il numero totale non il numero di bit

K è un numero ma è il nostro input.

ERRORE SISTEMATICO NON LINEARE! (e' quello che mi dà la 3<sup>a</sup> armonica)

Vediamo che se  $R_0 \rightarrow \infty$  abbiamo che il sistema è lineare.

Potro vedere anche  $V_{\text{OUT}}$  come  $V_{\text{OUT}} \approx G[x + \alpha_3 x^3] \quad -1 \leq x \leq 1$

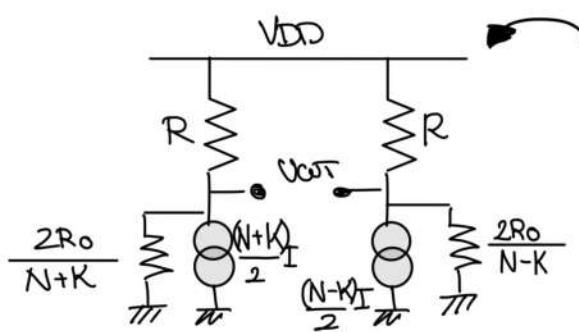
La distorsione di 3<sup>a</sup> armonica si può scrivere come

$$\begin{aligned} HD_3 &= \frac{1}{4} \frac{\alpha_3}{\alpha_1} \cdot A^3 \quad \text{con } \alpha_1=1 \text{ e } A=1 \\ &= \left[ \frac{NR_L}{4R_0} \right]^2 \end{aligned}$$

(A deve essere un ampiezza di qualcosa ma mi sono perso cosa, presumo che sia la massima x che posso avere. Se metto in max x lo ottengo la max Harmonic Distortion).

Se volessi  $HD_3 < 60 \text{ dB}$ , allora:  $\frac{1}{4} R_0 > \sqrt{10^3} NR \Rightarrow R_0 > 8NR$

Queste formule valgono sia nel caso termometrico che in quello binario senza particolari differenze.



Studiamo la variazione di  $V_{\text{OUT}}$  dato del passare a VDD quando cambia la resistenza.

$$V_{\text{OUT}}(K) = \frac{VDD \cdot \frac{2R_0}{(N-K)}}{R + \frac{2R_0}{N-K}} - \frac{VDD \cdot \frac{2R_0}{N+K}}{R + \frac{2R_0}{N+K}}$$

SE  $R_o \gg R_N$ , allora

$$V_{out}(K) \approx V_{DD} \cdot \frac{R_N}{R_o} \left[ \left( \frac{K}{N} \right) + \left( \frac{K}{N} \right)^3 \left( \frac{N \cdot R_o}{2 \cdot R_N} \right)^2 \right]$$

L'unica differenza rispetto al caso precedente è il valore del coeft iniziale

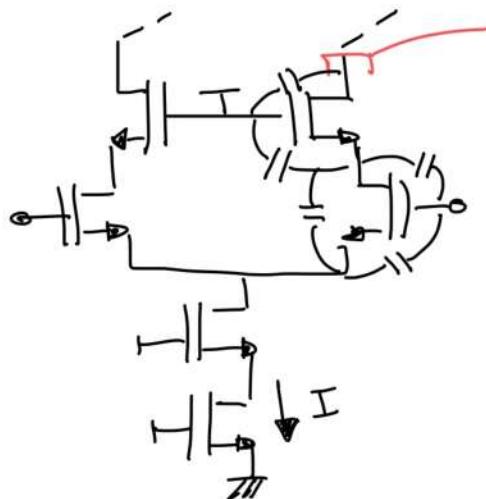
Noi vediamo che questo fattore è << rispetto a quello ricavato prima

$$I_{RN} \gg V_{DD} \frac{R_N}{R_o} \rightarrow I_{Ro} \gg V_{DD} \text{ (vero)}$$

perciò questo 2° effetto è trascurabile

Tutto questo ci fa capire che noi dobbiamo avere  $R_o$  grande quindi dobbiamo fare un cascode.

Perciò i generi di corrente sono fatti così



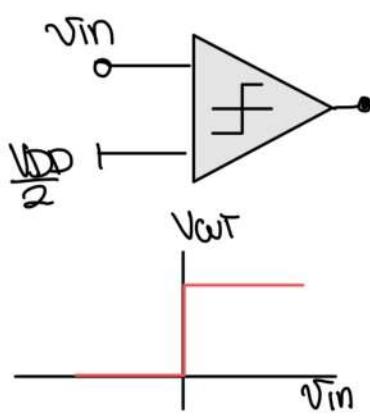
Potremo dire subito che  $R_o$  è grandissima. tuttavia dobbiamo ricordare che connesso qui possono avere un segnale e determinate alte regenze. Questo fa sì che vediamo capacita parallele.

Capiamo quindi perché hanno fatto così tanti cascode.

Inoltre se aumentiamo la regenza del segnale di out noi peggioriamo la distorsione.

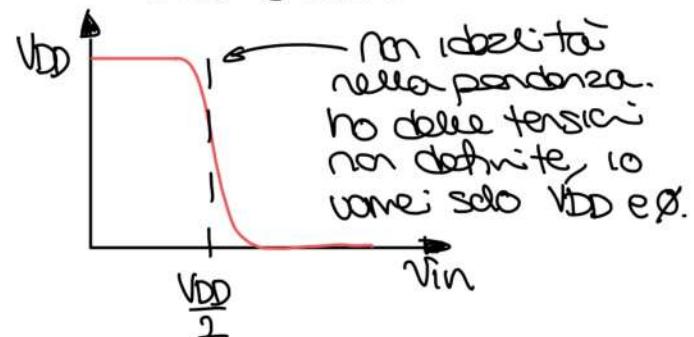
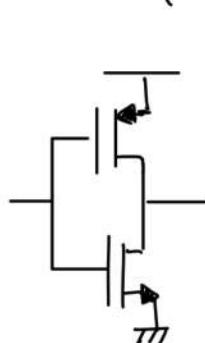
## COMPARATORI

Sono dispositivi che devono dare una caratteristica a threshold.



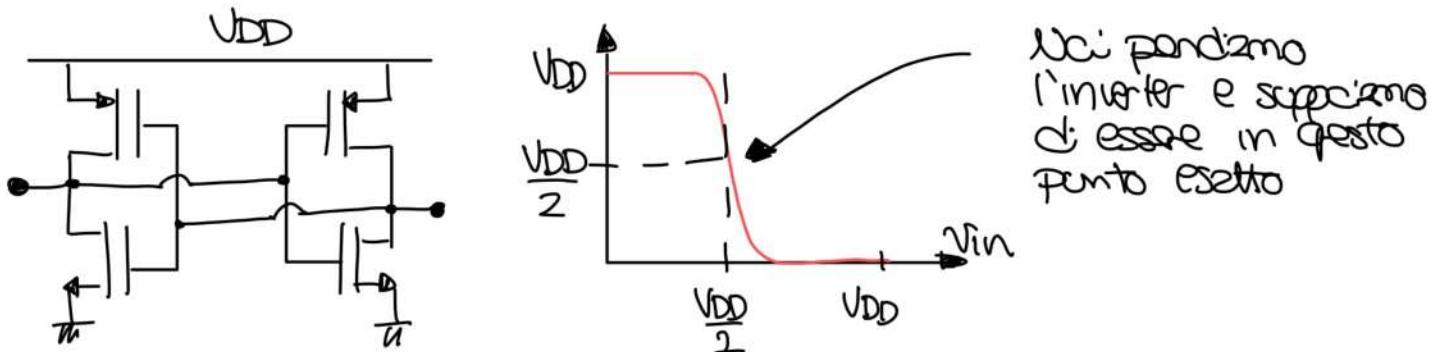
L'input è un segnale analogico, l'output è un segnale "digitale".

Ma se noi volessimo una caratteristica così perché non usiamo un inverter?

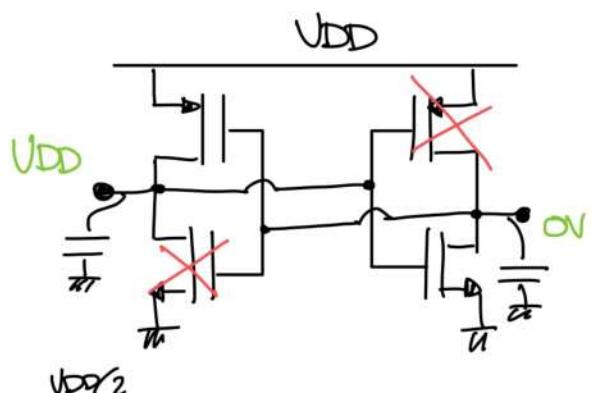
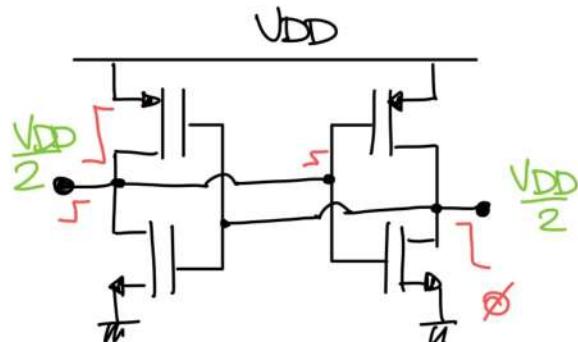


Nel dobbiamo fare il detect di segnali molto piccoli quindi non posso fare un comparatore con un source comune mandandolo in saturazione.

Possiamo sfruttare la potenza del feed back positivo per fare il comparatore (latch)

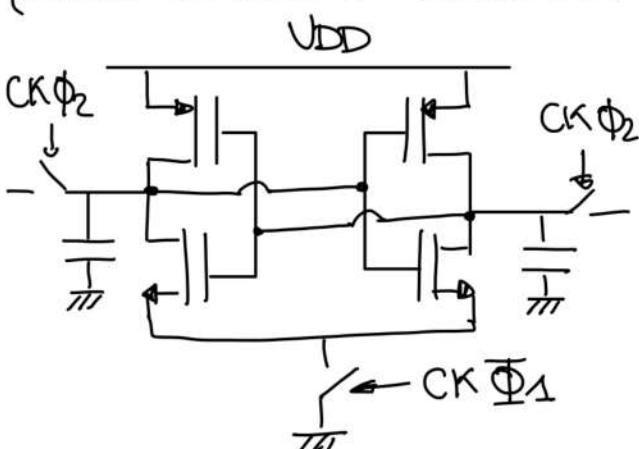


Questa situazione non è stabile, basta una piccola perturbazione e tac, setta da un lato o dall'altro.



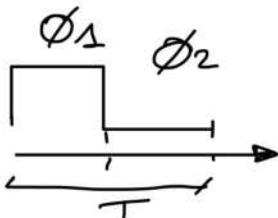
Come possiamo usare sta cosa come comparatore?

Perfino del circuito in un punto stabile e introduciamo una piccola variazione. Poco si vede il circuito si risolve da solo.

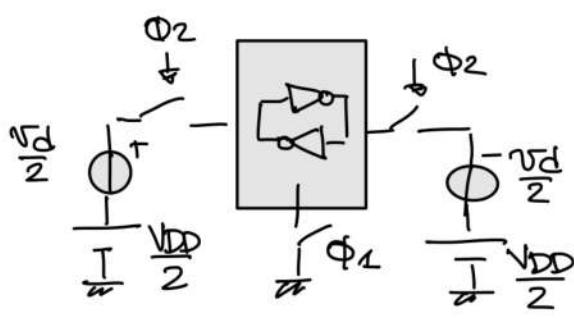


- 1 Nell'introduciamo i condensatori con le tensioni da comparare (Switch off  $\phi_1$ )
- 2 effetto lo switch che mi compara le 2 tensioni seleziate sui condensatori.

Allora posso vedere il tutto come



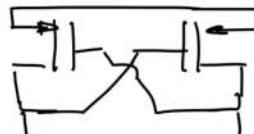
Se il segnale  $V_d$  è troppo piccolo il tempo per rigenerare il comparatore può non essere abbastanza (metastabilità).



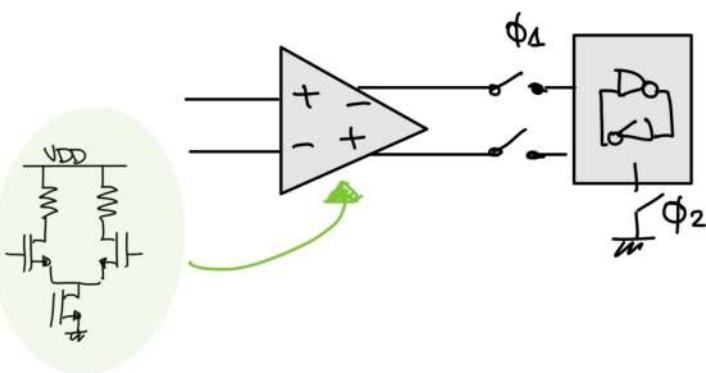
Vediamo subito che l'offset del mosfet deve essere minore del segnale di andamento a comparare.

Vediamo poi che anche gli switch non sono ideali e danno della charge injection (questa charge injection deve essere < del segnale di andamento a comparare).

Potrei anche fare un half latch:



Per prima c'è un comparatore, ho un semplice preamplificatore



Ma perché usiamo questo preamplificatore (de olletutto amplifica poco 10/20)?

1 Dividiamo l'offset del latch per il guadagno dell'ingresso.  
Abbiamo anche l'offset del preamplificatore però (tuttavia possiamo ridurne l'offset con dei trucchi perché è un circuito lineare mentre il latch no)

2 Kickback: c'è un problema del comparatore, ho molti disturbi che mi tornano indietro verso la mia sorgente (disturbi DC del mio segnale) devo fare una reverse isolator e lo faccio con il preamplificatore

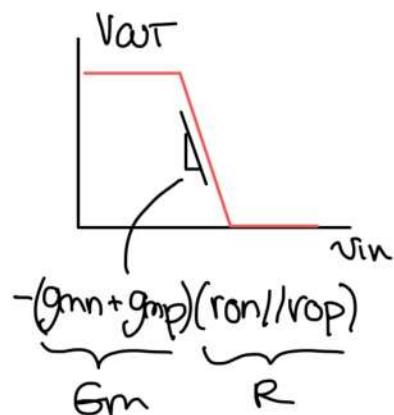
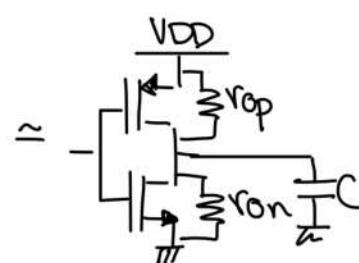
22.11.2022

2h

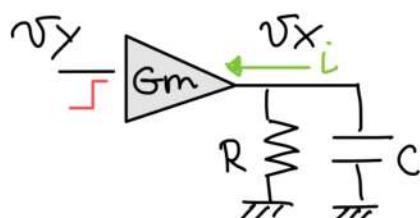
Altre cose importanti per i comparatori sono potenza e velocità (dipendono dall'applicazione)

L'offset di un comparatore in un J-Sigma non è importante dato che il comparatore è dopo un integratore (vedo) e noi sapremo che l'integratore ha  $G \rightarrow \infty$  in DC. Quindi imponendo l'offset all'input dell'integratore ho che mi va a 0 (perché diverso per  $\infty$ ).

Velocità del latch.



Allora posso vedere un inverter così:



Se l'input seleziona una corrente entrante

Unendo in feedback i 2 inverter, possiamo scrivere le equazioni:

$$\begin{cases} Gm \tau_y = -\frac{v_x}{R} - \left(\frac{\partial v_x}{\partial t}\right) C \\ Gm v_x = -\frac{v_y}{R} - \left(\frac{\partial v_y}{\partial t}\right) C \end{cases} \xrightarrow{\cdot R} \begin{cases} Gm R \tau_y = -v_x - RC \left(\frac{\partial v_x}{\partial t}\right) \\ Gm R v_x = -v_y - RC \left(\frac{\partial v_y}{\partial t}\right) \end{cases}$$

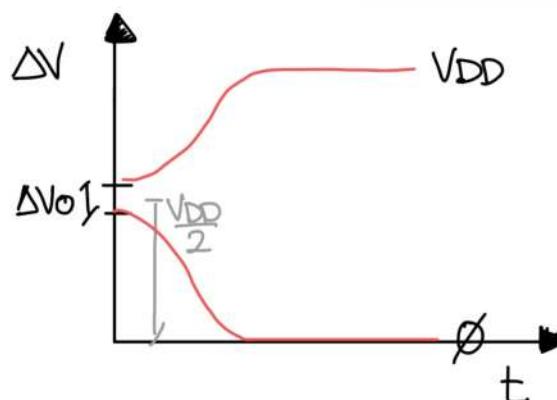
Se noi facciamo la sottrazione delle 2 eq per ottenere  $\Delta v = v_x - v_y$  ricaviamo

$$\tau \frac{d(\Delta v)}{dt} = \Delta v [A_v - 1]$$

Allora ricaviamo l'espressione di  $\Delta v$

$$\Delta v = \Delta v_0 e^{\frac{(A_v - 1)}{\tau} \cdot t}$$

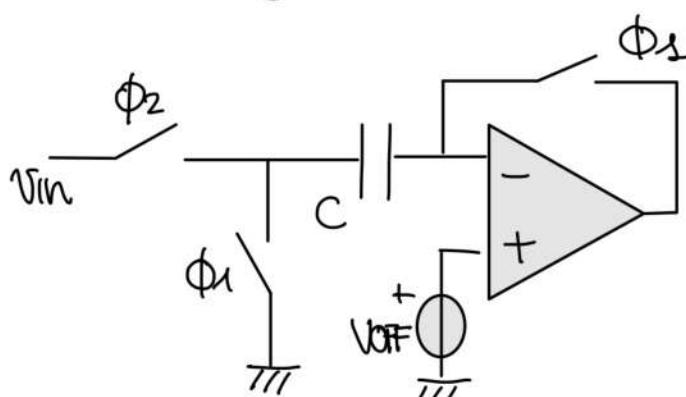
Dove  $\Delta v_0$  era il piccolo overshoot iniziale



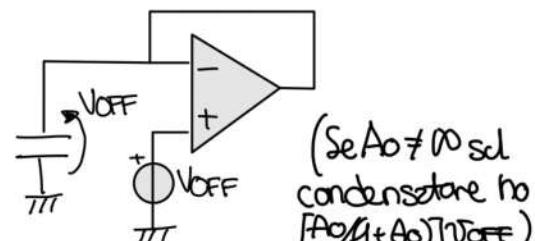
Ho metastabilità quando il segnale d'ingresso  $\Delta v_0$  è troppo piccolo.

Riduzione dell'offset sfruttando un amplificatore

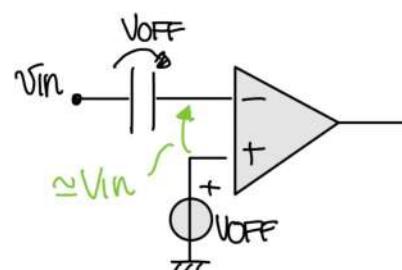
Auto zeroing (anche chiamato Correlated Double sampling)



Fase 1: Facciamo il sensing dell'offset

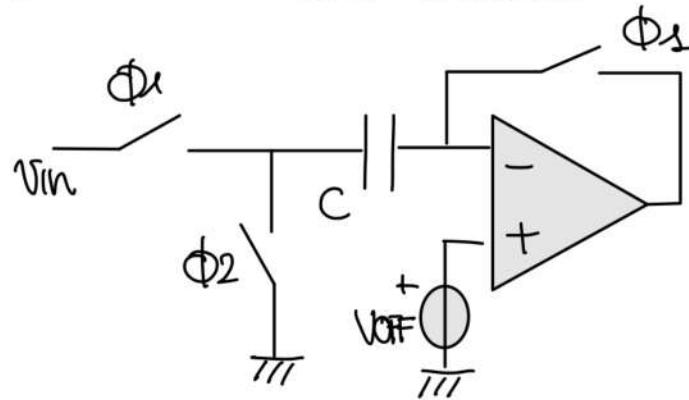


Fase 2:

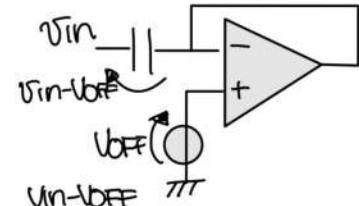


Se  $A \neq \infty$  noi sul condensatore abbiamo  $\frac{A_0}{1+A_0} V_{OFF}$ . In questo caso la differenza tra i 2 pin è  $V_{OFF} \left[ \frac{A_0}{1+A_0} - 1 \right] = -\frac{V_{OFF}}{1+A_0}$  (no comunque una riduzione dell'offset)

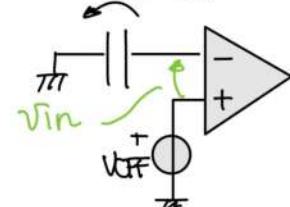
Posso anche fare la stessa roba ma con fasi diverse



Fase 1:



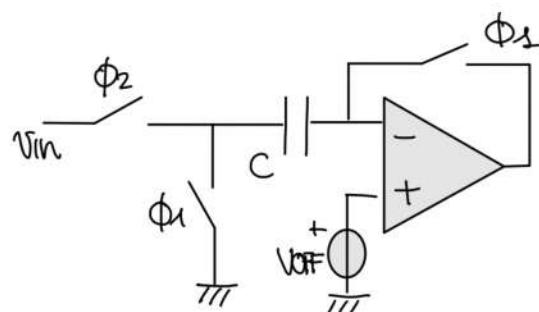
Fase 2:



Cosa cambia del rispetto al circuito prima?

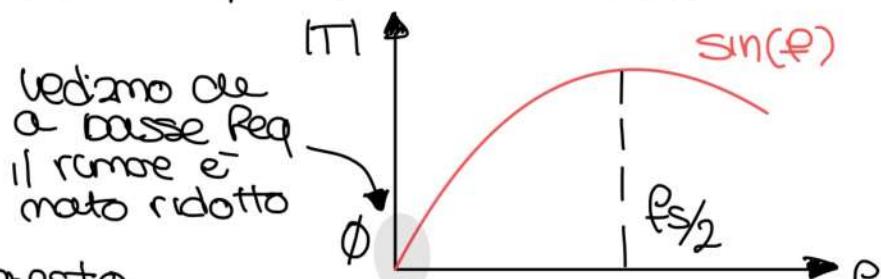
Se opamp ideale niente, se opamp reale vedere cosa cambia.

Nel però ora lavoriamo sul circuito ricevuto prima

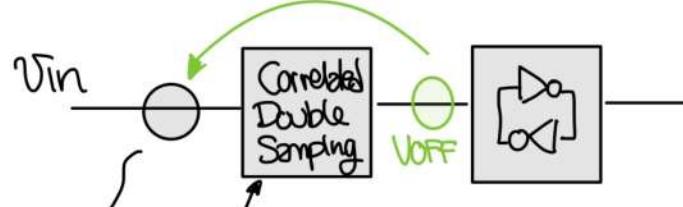


Di base noi assumiamo che l'offset non cambi tra le 2 fasi.

Low frequency noise è ridotta!!



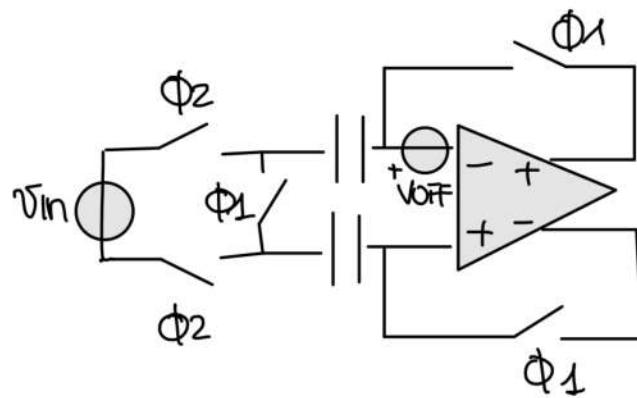
Nel possiamo dire usare questo circuito prima del latch



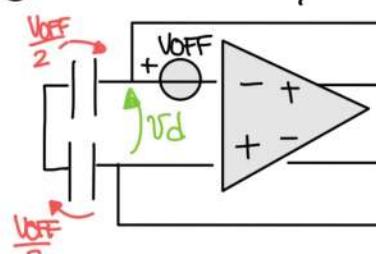
$$\frac{V_{OFF}}{A_0} + \frac{V_{OFF,os}}{1+A_0}$$

vediamo che i 2 offset sono circa compensiati come grandezza sull'input

Come facciamo un Correlated Double Sampling circuit fully differential?



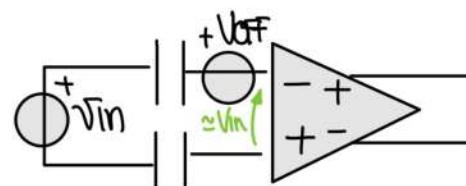
Φ1:



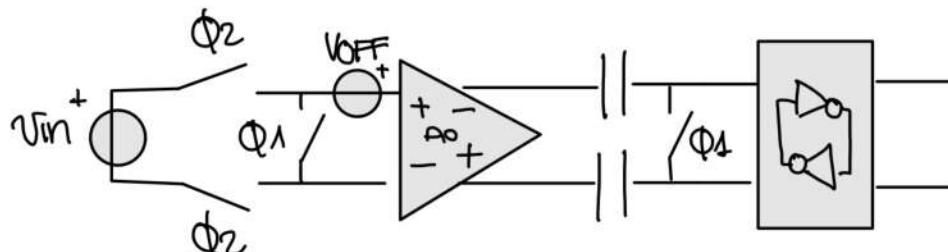
$$(\sqrt{d} - V_{OFF})(A_0) = \sqrt{d}$$

$$\sqrt{d} = \frac{A_0}{1+A_0}$$

$\phi_2$ :

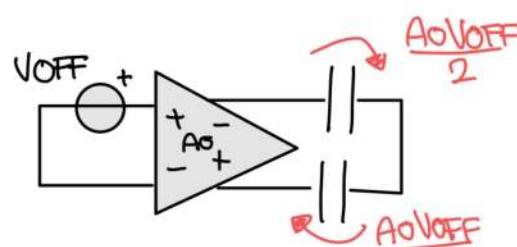


Con un trucco è possibile cancellare completamente l'offset del OPAMP anche con  $A_o \neq \infty$  infinito. Si chiama output offset sampling.

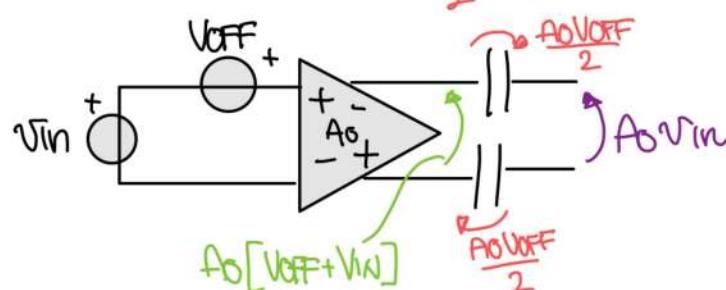


Il gain è certamente finito e non infinito (A<sub>o</sub> deve fare essere accaduto)

$\phi_1$ :



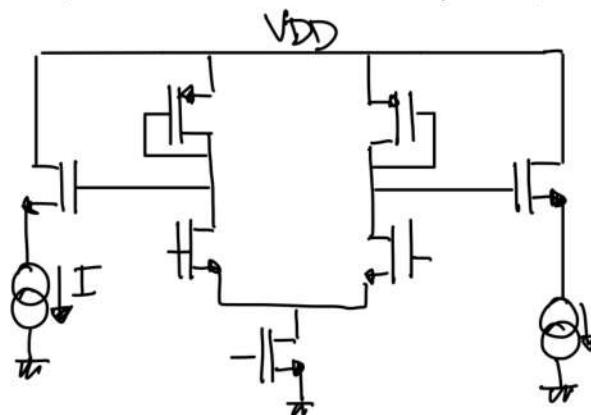
Vediamo che A<sub>o</sub> deve essere accaduto perché siano saturazione



Il trucco è che noi facciamo il sampling all'out e quindi anche con A<sub>o</sub> ≠ ∞ noi riusciamo a eliminare il tutto.

L'offset totale in ingresso è l'offset del letch di collegamento dopo diviso per A<sub>o</sub>.

Come possiamo fare l'opamp? Un'idea è quella di farlo così:

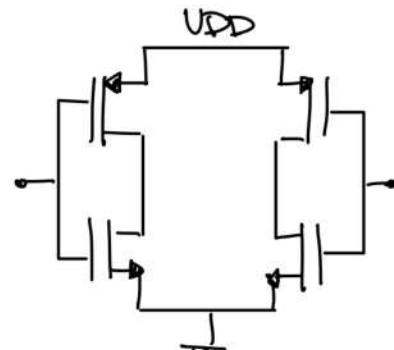


Con dei buffer di output per portare la corrente

Poi abbassiamo il latch effetto

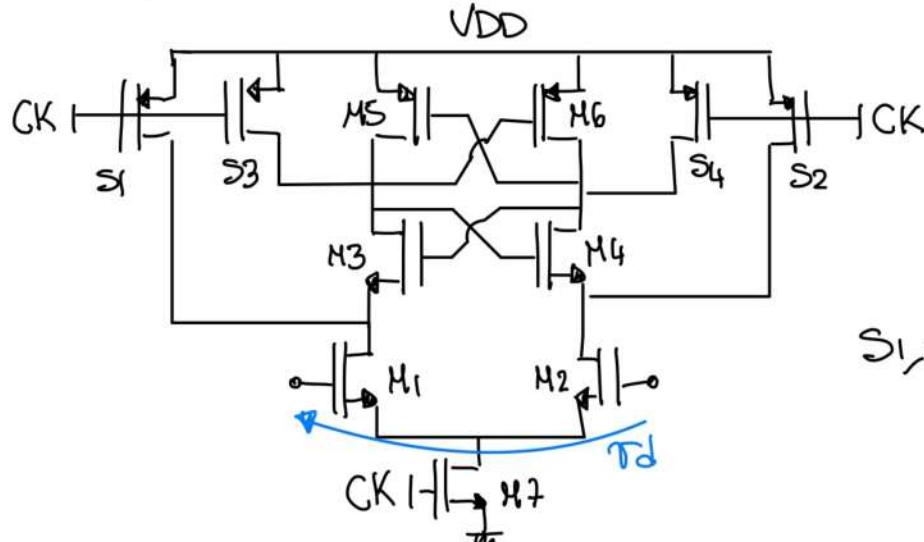
La domanda ci sorge spontanea.  
Possiamo fare anche un sampling del  
Latch e eliminare il suo offset?

Sì ma è un disastro per nulla bravo.



## Strong Arm Comparator

Il preamplificatore e il latch sono nella stessa architettura.

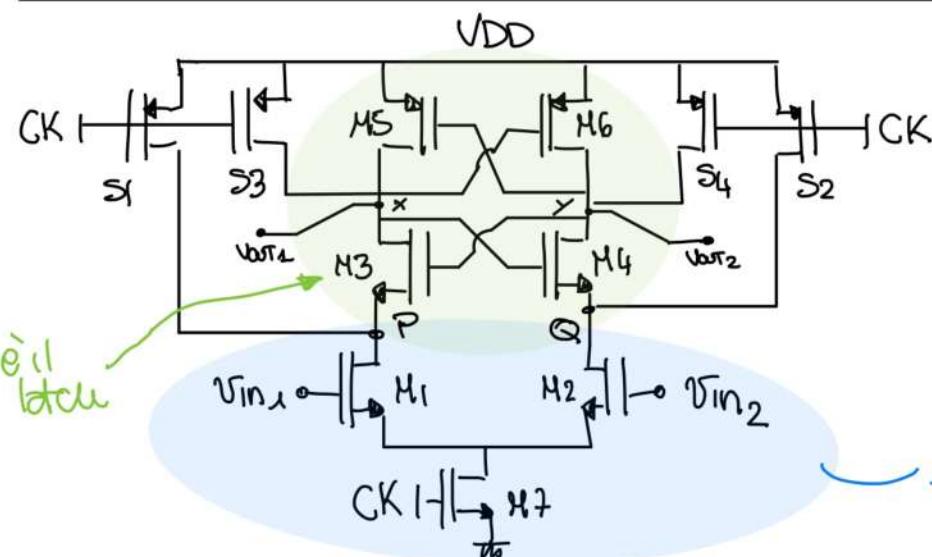


M7 non è uno switch perché quando il clock è zero è un commento generato non un interruttore.

S1, 3, 4, 2 sono degli switch.

23.11.2022

3h

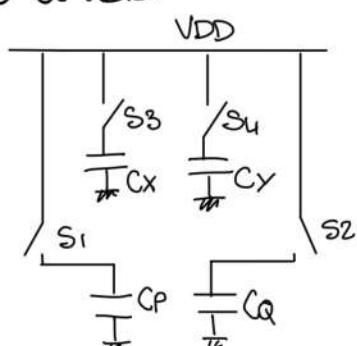


Fare l'analisi del rumore di questa cosa è un casino perché il sistema è switched.

Questo circuito è popolare perché consuma relativamente poco corrente.

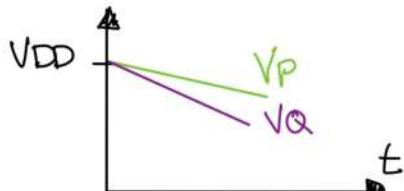
→ È il preamplificatore

C'è una fase in cui il circuito è preparato per la comparazione. In questo caso gli switch sono chiusi e M7 è OFF. In questo caso abbiamo che le capacità ai nodi X, Y, P, Q sono a VDD.

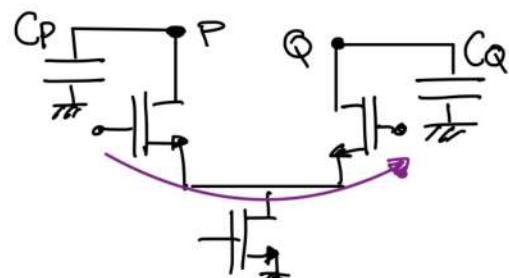


Carica e scarica i condensatori è la cosa che dà la maggiore power dissipation nel circuito.

Poi scriviamo gli switch e M7 chiamiamoli gen di corrente VP, VQ

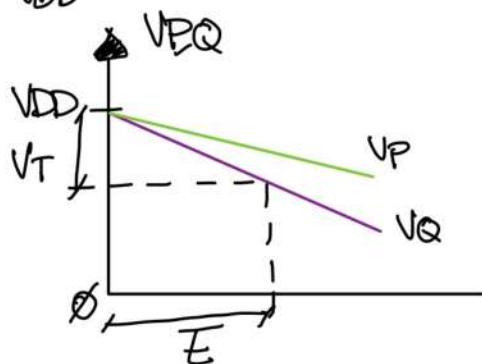


Vediamo che le capacità si scaricano ma non della stessa quantità.



La media di dossia delle 2 curve è circa  $I_{CM}/C$  dove  $I_{CM} = I_{M1}/2$

Assumiamo a un punto in cui uno dei 2 transistor scende di  $V_{DD}-V_T$  e uno tra ( $M_3/M_4$ ) sarà acceso (ricordiamo che questi transistor hanno i Drain a  $V_{DD}$  perché  $C_x$  e  $C_y$  sono caricati a  $V_{DD}$ ).



Facciamo un'approssimazione e diciamo che

$$V_T = \frac{I_{CM}}{C_{PQ}} \cdot T \rightarrow T = \frac{C_{PQ} \cdot V_T}{I_{CM}}$$

Nel adesso cerchiamo di ricavare  $(V_Q - V_P)$  in funzione della  $V_{in}$  (una sorta di Guadagno)

Nel sappiamo che  $\bar{T}$  è il tempo in cui c'è questo comportamento di rampe in + pendente dell'altro.

Dato che le rampe sono diverse perché nei condensatori passano correnti diverse (di poco) a causa della corrente di biasaziale detta del segnale d'ingresso.

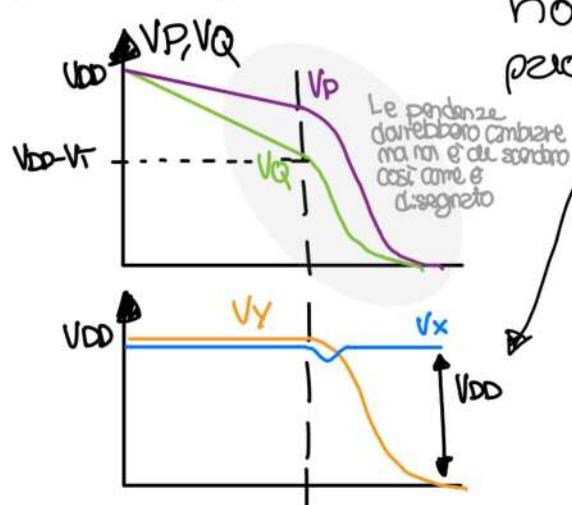
Allora so che la diff di corrente nei 2 condensatori è  $\Delta i = g_{m1,2} |V_{in}|$

Allora posso vedere che  $|V_P - V_Q| = \frac{g_{m1,2} |V_{in}|}{C_{PQ}} \cdot \bar{T}$

Dunque posso ottenere che

$$\Delta V = \frac{|V_P - V_Q|}{|V_{in}|} = \frac{g_{m1,2}}{C_{PQ}} \cdot \frac{C_{PQ} \cdot V_T}{I_{CM}} = \frac{g_{m1,2} \cdot V_T}{I_{CM}}$$

Cosa succede poi quando un mosfet tra ( $M_3, M_4$ ) si accende? Se  $M_4$  si accende succede un segnale il condensatore  $C_y$  (zero) un feedback positivo



no che  $V_Q, V_P$  e  $V_X$  si scatenano a causa del plus di tensione.

Questo grande segnale qua può trasmettersi sulle capacità e darci un forte kick back.

INTERESSANTE! Una volta che sono lockato nello stato non ho potenza dissipata dal circuito. Questo perché  $M_1$  e  $M_2$  vanno OFF perché  $V_P$  e  $V_Q$  vanno a 0.

Consumo quando resto tutto.

$$\text{il consumo è } P = f_{CK} \cdot V_{DD}^2 [2C_{P,Q} + C_{X,Y}]$$

E per il rumore?

No così ad occhio ci immaginiamo che tutto sia dominato dal primo in ingresso.

E se ho dell'offset in ingresso?

Questo vuol dire che quando  $V_{IN} = 0$  ho + come se da un lato dell'altro (no buona), allora noi possiamo fare  $C_P = C_Q$  ma per più grande in modo che la rampa discendente sia uguale.

Questo si può fare avendo delle capacità selezionabili con degli switch.

- Rumore riferito all'ingresso.

Noi sappiamo che abbiamo un tempo  $\bar{T} = \frac{C_{P,Q} \cdot V_T}{I_{CM}}$  prima dello switch.

Durante questo tempo il rumore dello stadio differenziale  $H_1$  e  $H_2$  sono messi sui condensatori  $C_P$  e  $C_Q$ .

Nicuizmo la varianza del rumore

$$In^2 \quad \left( \begin{array}{c} \text{---} \\ | \\ \text{---} \end{array} \right) \quad \rightarrow \quad \sigma_V^2 = \frac{In^2}{C^2} \cdot \bar{T}$$

Allora possiamo dire che

$$\sigma_{P,Q}^2 \propto 2 \times \frac{4KT \gamma g_{m1,2}}{C_{P,Q}^2} \cdot \bar{T} \quad [\text{V}^2]$$

dato che  
 $\bar{T} = \frac{C_{P,Q} \cdot V_T}{I_{CM}}$

*(Archivio di non è  $V^2$  ma è solo  $V^2$ .  
E' già stato "integrale".)*

Allora abbiamo che

$$\sigma_{P,Q}^2 \propto \frac{8KT \gamma g_{m1,2}}{C_{P,Q}^2} \frac{C_{P,Q} \cdot V_T}{I_{CM}}$$

è un'approssimazione  
ma non è male

E se volessimo riferire all'input questa varianza? Cosa facciamo? dividiamo per il Gain di prima  $A_{V1} = \frac{g_{m1,2} \cdot V_T}{I_{CM}}$

Perciò  $\sigma_{In_{DF}}^2 \approx \frac{8KT \gamma \cdot g_{m1} \cdot V_T}{C_{P,Q}} \cdot \frac{1}{A_{V1}^2}$

$$\approx \frac{8KT \gamma \cdot g_{m1} \cdot V_T}{C_{P,Q}} \cdot \frac{I_{CM}^2}{g_{m1}^2 V_T^2}$$

Noi sappiamo che  $g_{m1,2} = \frac{2I_{CM}}{V_T}$ , allora

$$\sigma_{in,RF}^2 \approx \frac{4KT\gamma}{CPQ} \cdot \frac{V_{DD,2}}{VT}$$

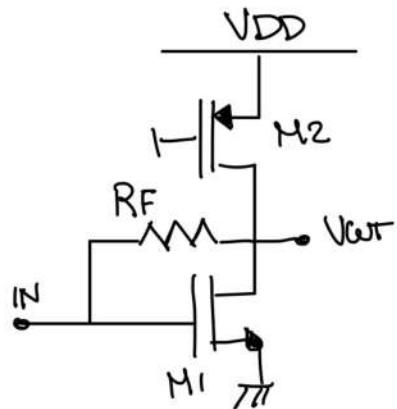
Poi abbiamo anche un rumore sui condensatori dati dagli switch S1, S2.

$$\sigma_{out,s}^2 = \frac{2KT}{CPQ} \rightarrow \text{Riferito all'input} \Rightarrow \sigma_{in,s}^2 = \frac{2KT}{CPQ} \cdot \frac{\text{Tor}^2}{gm^2 \cdot VT^2}$$

Allora la total input noise è:

$$\sigma_{IN,V}^2 = \frac{4KT\gamma}{CPQ} \cdot \frac{V_{DD,2}}{VT} + \frac{KT}{2CPQ} \cdot \frac{V_{DD,2}^2}{VT^2}$$

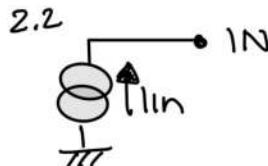
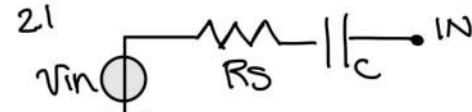
## ESEMPIO 12.10



Ricavare l'input noise

1) Senza avere idea del generatore

2) Avendo queste 2 sorgenti:



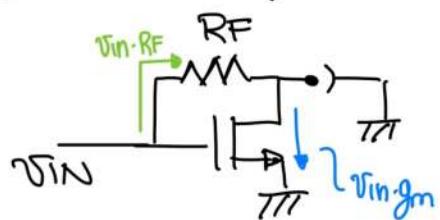
(capacità di decoupling)

(andiamo a fare tali che C sia in corto)

Suddentamente il prof vuole che ricaviamo il gen e i gen equivalenti

Iniziamo dal punto ① e ricaviamo l'equivalent noise generator

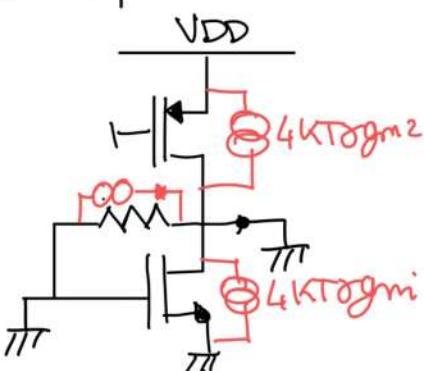
Calcoliamo l'equivalent voltage noise all'input?



$$i_{out} = V_{in} \cdot RF - V_{in} \cdot g_m$$

$$\frac{i_{out}}{V_{in}} = \frac{1 - g_m \cdot RF}{RF}$$

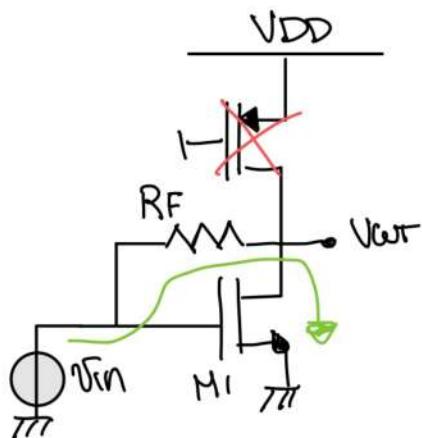
Volutato questo possiamo vedere i contributi di rumore riferiti all'input.



il corto all'input è fondamentale, quello all'output NO! Ma noi lo facciamo per semplificare la vita

$$E_n^2 = \frac{4KT\gamma g_m 1}{(1-g_m RF)^2} + \frac{4KT\gamma g_m 2}{(1-g_m RF)^2} + \frac{4KT}{RF} \cdot \left( \frac{RF}{1-g_m RF} \right)^2$$

Vediamo se riceviamo lo stesso risultato ricevendo l'output voltage

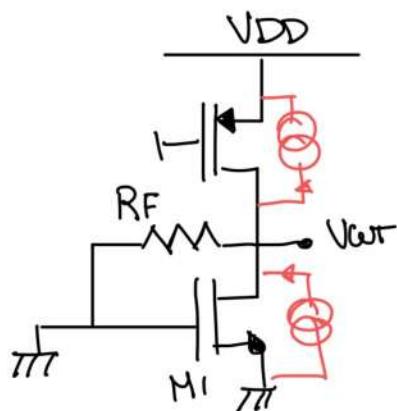


$$g_{m1} \tau_{in} = \frac{V_{in} - V_{out}}{R_F}$$

$$V_{in} \left[ g_{m1} - \frac{1}{R_F} \right] = - \frac{V_{out}}{R_F}$$

$$\text{Quindi: } \frac{V_{out}}{V_{in}} = 1 - g_{m1} R_F$$

Riceviamo adesso il noise generator all'output



ESSENZIALE CHE L'INPUT SIA A TERRA!

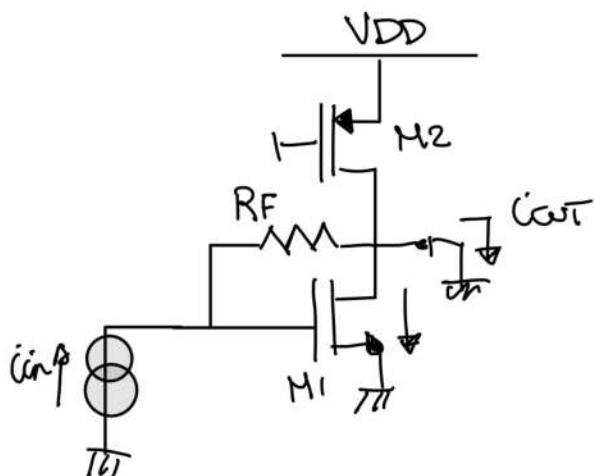
$$R_{out} \approx R_F$$

Allora

$$\begin{aligned} E_{out}^2 &= 4K\tau g_{m1} R_F^2 + 4K\tau g_{m2} R_F^2 \\ &\quad + 4KTR_F \end{aligned}$$

e per riceverlo all'input? dividiamo tutto per  $(\frac{V_{out}}{V_{in}})^2$ .  
si sarebbe  $(1 - g_{m1} R_F)^2$

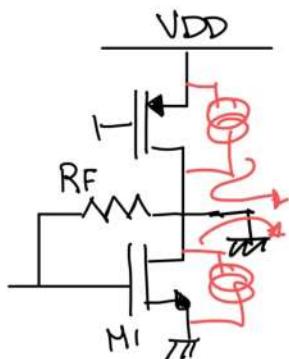
CONSIDERANDO ORA L'INPUT SOURCE = GEN DI CORRENTE



$$I_{out} = I_{in} - I_{in} R_F g_m s$$

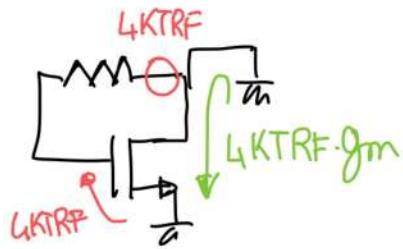
$$\text{Quindi: } \frac{I_{out}}{I_{in}} = 1 - g_{m1} R_F$$

Input current noise

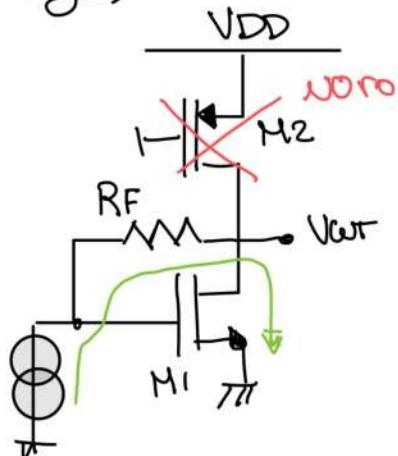


L'INPUT È APERTO!

$$\bar{I}_n^2 = \frac{4K\tau [g_{m1} + g_{m2}]}{(1 - g_{m1} R_F)^2} + \frac{4KTR_F g_{m1}^2}{(1 - g_{m1} R_F)^2}$$



FACCIA MO ORA LA STESSA COSA CON INPUT APERTO E OUTPUT APERTO (Dobbiamo valutare il gain tra corrente e output uscita)



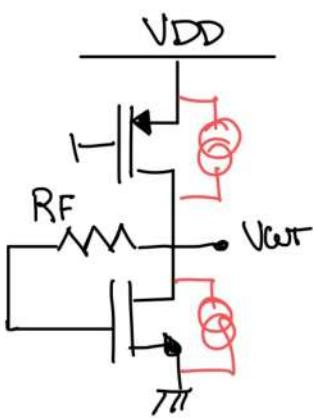
$$\text{Allora } V_A = \frac{i_{in}}{g_m}$$

$$\begin{aligned} \text{La } V_{out} &= V_A - R_F i_{in} \\ &= \frac{i_{in}}{g_m} - R_F i_{in} \end{aligned}$$

Perciò

$$V_{out} = \frac{1 - g_m R_F}{g_m} i_{in}$$

Calcoliamo adesso la noise all'uscita ma con l'input aperto



$$R_{out} = \frac{1}{g_m}$$

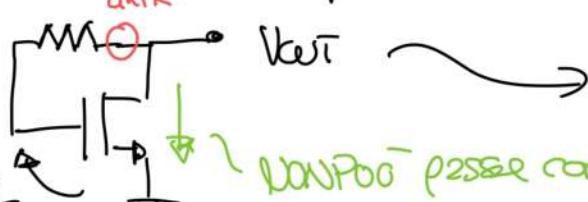
Allora

$$\overline{E_n^2}_{out} = 4KT [g_{m1} + g_{m2}] \cdot \frac{1}{g_m^2} + 4KTR_F$$

Allora

$$\overline{I_n^2} = \frac{4KT [g_{m1} + g_{m2}]}{(1 - g_m R_F)} \cdot \frac{1}{g_m^2} + \frac{4KTR_F \cdot g_{m1}^2}{1 - g_m R_F}$$

ATTENZIONE CHE RF DA quel punto non c'è

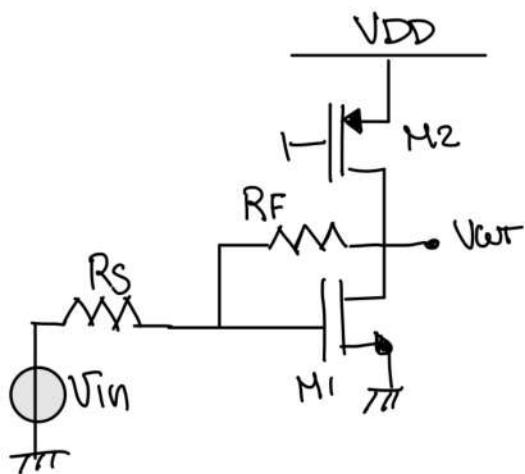


$$\text{Allora } V_{out} = 4KTR.$$

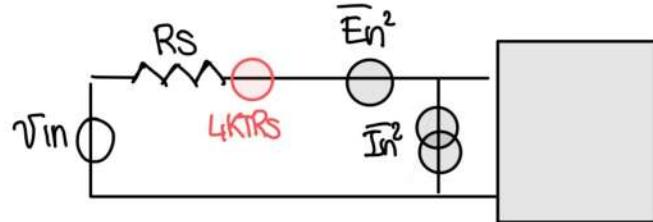
Dove essere  
∅

E SE ABBIANO UNA SORGENTE RESISTENZA + CAPACITORE?  
(che per noi c'è in corto)

Allora:



Nci penseremo di fare



$$\overline{V_{IN}^2} \approx 4KTR_S + \overline{E_n^2} + \overline{I_n^2} \cdot R_S^2$$

(Ma è un approx sbagliata perch'è i somiamo come indipendenti ma in realtà non lo sono).

Come facciamo a essere precisi? Dobbiamo ricavare da zero d'nuovo tutto.

Ricaviamo  $\frac{V_{OUT}}{V_{IN}}$

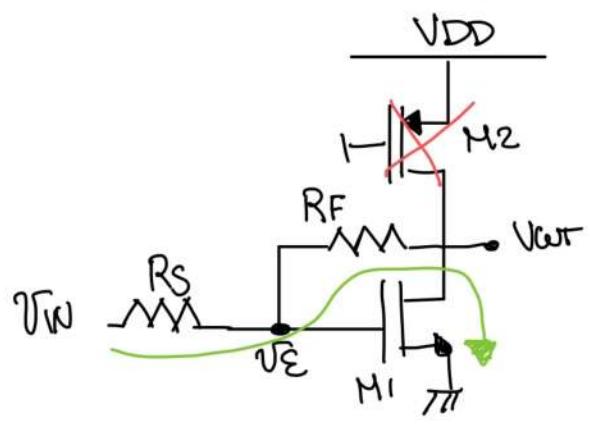
$$\left\{ \begin{array}{l} \frac{V_{IN} - V_E}{R_S} = g_{m1} V_E \\ \frac{V_E - V_{OUT}}{R_F} = \frac{V_{IN} - V_E}{R_S} \end{array} \right.$$

Quindi:

$$\frac{V_{OUT}}{V_{IN}} = \frac{1 - g_{m1} R_F}{1 + g_{m1} R_S} = \frac{\frac{-R_F}{R_S}}{1 + \frac{1}{g_{m1} R_S}} + \frac{1}{1 + g_{m1} R_S}$$

Graffigno  
Dritto

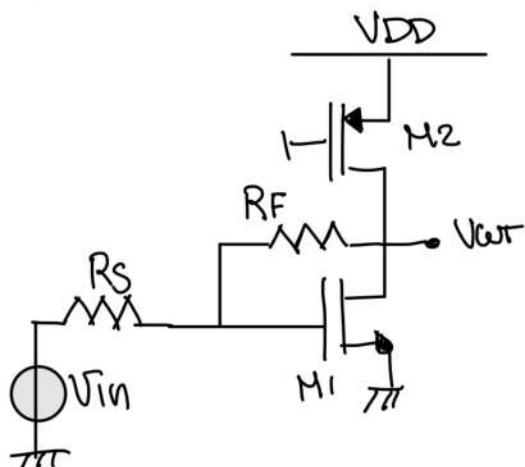
$\frac{1}{Gloop}$



28.11.2022

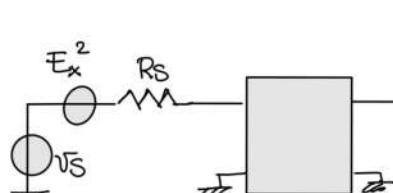
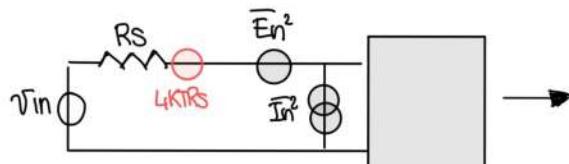
3h

Continuiamo il circuito della scorsa volta.



Quando nc' noi sappiamo la input impedance ( $R_S$ ) nc' abbiamo bisogno di 2 graffigni per identificare i rumore  $E_n^2$  e  $I_n^2$ .

Una volta che so quel'è  $R_S$  non ho bisogno di fare gesto.  
Nel nostro caso posso fare un graffigno equivalente di rumore (dato che entro in tensione)



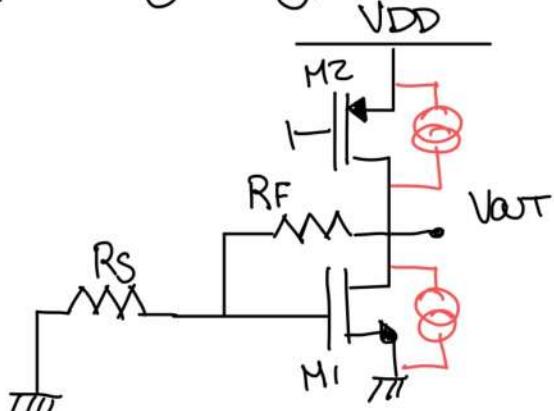
Potrei scrivere che

$$Ex^2 \approx 4KTR_S + \overline{E_n^2} + \overline{I_n^2} \cdot R_S$$

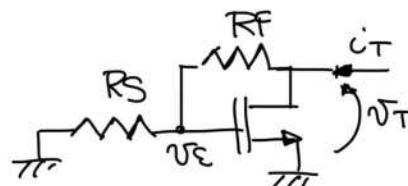
(Non è uguale perch'è  $I_n$  e  $E_n$  sono correlati)

Ma noi in questo es vogliamo essere precisi.

La sorsa vata abbiamo calcolato il guadagno tra ingresso e uscita, adesso calcoliamo il rumore all'output e dividiamo per il guadagno.



Vedo che i rumori di  $M_1$  e  $M_2$  spingono sull'output e quindi c'è bisogno ricavare  $R_{OUT}$ .  
(Ricorda, il nostro gain è  $V_{out}/V_{in}$ , per quello calcoliamo il rumore in  $V_{out}$ )



$$\left\{ \begin{array}{l} i_T = \frac{v_E}{R_S} + g_m v_E = v_E \left[ \frac{1}{R_S} + g_m \right] \\ \frac{v_E}{R_S} = \frac{v_T - v_E}{R_F} \end{array} \right.$$

$$R_{OUT} = \frac{R_F + R_S}{1 + g_m R_S}$$

Perciò il rumore dato da 2 MOS è

$$\overline{E_{nout}}^2 = 4kT \delta(g_m) \cdot \left( \frac{R_F + R_S}{1 + g_m R_S} \right)^2$$

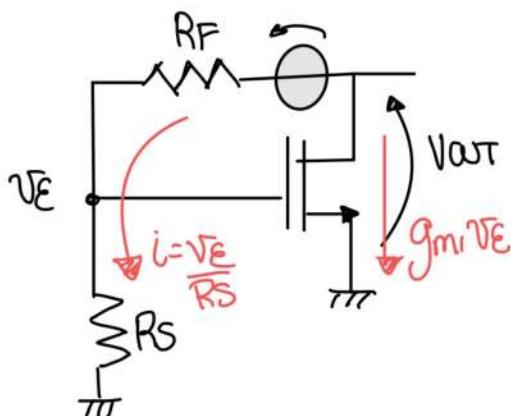
attenzione qui  
c'è il modulo  
quadro (se abbiamo una  
capacità NON abbiamo  $j^2 = -1$ )

Quindi all'ingresso abbiamo

$$\overline{V_{n_{MOS}}}^2 = \frac{\overline{E_{nout}}^2}{G^2} = \frac{4kT \delta(g_m) (R_F + R_S)^2}{(1 + g_m R_S)^2 \cdot (1 - g_m R_F)^2}$$

Na Sappiamo che il rumore d'  $R_S$  è uguale a quello del caso precedente (quindi non lo faccio)

Noi adesso calcoliamo il rumore d'  $R_F$ .



$$\frac{v_E}{R_S} = -g_m v_E \text{ IMPOSSIBILE!}$$

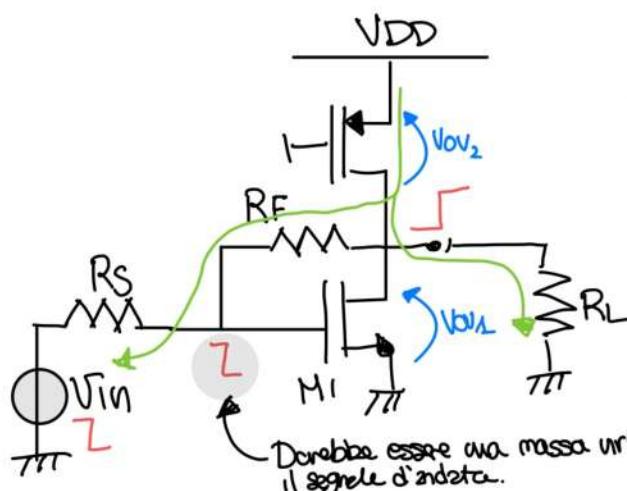
Non può scorrere corrente,  $v_E = 0$ .

$$\text{Allora } V_{out} = 4kT R_F$$

Altra il ramo ell' input è

$$\frac{4KTRF}{(1-g_m R_F)^2} (1+g_m R_S)^2$$

Abbiamo limitazioni di tensione e corrente ell' output?



$$\begin{cases} V_{OUT MAX} = V_{DD} - V_{DS2} \\ V_{OUT MIN} = V_{DS1} \end{cases}$$

Quando mi avvicino a questi valori ho una distorsione di 3a armonica

Abbiamo anche dei limiti sulla corrente.

Noiabbiamo un guadagno negativo.

Nel caso peggiore M1 è OFF e M2 deve fornire corrente sia a RL sia a RS + RF.

Perciò la vera limitazione sulla tensione d'output è

$$I_{BAS} [(R_S + R_F) / I_{RL}]$$

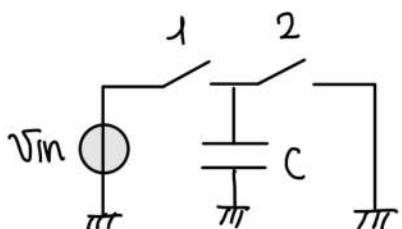
Tipicamente il problema della corrente è tipico degli stage d'output.

M1 non limita la corrente (di norma) quando Vin sale perché non c'è un generatore di corrente fisso come lo è M2.

### SWITCHED CAPACITORS

Ricordiamo che noi lavoreremo con il segnale semplificato (non con un segnale continuo)

Dobbiamo stare attenti perché se abbiamo la sampling frequenza troppo bassa abbiamo problemi (es. aliasing)



Rosso fare il solito discorso sulla corrente media.

$$\bar{I} = \frac{\bar{V}_{IN} \cdot C}{T_{CK}} = \frac{V_{IN}}{R_{eq}} \rightarrow R_{eq} = \frac{I_{DS}}{C}$$

Vin deve cambiare lentamente rispetto alla frequenza d'dock.

Qui abbiamo che la corrente e la tensione sono in fase (NON in quadratura) perché è uno switched cap.

Inoltre con uno switched cap abbiamo power dissipation.

A noi piace fare le resistenze con gli switch cap perché quando facciamo un integratore abbiamo che la FDT dipende dal rapporto tra 2 capacità.

$$FDT = \frac{C_1}{C_2} \cdot f_{CK}$$

Ci sono anche fan molto precisi. Ma quella riusciamo a farla senza troppo casino.

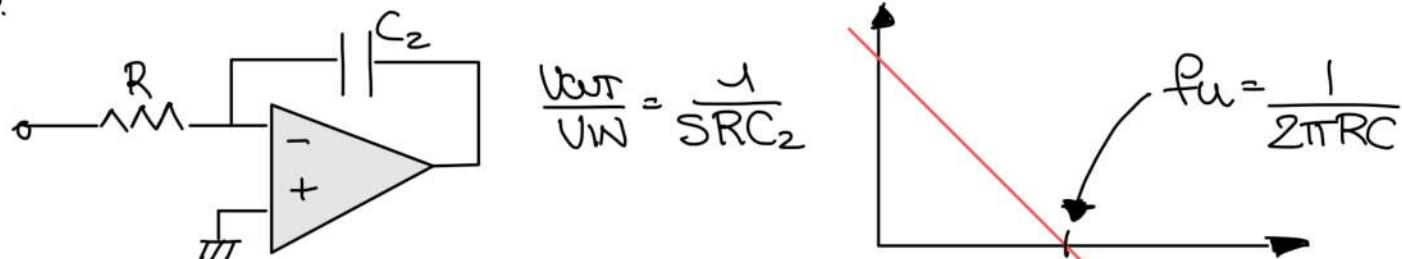
E come calcolo il rumore?

Potremo provare a calcolare normalmente il rumore della resistenza equivalente.

$$4kT R_{eq} = 4kT \cdot \frac{1}{f_{CK}} \quad (\text{dimensionalmente è corretto})$$

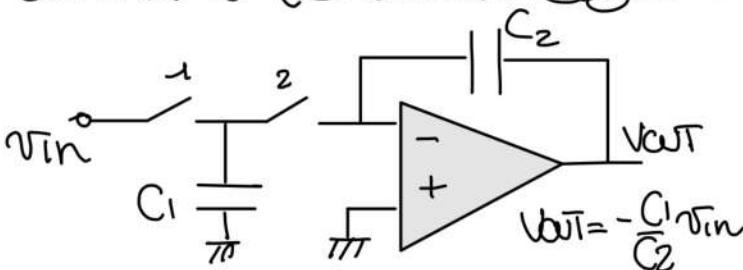
Diciamo che come rumore c'è sta.

Vediamo come fare il design di un integratore con gli switched cap.



Se  $V_{in}$  = costante ho una rampa negativa.

Nella realtà non si usano gli integratori in open-loop perché saturiamo (è causa degli offset)



Nella realtà nessuno usa switched cap single ended.

In fase 2 dato l'opamp ideale abbiamo de tutta la carica di ci va su  $C_2$

(se l'opamp non è ideale non tutta la carica viene rimossa)

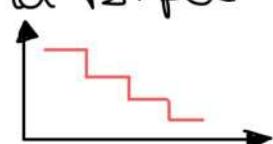
In fase 1 abbiamo l'opamp connesso a buffer con una capacità e' importante studiare la stabilità di questa configurazione!!

Supponiamo di stabilizzare la fase 1 quele problema abbiamo in fase 2. Nella fase 2 modificato il circuito che risulta più stabile di quello in fase 1. tuttavia ci dobbiamo fare il polo dominante dato dalla fase 1.

Quindi perdiamo in setting time.

Ma la nostra uscita è  $V_{out} = -\frac{C_1}{C_2} V_{in}$ , dove è la rampa?

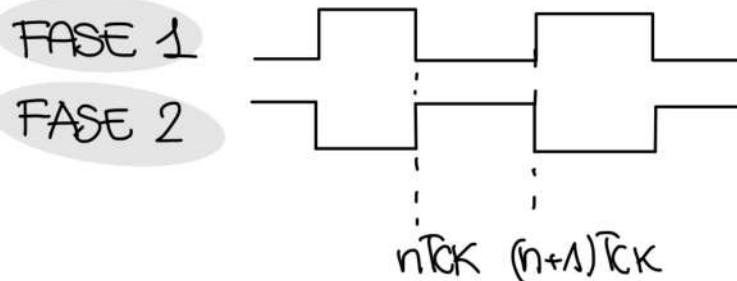
La rampa ce' quando metto in serie + veloci di  $V_{out}$   
SARO IN UN SISTEMA DISCRETO!



Quel'è la vera transfer function dello switched cap?  
Mi aspetto sia

$$\frac{V_{out}}{V_{in}} = -\frac{1}{SC_2 \frac{1}{f_{TCK}}} = -\frac{C_1}{SC_2} f_{TCK}$$

Ma nella realtà la soluzione è più complessa.  
Dobbiamo fare la trasformata zeta. (e comunque non è precisa perché è un modello)



Possiamo scrivere che la carica su  $C_2$  è data dalla carica su  $C_1$ .  
(Ci supponiamo che tutta la carica sia trasferita)

$$C_2 \{ V_{out}[nT_{CK}] - V_{out}[(n-1)T_{CK}] \} = -C_1 V_{in} [(n-1)T_{CK}]$$

Possiamo una trasformata zeta

$$C_2 V_{out} (1 - z^{-1}) = -C_1 V_{in} z^{-1}$$

$$z \longleftrightarrow e^{j\omega T_{CK}}$$

$$\frac{V_{out}(\omega)}{V_{in}} = -\frac{C_1}{C_2} \frac{e^{-j\omega T_{CK}}}{1 - e^{-j\omega T_{CK}}} = -\frac{C_1}{C_2} \cdot \frac{1}{e^{-j\frac{\omega T_{CK}}{2}}} \cdot \frac{e^{-j\omega T_{CK}}}{e^{j\frac{\omega T_{CK}}{2}} - e^{-j\frac{\omega T_{CK}}{2}}}$$

$$= -\frac{C_1}{C_2} \frac{e^{-j\frac{\omega T_{CK}}{2}}}{2j \sin(\frac{\omega T_{CK}}{2})}$$

Che è simile ma non uguale al risultato approssimato che abbiamo calcolato prima.

$$\frac{1}{SC_2 \text{Req}} = -\frac{C_1}{j2\pi C_2 T_{CK}} \frac{1}{\rho}$$

A basse frequenze le 2 espressioni sono uguali, mentre diventano sempre più diverse e si avvicina a  $T_{CK}/2$ .



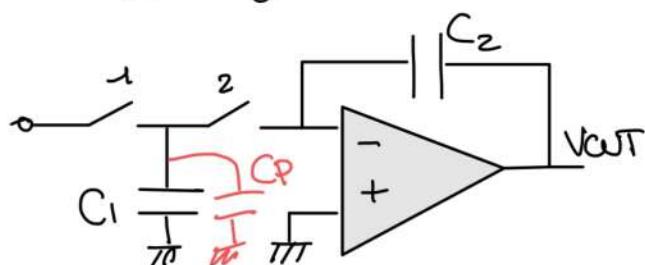
Dovrebbe essere giusto perché quando abbiamo  $w=2\pi/T_{CK}$  abbiamo che al denominatore abbiamo  $\sin(\pi)$  che fa 0 e quindi la curva reale a infinito

a basse freq  $e^{-\frac{j\omega T_{CK}}{2}} \approx 1$   
 $\sin(\frac{\omega T_{CK}}{2}) \approx \frac{\omega T_{CK}}{2}$

Controllare se Reale e Approssimata sono giuste.

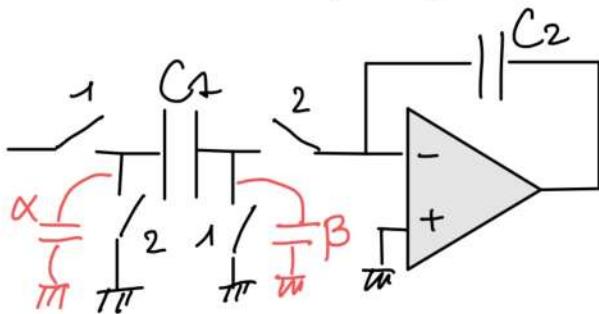
Quando facciamo un filtro abbiamo considerare l'analisi nella trasformata zeta.

I problemi dei circuiti di switched cap sono le capacità parassite e il design degli switch.



= Capacità parassita delle quale noi sappiamo i valori e entra nella nostra FDT.

Esiste una topologia per non essere sensibili ai parassitismi



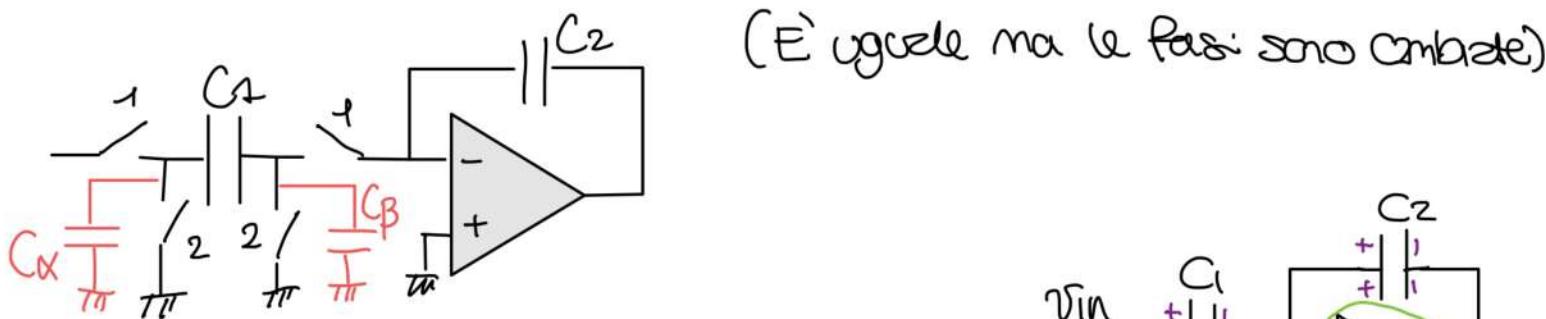
Durante la fase 1  $C_x$  è caricata a  $V_{in}$  e  $C_B$  non vede niente.  
In fase 2  $C_x$  viene scaricato a terra.  $C_B$  potrebbe romperci le pelli ma SE l'opamp è ideale io ho  $C_B$  tra terra e terra virtuale quindi non può avere carica.

Se facciamo la trasformata zeta di questo otteremo

$$\frac{V_{out}(z)}{V_{in}}(z) = +\frac{C_1}{C_2} \frac{z^{-1}}{1-z^{-1}}$$

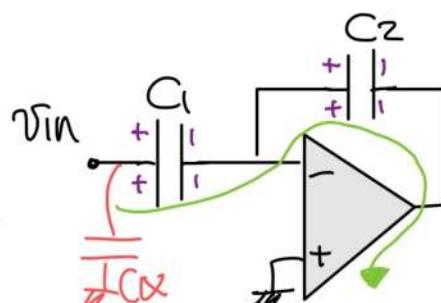
— è un phase delay

Esiste anche un'altra topologia parassiticamente insensibile.



Nella Fase 1 abbiamo una direct connection  
Allora abbiamo che

$$V_{out}/V_{in} = -C_1/C_2$$



Abbiamo che  $C_x$  è connessa a  $V_{in}$  e quindi si carica, ma non ha effetto sul nostro trasferimento,  $C_B$  è invece tra una terra e una terra virtuale.

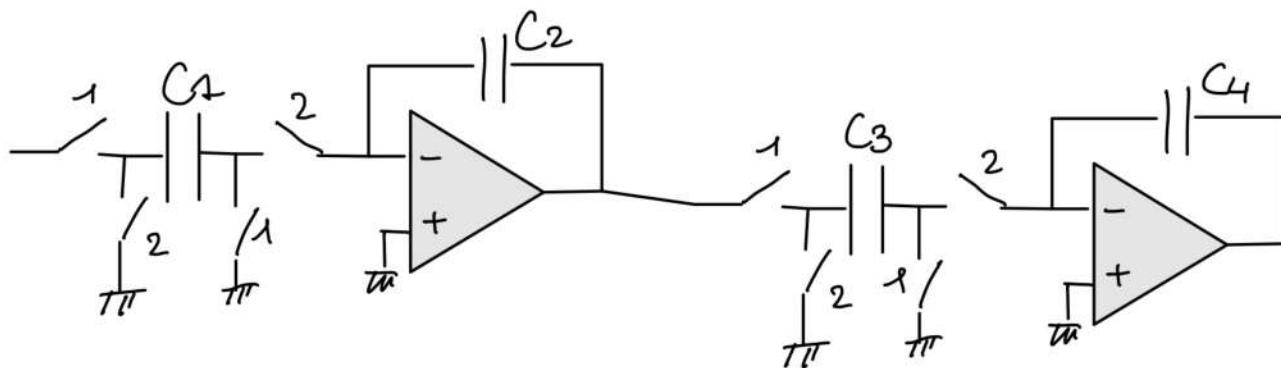
Nella Fase 2 andiamo a scaricare le capacità.

L'FDT di questo circuito è

$$\frac{V_{out}}{V_{in}} = -\frac{C_1}{C_2} \cdot \frac{1}{1-z^{-4}}$$

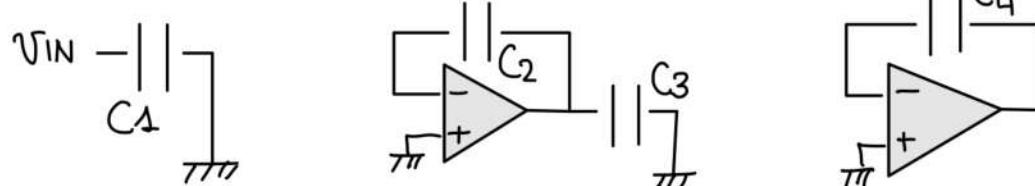
←  $V_{in}$  ha delay!!

Vediamo che in questo caso la sorgente deve gestire la cerca di 2 condensatori. E se ho + integratori in serie (stile filtro?)

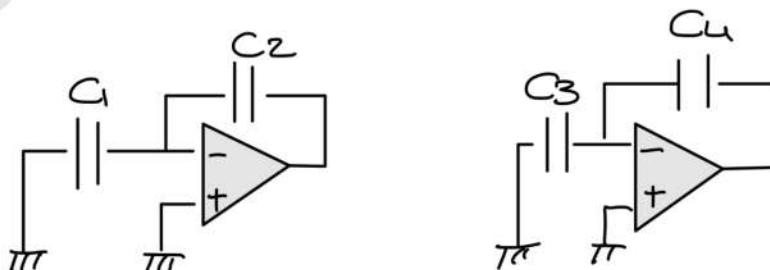


Come gestiamo il timing?

Ese, in fase 1 ho questo:



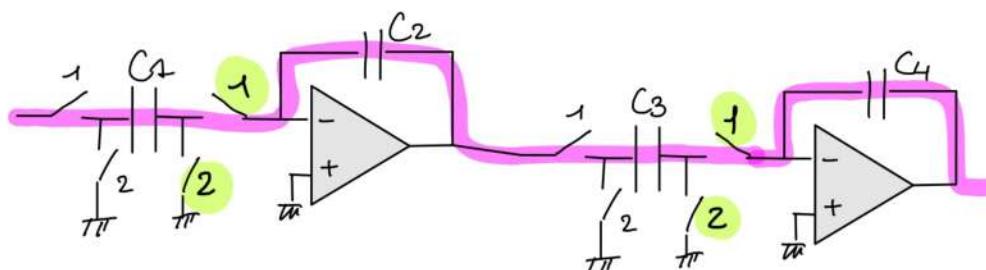
In fase 2 ho che



Devo aspettare  
il settling time  
del primo integratore  
prima di attivare  
il 2°

Il settling time dipende da "RC" e dalla banda dell'OTA.

E cosa succede con l'altra topologia?

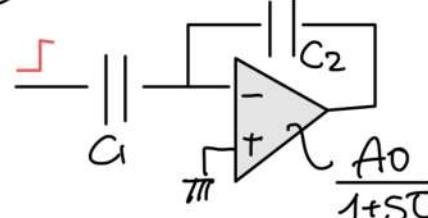


Vediamo che in  
fase 1 ho i 2  
opamp connessi  
insieme. Mi  
serve aspettare il  
settling time di 2  
OPAMP.

Se voglio andare rapido, due zuse opamp con settling time veloce  
e quindi con una grande banda.

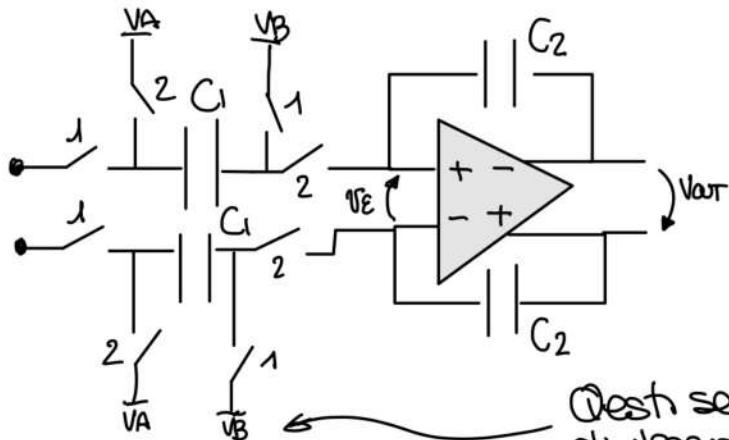
Noi per ora abbiamo parlato di integratori fatti a switch cap  
ma si possono fare anche amplificatori normali.

Per studiare il settling time ci studiamo questo circuito con  
una step function



(Ricordarsi come si calcola  
il settling time)

# Fully differential switched cap



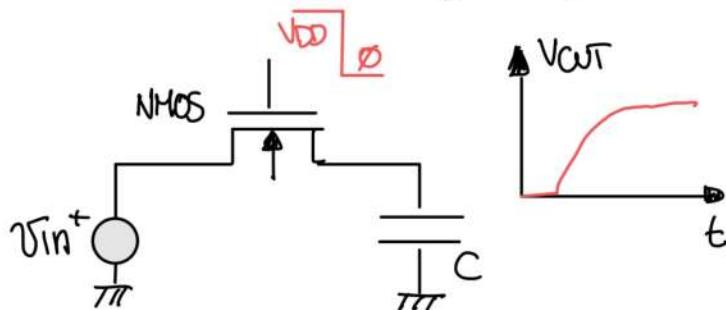
$$V_{\text{out}} = V_{\text{in}} \cdot \frac{z^{-1}}{1-z^{-1}}$$

Questi segnali non sono GND, perché il valore di tensione qui è dipendente dalla Common mode.

In un circuito Fully differential non importa la Canca che ho su C1, importa la differenza di canca che ho sulle 2 capacitai C1.

Ad esempio se VA è VDD allora gli switch 2 saranno PMOS. Importante è anche notare che la resistenza degli switch fa variare il settling time.

Discussione sul design degli switch



Nel quando facciamo il sampling prendiamo male il rumore  $\frac{kT}{C}$

(in realtà il sampling lo facciamo quando apriamo lo switch)

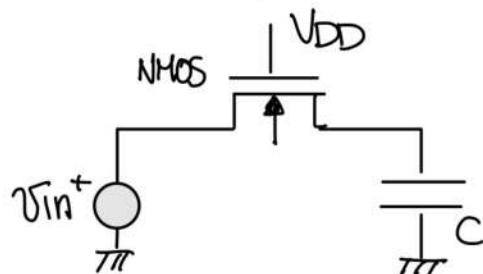
Se volessimo  $R_{\text{switch}} = \emptyset$  non avremmo problemi, ma dato che ho una resistenza ho un settling time.

Questo settling time mi limita la mia massima frequenza di funzionamento.

Se volessi diminuire il settling time (e non posso toccare  $T_{\text{ON}}$ ) allora devo ridurre C, ma se riducendo C abbiamo che abbiamo + rumore.

Potrei anche fare R più piccola (quindi i transistor + larghi) ma così facendo ho + charge injection.

Problema 1: il massimo segnale che possiamo semplificare è  $V_{\text{DD}} - V_t$ . Perché dobbiamo avere il mos ON.



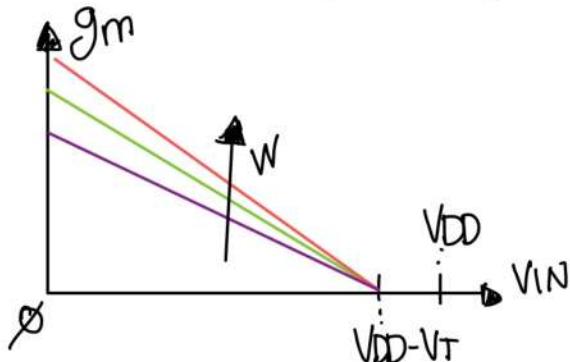
$$I = \mu n C_{\text{ox}} \left( \frac{W}{L} \right) \left[ (V_{\text{ds}} - V_t) V_{\text{ds}} - \frac{V_{\text{ds}}^2}{2} \right]$$

Quando siamo vicini a  $\emptyset \rightarrow \frac{V_{\text{ds}}^2}{2} \approx \emptyset$

Allora la resistenza in questo caso è (conduttanza):

$$g_m = \frac{I}{V_{DS}} = \mu n C_{ox} \left( \frac{W}{L} \right) (V_{AS} - V_T) = \mu n C_{ox} \left( \frac{W}{L} \right) [V_{DD} - V_{IN} - V_T]$$

Plotiamo subito la conduttanza  $g_m$  in funzione di  $V_{IN}$

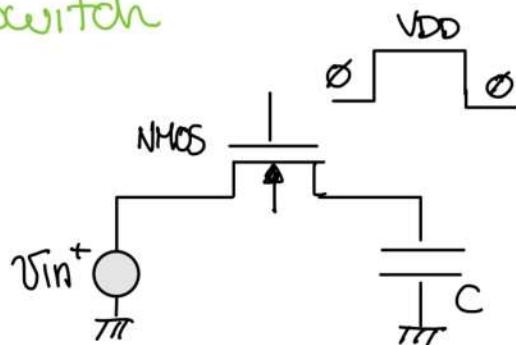


Vedo che per segnali vicino a  $V_{DD} - V_T$  la resistenza è troppo grande.  
Inoltre se  $V_{IN}$  si muove anche la resistenza si muove. A più stai vedi non va bene per niente. (induce distorsioni)

30.11.2022

3h

## Switch

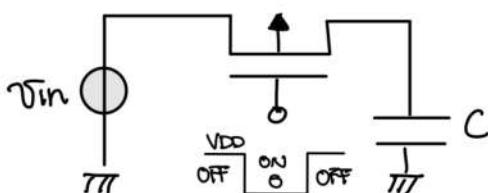


Abbiamo un sampler.

Abbiamo anche visto che

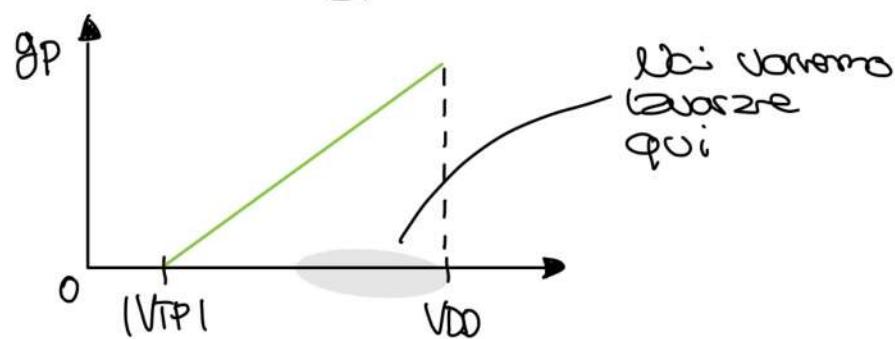
$$g_m = \mu n C_{ox} \left( \frac{W}{L} \right) \underbrace{[V_{DD} - V_{IN} - V_T]}_{V_{AS}}$$

Possiamo anche usare gli switch fatti a PMOS.

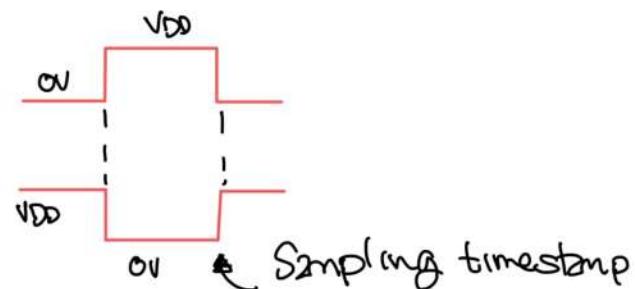
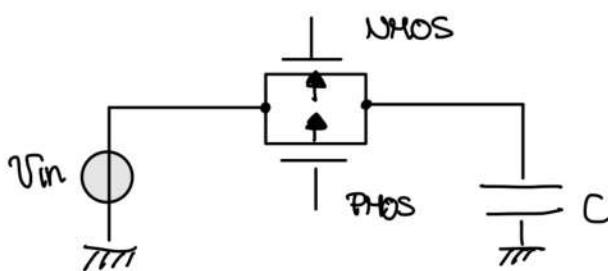


Ho la stessa situazione complementare.

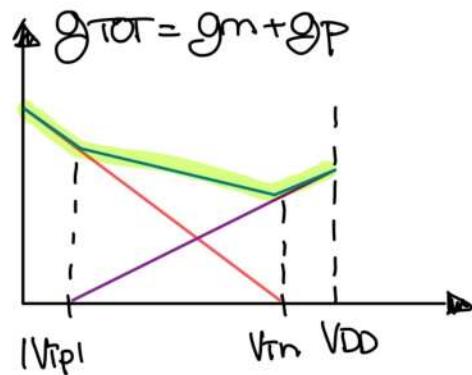
$$g_P = \mu p C_{ox} \left( \frac{W}{L} \right) [V_{IN} - |V_{TP}|]$$



Cosa facciamo se abbiammo un segnale di va da 0 a  $V_{DD}$ ?  
Cachiamo d'non averlo!! Ma nel caso usiamo un transmission gate.



Quel'è la conduttanza d' sta roba qua?



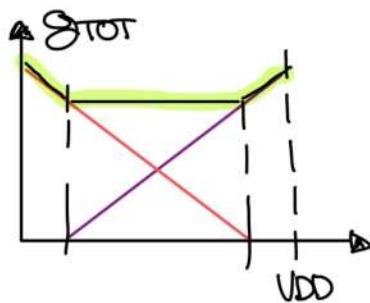
● G<sub>TOT</sub> ● g<sub>m</sub> ● g<sub>p</sub>

Dobbiamo stare attenti che  $V_{in} + V_{ip} < V_{DD}$

VANTAGGIO: ho che la charge injection + o si bilancia (se NMOS e PMOS hanno lo stesso dimensionamento)

Vediamo che la conduttanza è molto migliore di prima.

Si può fare meglio e avere che tra le 2 VT io abbiano g<sub>m</sub> Costante. Per fare questo modifico l'aspect ratio del PMOS in modo da compensare la differenza di mobilità



$$\mu_n \left( \frac{W}{L} \right) = \mu_p \left( \frac{W}{L} \right)_p$$

Quel'è lo svantaggio d' fare sta roba?  
Che non ho il bilanciamento della charge injection e il perito che il layout sia + complesso.

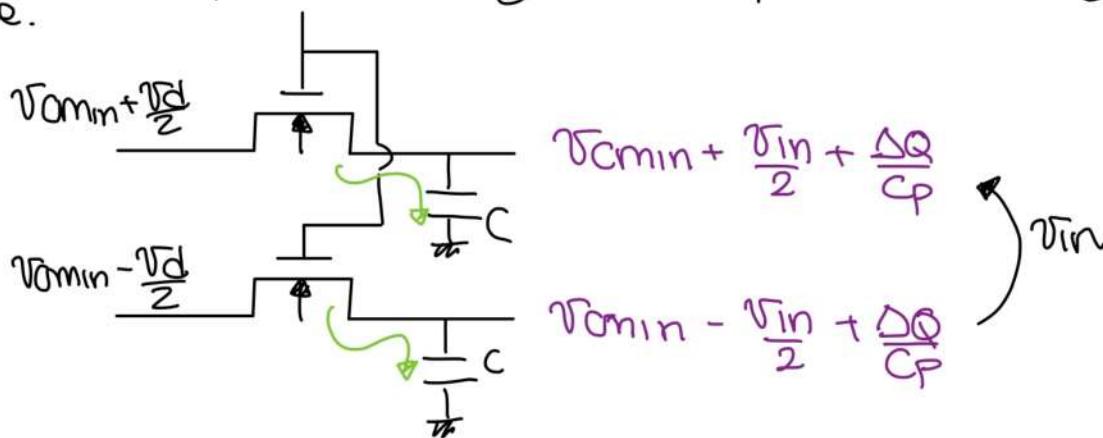
Vediamo che questo sistema ha molti vantaggi:

- Diminuiamo la charge injection
- G<sub>m</sub> è + costante e ha + range

Tuttavia si cerca di evitare perché abbiano il doppio del load sul clock. Dobbiamo avere 2 clock uno l'inverso dell'altro e sicuro non sono perfettamente uguali (clock skew).

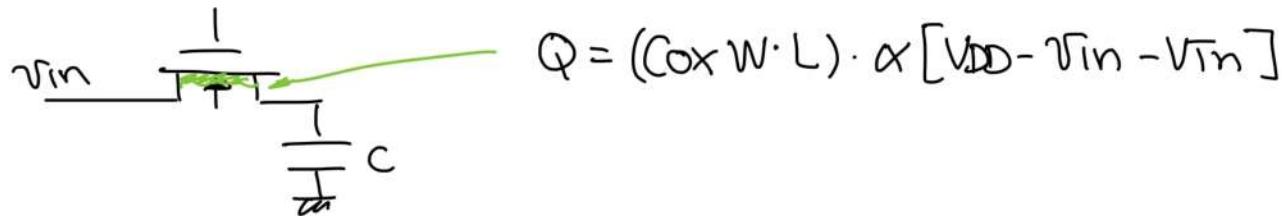
Quale può essere un top ziuto per la charge injection?

il Fully differential!! perciò ha abbiamato la charge injection in entrambi i path dei segnali e quindi c'è un segnale di modo comune.



Questo è un enorme vantaggio per eliminare la charge injection.

Con questa topologia non possiamo aumentare troppo  $V_{in}$ . Questo perché abbiamo tensioni diverse ai 2 terminali del circuito e quindi la capacità del mosfet è diversa nei 2 terminali.



Abbiamo dunque che non ho una cancellazione di carica parassita completa. Ciò vuol dire che la differenza di carica è proporzionale a  $V_{in}$  (diciamo che  $\frac{\Delta Q_1}{C_{P1}} - \frac{\Delta Q_2}{C_{P2}} = \beta V_{in}$ )

Allora possiamo scrivere che l'output è

$$V_{out} = V_{in} (1 + \beta)$$

Ma non ci da problemi perché il sistema è ancora lineare.

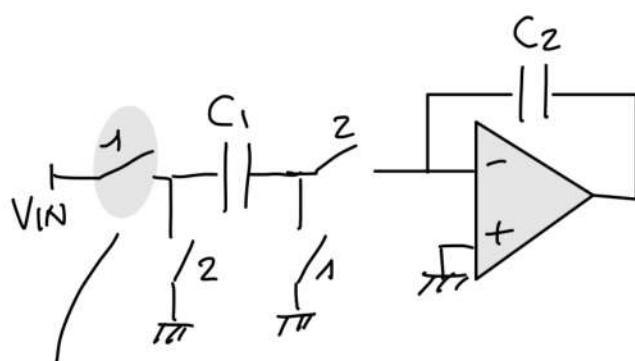
Un altro problema è dato dall'effetto di body (la  $V_T$  dipende dalla tensione in ingresso) allora abbiamo che la  $V_T$  non è uguale tra i 2 MOS. Per di più la  $V_T$  non è lineare  $\rightarrow$  distorsione.

Un altro problema è che se dividiamo gli switch + e - a fasi leggermente diverse (dato che la  $V_T$  è diversa) quindi ho un errore anche lì.

\* Questi sopra sono tutti errori del 2° ordine ma che se vogliamo essere matematicamente corretti ci scappano le parole.

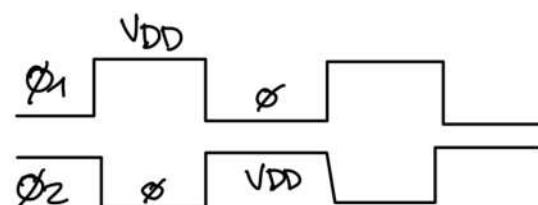
### Bottom Plate Sampling

È una tecnica che può essere utilizzata in un integratore un switched cap o dove vogliamo.  
(N.B.: disegniamo solo un brano)



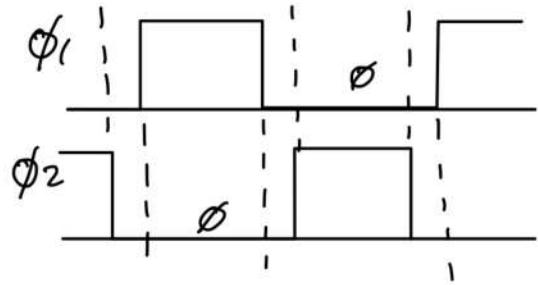
Tutti gli switch sono NMOS.

Come e quanti fasi abbiamo?  
Io direi 2 (ma no)



Ricordiamo che l'NMOS è on quando ho VDD.  
Non possiamo far così perché abbiamo il clock skew, quindi deve avere dello spazio di overlap.

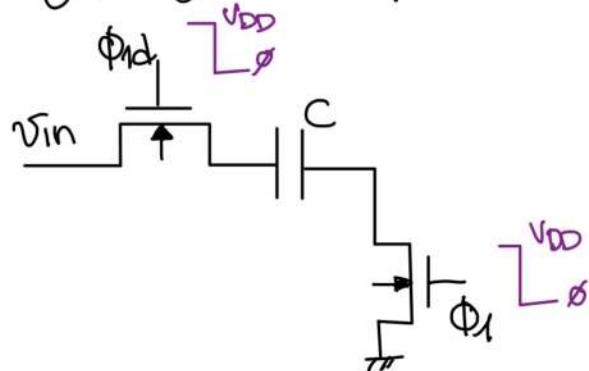
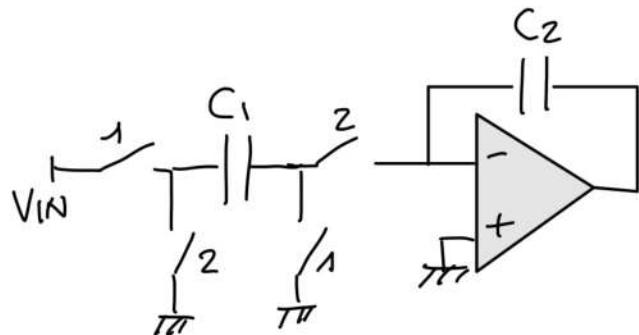
Vedere fasi del circuito



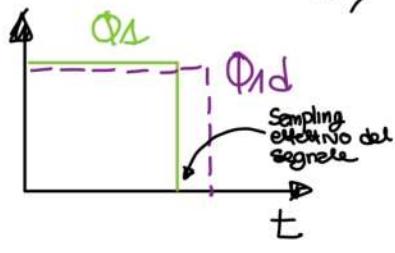
Questa cosa la posso fare easy con un circuito partendo direttamente da un solo clock.

Il problema ce l'ho se entrambi sono ON nello stesso momento.

Noi prima abbiamo detto che la charge injector dipende da  $V_{in}$ .

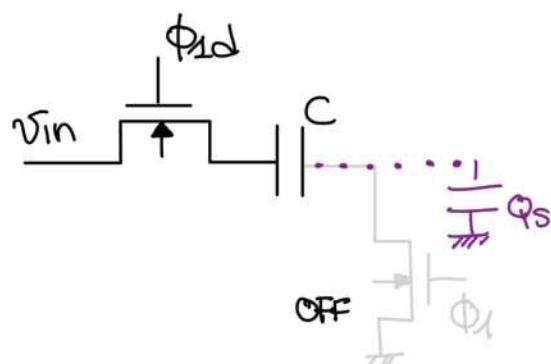


Abbiamo 2 fasi, la  $\phi_{1d}$  è la fase 1 con un delay.



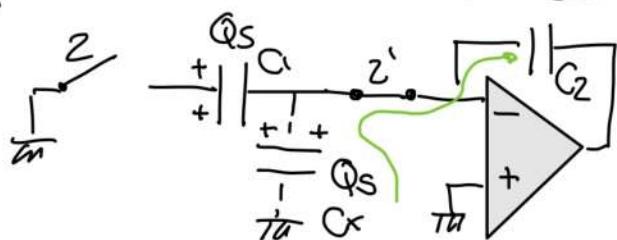
Allora vedo che faccio il sampling del segnale quando lo switch sotto è aperto

Il vantaggio è che aproano prima lo switch sotto che ha una VDS costante quindi ho meno charge injector (nesso a eliminare per il fully differential). Il 2° switch (quello comesso a  $V_{in}$ ) non induce carica perché quando lo switch chiude ormai il condensatore è staccato dalla terra e vedo quindi impedenza  $\approx \infty$



Nella realtà  $C$  non è completamente flottante ma sono presenti delle capacità parassite. Quindi ho la carica  $Q_s$  sulla capacità  $C$ .

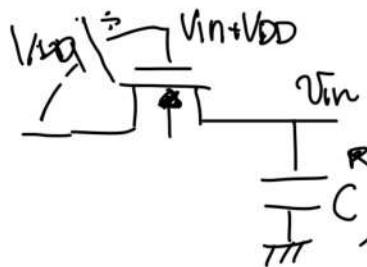
Allora se noi non facciamo sincroni nemmeno gli switch 2 possiamo eliminare la carica



Allora ho la carica  $Q_s$  su  $C_1$  e sulla capacità parassita. Quando chiudo  $\bar{\phi}_2$  ho su  $C_x$  si scarica su  $C_z$ .

Poi chiudo l'altro switch e ho la carica di  $C_1$  che va su  $C_2$  e mi cancella  $Q_s$  che era su  $C_2$ .

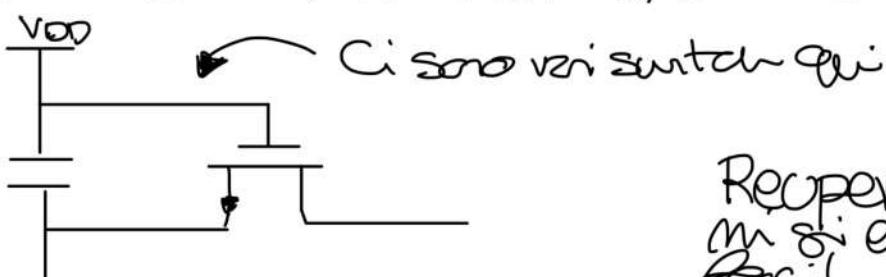
Se chiudo gli switch allo stesso tempo non so bene cosa possa succedere.



Potrei fare il bootstrap facendo un'operazione tra l'input e il node del transistor

Questo lo posso fare con un condensatore

Questa cosa mi porta il vantaggio che ho 100% di riga circola costante



Recuperare lezione da  
m si era rotta la Apple  
PowerPC.

05.12.2022

3h

## Dettagli sul sampling

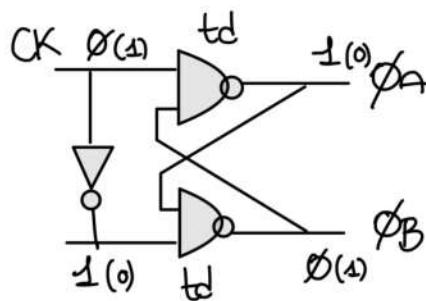
- Phase generator per fare il disoverlap

Vediamo un segnale con un duty cycle del 50%

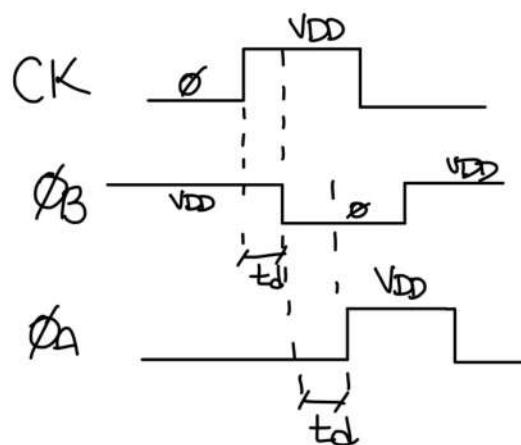


Ad oggi il clock è simile a una sinusoida perché le armature sono a frequenze molto alte e vengono filtrate

Le porte NAND sono quelle che mi danno il delay



Vediamo che phi\_A e phi\_B hanno duty cycle diversi



Vediamo che i segnali hanno un disoverlap. Vediamo se con questo segnale noi non abbiamo mai i 2 switch ON assieme quindi con questo noi comandiamo dei PMOS

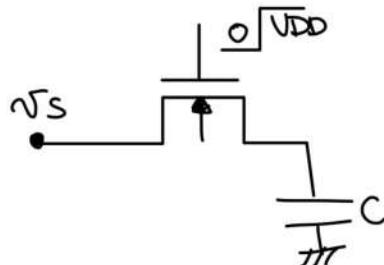
Se volessimo comandare degli NMOS invertiamo con degli inverter entrambe le uscite del circuito (non ho mai 2 NMOS ON assieme)

## Come possiamo implementare il bootstrap?

Abbiamo detto che oggi è importantissimo (ma non è usato negli switch cap).

Noi facciamo il Bootstrap perché non vogliamo le distorsioni (il motivo principale non è la charge injection) Se noi cambiamo la Vgs cambia la resistenza

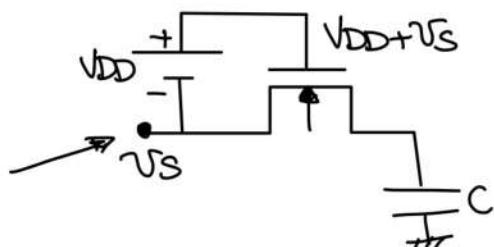
Il Bootstrap ci aiuta con le distorsioni.



Il segnale può andare da  $\emptyset \geq VDD$

Noi non vogliamo usare un trasmissione gate a causa della distorsione

Allora noi possiamo usare un bootstrap



Tramite il bootstrap noi abbiamo sempre la stessa Vgs.

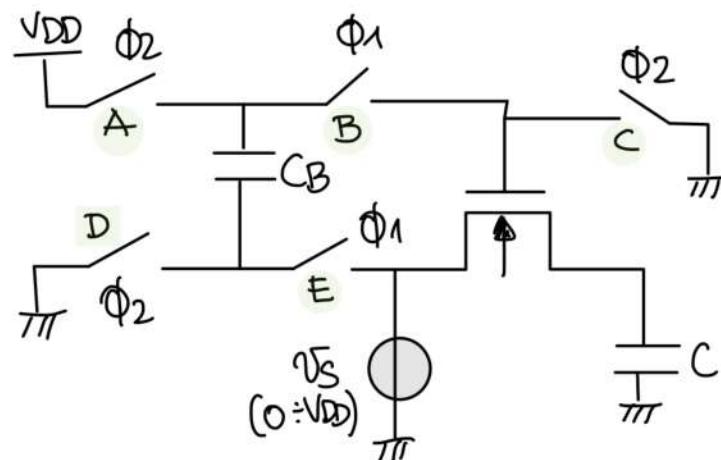
Dato che abbiamo Vgs fissa abbiamo bassa distorsione.

Quando facciamo un bootstrap tipicamente usiamo un NMOS perché ha mobilità maggiore quindi meglio.

- Possiamo anche usare il bootstrap con un bottom plate sampling
- Le fasi degli switch del bootstrap sono dissovrapposte.

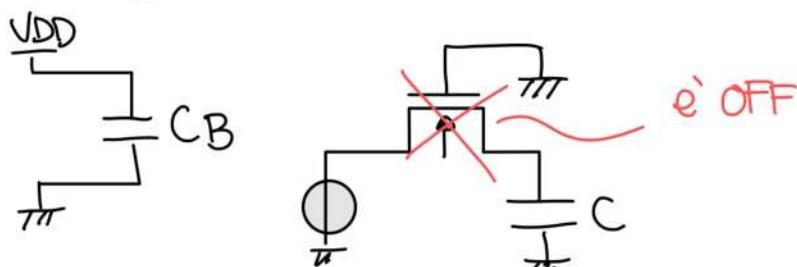
Come facciamo il generatore? Usiamo un condensatore.

La struttura base di uno switch bootstrap è (a Seguire):

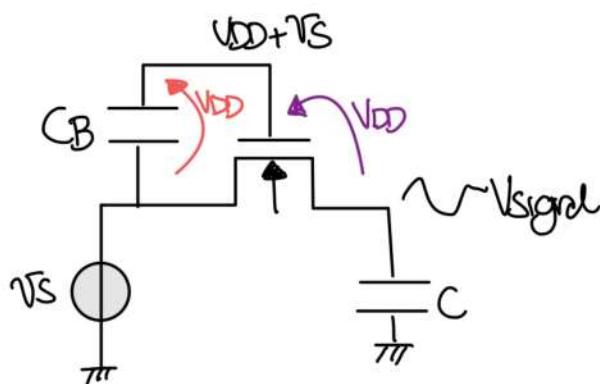


A e B sono gli switch + complessi perché hanno un grande segnale ai capi. Vanno usati con la negazione charge pump.

Quando gli switch di phi\_2 sono chiusi ho che



Quando  $\phi_1$  è chiuso ho che:



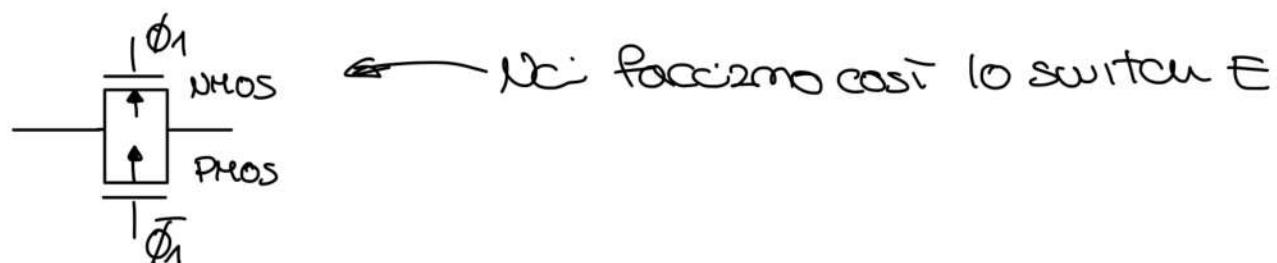
Questo circuito sta consumando corrente perché CB passa corrente all'impedenza (capitativa) del gate del NMOS.

Iniziamo ora ad analizzare come sono fatti gli switch.

Gli switch C, D sono facili perché devono scaricare a terra e quindi sono fatti da un semplice NMOS.

Come facciamo lo switch E?

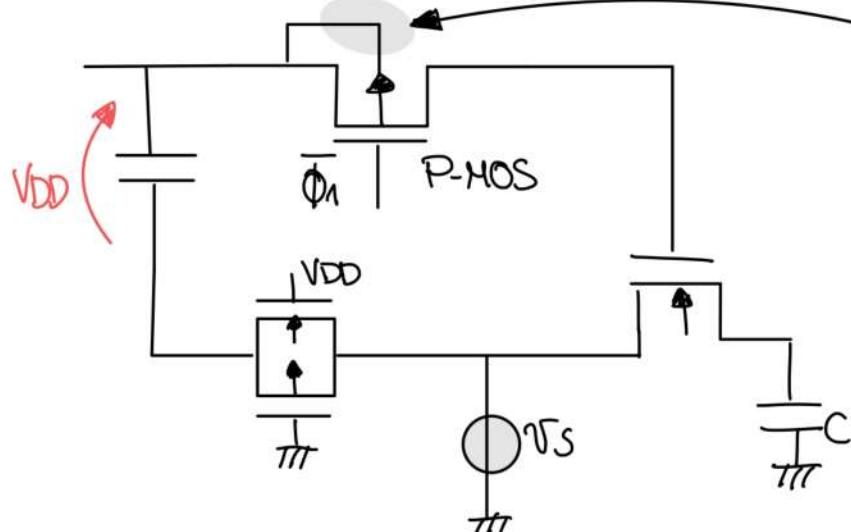
Dato che il segnale  $V_S$  va da  $\phi_1$  a  $VDD$  vediamo di abbassare  $V_S$  su un transmission gate.



E come facciamo il transistor B?

Il problema è che ho 2: non devo switch  $VDD + V_S$  che può raggiungere  $2VDD$ .

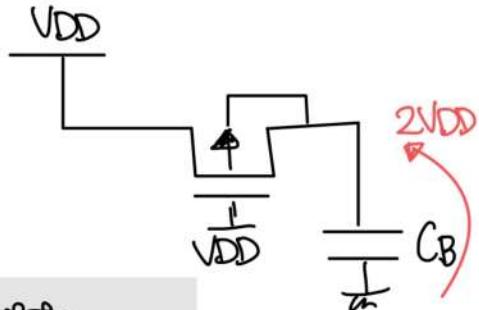
Nel B lo facciamo a PMOS (non ho capito bene perché)



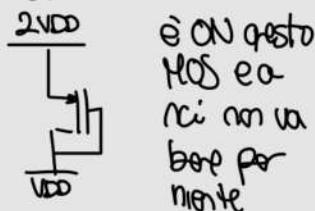
Devo stare attento a collegare il bulk del PMOS non a  $VDD$  ma al suo source (che può raggiungere  $2VDD$ ) altrimenti non va una pata.

Come facciamo invece lo switch A?

Nel caso dremo di usare un PMOS dato che ho 2 punti da comandare che sono la stessa tensione.



è come avere



Il problema è quando lo switch dovrebbe essere OFF (gate a VDD)

Il problema c'è perché il source è a un segnale a 2VDD (nel caso + signato) e quindi in questo caso non ce l'ha mos è ON e non va bene.

Quindi cosa facciamo?

Nel decidiamo di usare un NMOS e lo comandiamo con una tensione di gate che va da VDD a 2VDD.

Quando la tensione è VDD ho che l'NMOS è OFF mentre quando ho 2VDD è ON.

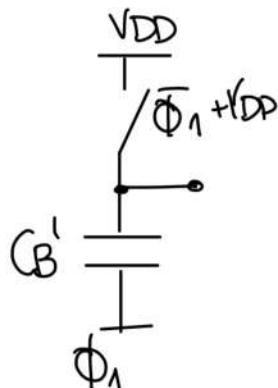
Quindi per fare un bootstrap dobbiamo usare un bootstrap (è un caso che si manda la coda).

Non possiamo usare un altro bootstrap! Dobbiamo invertire quel caso.

Usiamo la NAKAGOME CHARGE PUMP

Nel abbiamo un clock tra  $\phi$  e VDD e noi vogliamo spostarlo fino ad avere VDD/2VDD.

Possiamo usare una capacità caricata a VDD.



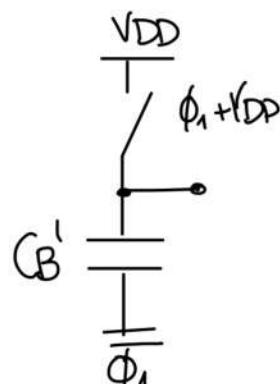
Quando  $\phi_1$  è  $\phi$  chiuso lo switch è carico CB a VDD. Quando  $\phi_1$  è a VDD lo switch è aperto e ho 2VDD.

Quindi comendo lo switch con  $\bar{\phi}_1 + VDD$

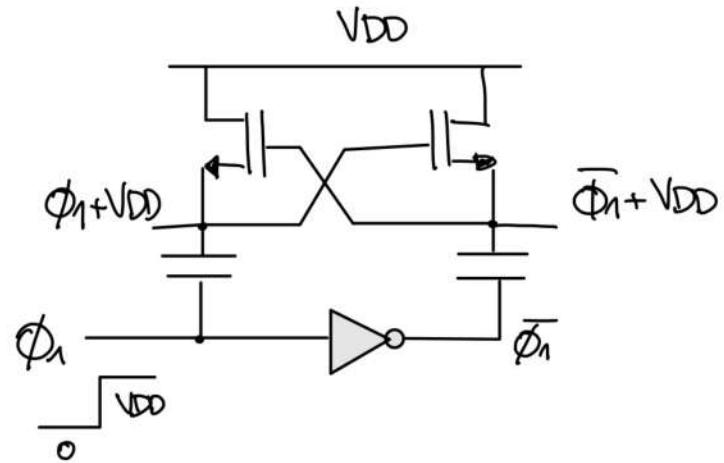
Ma siamo allo stesso identico punto di prima.

Allora duplico il circuito in controfase così da poter creare  $\bar{\phi} + VDD$ .

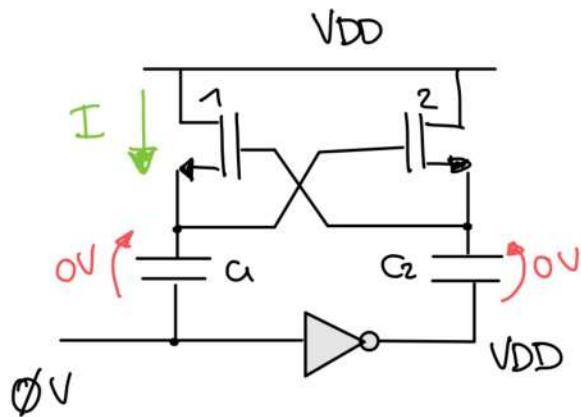
Solo che per fare quello mi serve comandare lo switch con  $\phi_1 + VDD$ .



Altra posso fare



Studiamo il comportamento del circuito (capitai scadute)

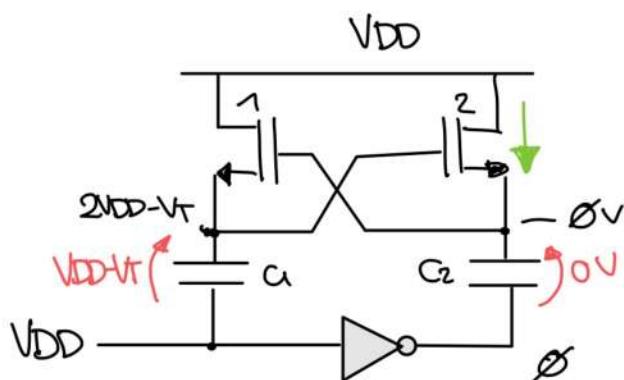


Allora desso ho che M2 si accende e carica C2 (ma sta volta lo carica fino a VDD, questo perciò ho il gate a  $2VDD - VT$  e non più a VDD)

Il mos 1 tira una corrente perché ha il gate a VDD e il source a terra.

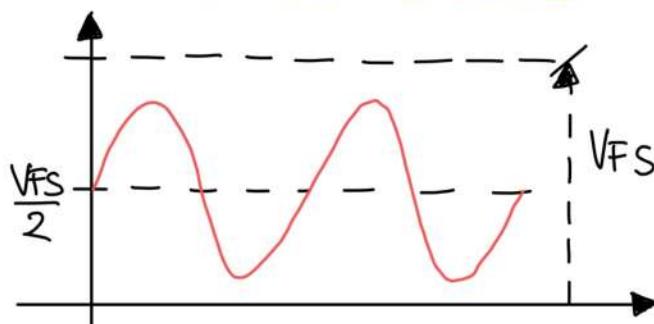
Allora circa a fine a  $VDD - VT$

Supponiamo ora che il drain vada a VDD.



Quindi con l'uscita giusta io comando lo switch A del circuito iniziale.

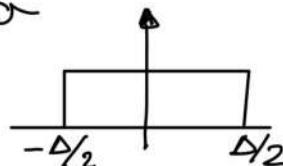
Link tra SNR e ENOB



Quando dico questo segnale ad un dato convertitore questo segnale è quantizzato

$$\Delta = \frac{VFS}{2^{n+1}}$$

Abbiamo dunque un rumore di quantizzazione. Nei supponiamo una distribuzione dell'errore uniforme e allora possiamo calcolare la potenza



$$\text{allora } \sigma^2 = \frac{\Delta^2}{12}$$

Nel pc si suppone che il rumore sia bianco allora prendiamo  $\sigma^2$  e lo dividiamo per  $T \Delta f$  per avere il rumore bianco.

Nel vorremo calcolare l'SNR, nel lo calcoliamo con il segnale massimo.

$$\text{SNR}^2 = \frac{\frac{1}{2}(\text{VFS}/2)^2}{\Delta^2/12}$$

$$= \frac{\frac{1}{2}(\text{VFS}/2)^2}{\left(\frac{\text{VFS}}{2^n}\right)^2 \cdot \frac{1}{12}} = \frac{\frac{1}{2} \cdot 2^{2n}}{\frac{1}{4} \cdot 2} = \frac{3}{2} \cdot 2^{2n}$$

Allora

$$\text{SNR}_{\text{dB}} = 10 \log_{10} \left( \frac{3}{2} \right) + 10 \log_{10} (2^{2n})$$

$$\text{SNR}_{\text{dB}} = 1,76 + 6,02 \cdot n \quad (\text{con } n = \text{n° di bit})$$

Nel diciamo che il n° effettivo di bit è

$$\text{ENOB} = \frac{\text{SNR}_{\text{dB}} - 1,76}{6,02}$$

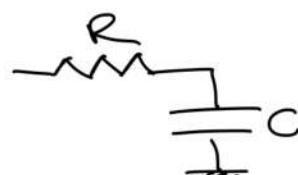
che sono i bit equivalenti che mi portano informazione.

Nella realtà non dovrebbe messo l'SNR dB ma la Signal to Noise and distortion ratio SNDR dB

Quando facciamo un sampling di un segnale nel frizziamo il rumore in un istante preciso.

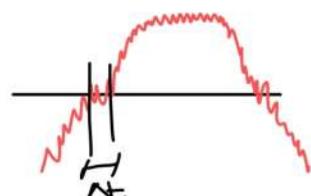
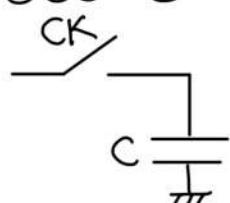
Nel sappiamo che la varianza del rumore è  $\sigma^2 = \frac{K T}{C}$

$$\text{Allora } (\text{SNR})^2 = \frac{A^2/2}{\frac{K T}{C}}$$



(Questo rumore è dato dalla resistenza R)

Esiste poi un'altra l'Aperture Noise (Gutter noise) data dal clock che comanda lo switch.



ho un dt (non posso eliminarlo poiché la forma d'onda è steep)  
l'errore è dato dal crossing della threshold con un rumore.

La grandezza dell'errore di jitter dipende dove andiamo a semplice.

A partire da  $\Delta t$  l'errore è grande se l'ho allo zero crossing perché ho la + grande varianza del segnale in  $\Delta t$  (cioè c'è da ho la derivata + grande)

L'errore massimo è  $\Delta V_{MAX} = A_0 \cdot \omega_n \cdot \Delta t$  (nella realtà dovremo usare la varianza)

Quel'è la SNR data dal jitter?

$$(\text{SNR})_{\text{jitter}}^2 = \frac{A_0^2 / 2}{A_0^2 \cdot \omega_n^2 \cdot \Delta t^2} = \frac{1}{(2\pi f_n)^2 \cdot \Delta t^2}$$

In dBabbiamo che

$$\text{SNR}_{\text{jitter}, \text{dB}} = 20 \log_{10} \left( \frac{1}{2\pi f_n \cdot \Delta t} \right) \quad \text{è } 20 \log() \text{ perché sarebbe } 10 \log(x^2) \text{ ma io uso la proprietà del log e faccio } 20 \log(X)$$

Ad oggi questo sta diventando un problema.

Sopratutto che voglio fare il sampling di un segnale a  $f_{sampling} = 1 \text{ GHz}$ .

Altra  $f_{osc} = 2 \text{ GHz}$  almeno.

Se noi sappiamo di avere  $\Delta t = 10^{-12} \text{ s}$ , abbiamone che

$$\text{SNR}_{\text{jitter}, \text{dB}} \approx 4 \text{ dB}$$

In questo caso qual'è l'ENOB (dato solamente dal jitter)

$$\text{ENOB} = \frac{44 - 1.76}{6.02} = 7 \text{ bit}$$

Quindi è completamente inutile fare + di 7 bit. (Perciò dobbiamo aggiungere anche altri rumori quindi forse arriviamo a 8 bit)

E se noi volessimo 12 bit? Quale SNR dB dovrebbe avere?

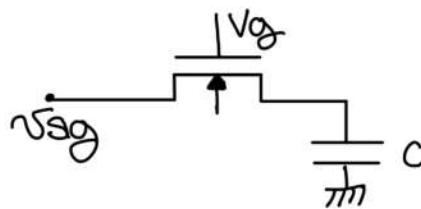
$$\text{SNR}_{\text{dB}} = 1.72 + 6.02 \cdot 12 = 74 \text{ dB}$$

e se noi usiamo l'SNR per calcoliamo  $\Delta t$  otteniamo che deve essere

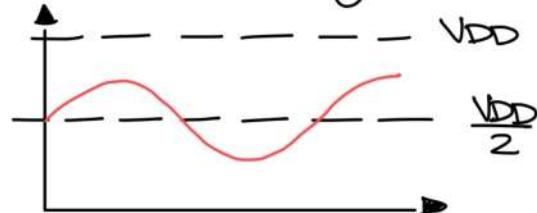
$$\Delta t = 31 \text{ fs}$$

## Distorsione in un sampler

Distorsione dovuta a una variazione di  $V_{GS}$ . (questo succede quando non usiamo il bootstrap)



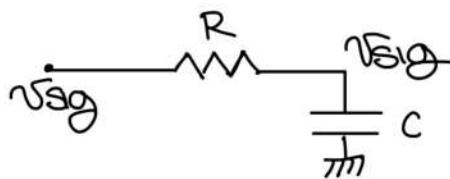
Assumiamo che il segnale sia



Quando posso scrivere che  $V_{Sig}(t) = \frac{V_{DD}}{2} + A \sin(\omega_m \cdot t)$   
[con  $A < V_{DD}/2 - VT$ ]

(noi assumiamo che lo switch non si spenga mai perché altrimenti abbiamo delle hard non-idealities.)

Quando il transistor è chiuso posso vedere il circuito come



Dato che noi assumiamo che il segnale sia tutto passato allora vuol dire che alla nostra frequenza con l'impedenza del condensatore è >> di quella della resistenza

Il problema è che se noi non facciamo il bootstrap ho che quando varia il segnale anche il valore della resistenza varia.

La resistenza ha valore pari a

$$R \approx \frac{1}{\mu n C_{ox} \left( \frac{W}{L} \right) [V_{GS} - VT(V_{GS})]}$$

Tipicamente con una rete RC noi possiamo ricavare la classica FDT.

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + SRC}$$

che non è altro che la trasformata di Laplace di

$$V_{sig} = I \cdot R + V_{out} = R C \frac{dV_{out}}{dt} + V_{out}$$

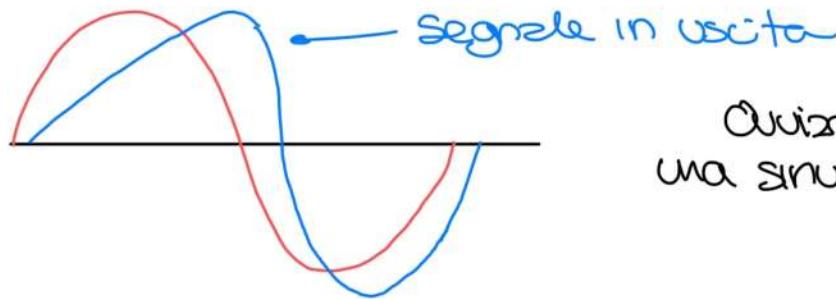
Ma noi non possiamo fare laplace perché il sistema non è lineare e  $R$  varia con  $V_{out}$ .

Noi abbiamo che quando il segnale sale la resistenza sale e viceversa.

Se il sistema è lineare, in ingresso abbiamo una sinusoida, in

Uscita abbiamo una sinusode (con del delay).

Ma se il sistema non è lineare questo non è vero.  
Data una sinusode in ingresso al nostro sistema noi ci aspettiamo una risposta del tipo:



Ovviamente non abbiamo + una sinusode.

Possiamo vedere questa variazione come una "variazione" del polo.

Come possiamo valutare sto effetto?

Credo ci penda la corrente come  $I = C \frac{dV_{in}}{dt}$  con  $V_{in}$  in corso

e poi moltiplichiamo la corrente per l'espansione di Taylor della resistenza per vedere la variazione tra  $V_{in}$  e  $V_{out}$ .

$$V_{sig}(t) = \frac{V_{DD}}{2} + A \sin(\omega_{in} \cdot t)$$

Allora la corrente sul condensatore sarà la derivata della tensione  $\propto C$ .

$$I = C \cdot A \cdot \omega_{in} \cdot \cos(\omega t)$$

Noi sappiamo che

$$R = \frac{1}{\mu n \cos(\omega) \left[ \frac{V_{DD}}{2} - V_{in}(t) - V_T(V_{as}) \right]} \underbrace{\overbrace{V_{as} - V_T}}$$

Facciamo l'espansione di Taylor.

$$R = R_0 + M_1 V_{in} + M_2 V_{in}^2$$

Allora posso calcolare la tensione ai capi della resistenza come:

$$V_R = \underbrace{C A \omega_{in} \cdot \cos(\omega_{in} \cdot t)}_I \left[ R_0 + M_1 \underbrace{A \sin(\omega_{in} t)}_{V_{in}} + M_2 \underbrace{A^2 \sin^2(\omega_{in} t)}_{V_{in}^2} \right]$$

La prima armonica è (approssimazione al termine + importante)

$$V_R^{(1)} \approx R_0 C A \omega_{in} \cos(\omega_{in} \cdot t)$$

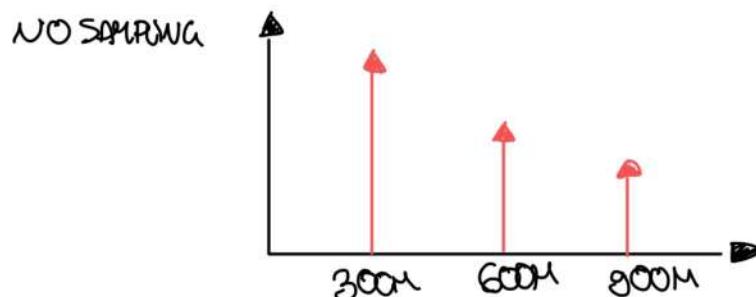
La seconda armonica viene

$$V_R^{(2)} \approx C \frac{A^2}{2} \omega_1 M_1 \sin(2\omega_1 t)$$

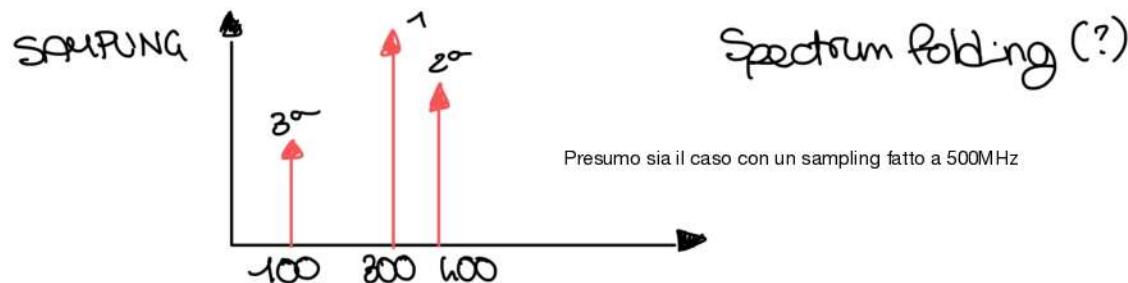
La terza armonica è:  $V_R^{(3)} \approx -C \frac{A^3}{4} \omega_1 M_2 \cos(3\omega_1 t)$

RICORDIAMO CHE IL NOSTRO SISTEMA È ANCHE SEMPLATO.  
Supponiamo  $f_{in} = 300 \text{ MHz}$  e una frequenza di Sampling di  $1 \text{ GHz}$ .

Abbiamo le armoniche senza il sampling.



Nel caso del samplingabbiamo



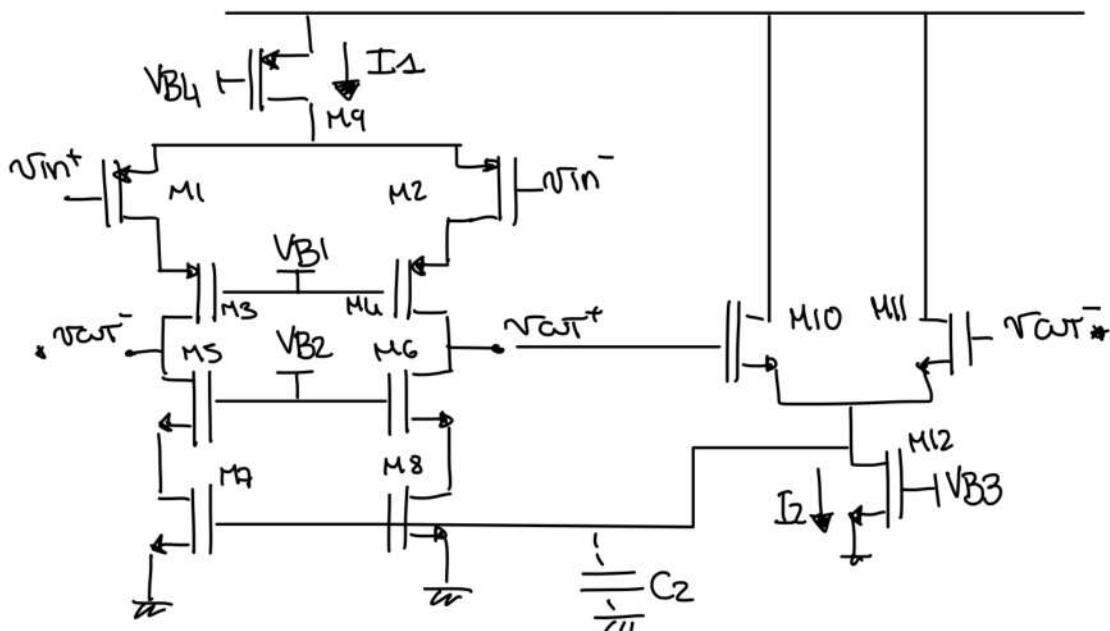
Calcoliamo l'Harmonic distortion

$$HD_2 \approx \frac{CA^2/2 \cdot \omega_1 M_1}{A} \quad HD_3 \approx \frac{\frac{CA^3}{4} \cdot \omega_1 M_2}{A}$$

Esiste anche la Total harmonic distortion

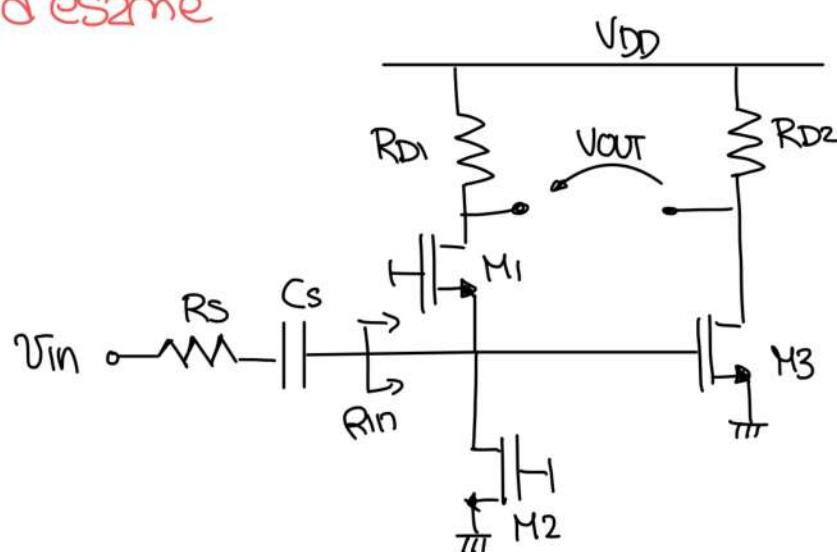
$$THD = \sum_i |HD_i|^2$$

## Prova d'esame



- 1) Quel è l'output common mode?
- 2) Common mode gain?
- 3) Quel è il possibile punto antico per la stabilità del CM feedback?  
(tipicamente è la capacità  $C_2$ )  
Che polo da questa capacità?
- 4) Input referred noise
- 5) Possiamo collegare M12 in transdiodo?

## Prova d'esame



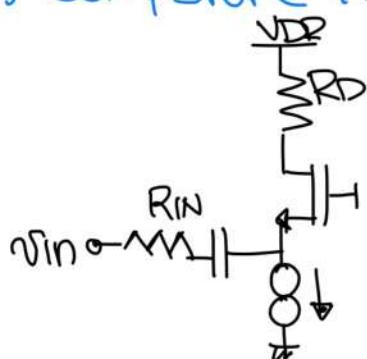
(Tipico es d'RF)

Supponiamo che  $C_s$  sia sempre in corto alla frequenza d'interesse.

$$R_{D1} = R_{D2} \quad (\text{fatto per l'ultima domanda})$$

$$M_1 = M_3 \rightarrow \text{Stessa corrente e stessa } \frac{W}{L}$$

- 1) valore di  $R_{IN}$ ?
- 2) Guadagno  $V_{OUT}/V_{IN}$  quando  $R_S = R_{IN}$ ?
- 3) Input noise ( $\sigma V_{IN}$ ) considerando tutti i rumori
- 4) Cose d'ridurre il rumore di  $M_3$  usando qualsivoglia parametro
- 5) Comparare il circuito sopra con il seguente



$$R_{IN} = R_S$$

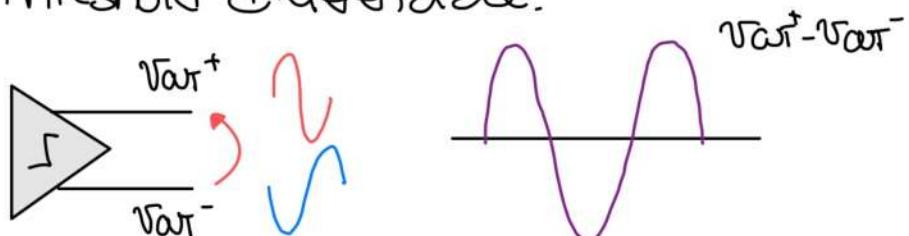
(Praticamente con il circuito prima non possiamo cancellare le due contribuzioni di rumore, ma consumo + potenza)

12.12.2022

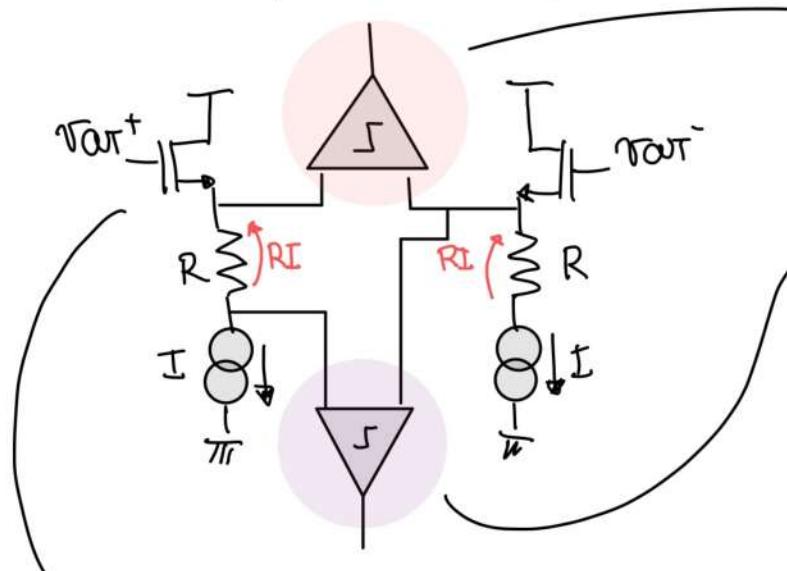
3h

## Comparatori

Noi abbiamo usato i comparatori con una threshold pari a 0V. In un comparatore flash noi abbiamo molti comparatori. Tuttavia nella rete di un comparatore è fully differential e noi vogliamo controllare l'uscita differenziale di un fully differential con una threshold. In pratica noi vogliamo realizzare una threshold differenziale.



Possiamo fare questo esempio



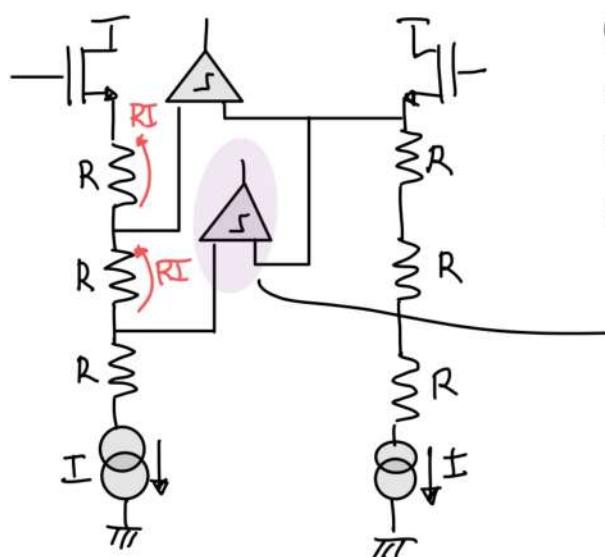
Questo comparatore serve a vedere la polarità del segnale

Questo comparatore è un comparatore dc e care se avesse una threshold pari a  $R \cdot I$ , questo perché la differenza tra i 2 pin è  $R \cdot I$ .

I Mos e i gen di corrente ideali fanno da source follower ideal.

Noi abbiamo usato un buffer ma si può anche usare un amplificatore prima di dare la threshold al comparatore.

Oltre ad un'altra tecnica è:



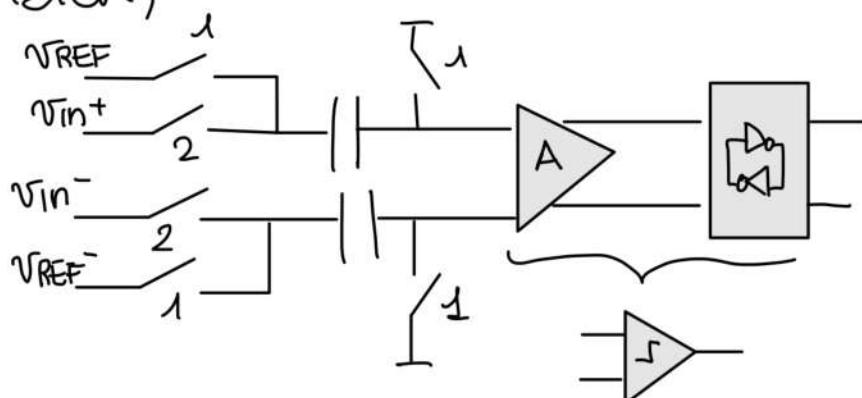
e in questo modo posso fare un ADC flash

RICORDARE che tutti i comparatori sono fully differential.

ha una threshold pari a  $2RI$   
mentre il Comparatore sopra ne ha una pari a  $R \cdot I$

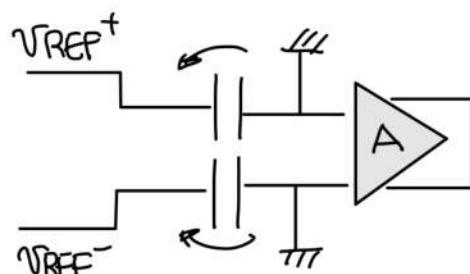
Altro esempio

(Quando abbiamo un comparatore fatto con amplificatore e ztcr)



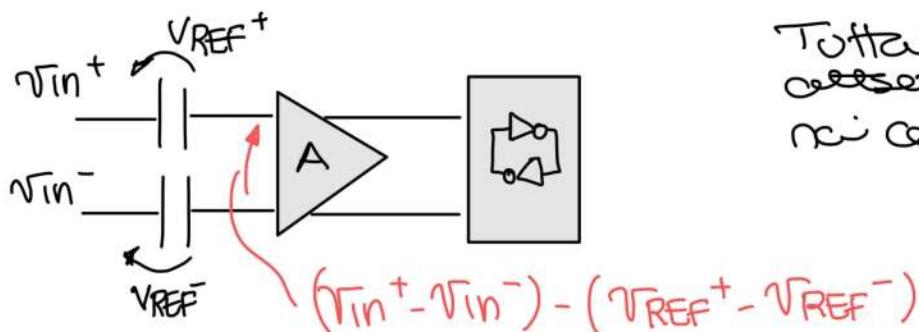
Possiamo utilizzare dei condensatori per dare la differenziale threshold (Non è per l'offset)

Quando 1 è chiuso ho che



ho che l'amplificatore è morto e l'uscita è al valore di Common mode di standard che abbiamo quando il circuito è fermo.

In fase 2 abbiamo che:



Tuttavia se abbiamo un offset in ingresso all'amplificatore lo becchiamo tutto.

## Discorsi vari sugli ADC

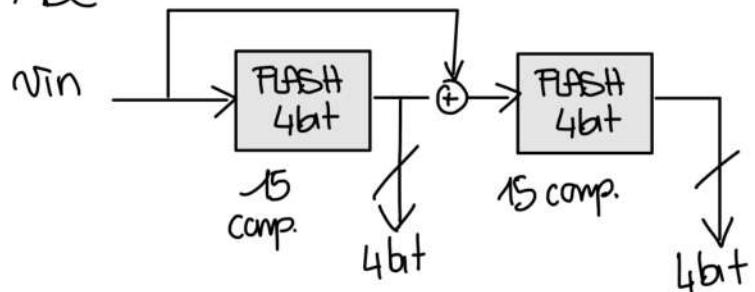
Perché c'è un ADC nel ricevitore di un telefono anche se il segnale è digitale?  
La risposta è che noi abbiamo solo il segnale digitale ma scriviamo a un convertitore analogico.

Primo esempio di ADC.

Supponiamo di voler fare un ADC di 8bit.

Allora se lo volessi fare flash avrei usato 255 comparatori.

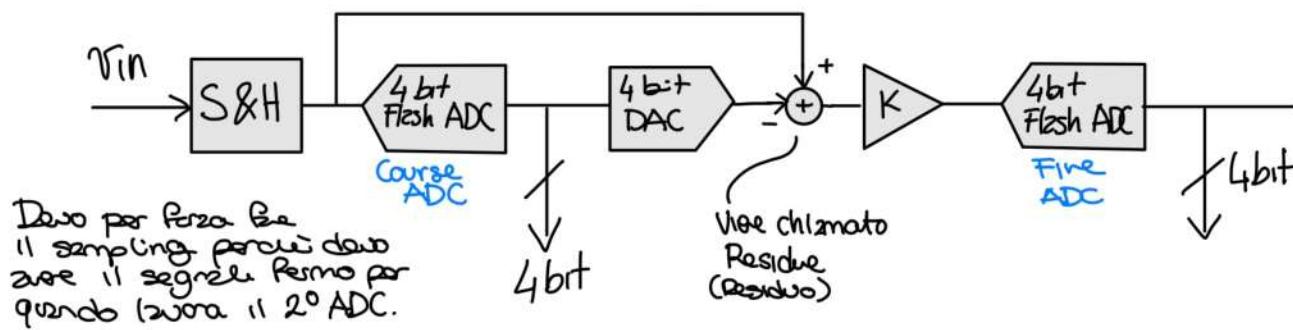
Per ridurre il numero di comparatori posso fare un Parallel ADC



Metto in serie 2 comparatori da 4 bit l'uno.  
Uso 30 comparatori in totale.

Tuttavia devo modificare il segnale prima della seconda conversione.

Come faccio a fare sta roba?



Vediamo subito che non è così conveniente come vedevamo prima perché c'è solo un DAC in mezzo

Nel vediamo che amplifichiamo il residuo (esistono anche casi in cui non si amplifica  $K=1$  in quel caso si chiama subranging ADC) se nel amplifichiamo  $K \neq 1$  (2 step ADC)

Nel amplifichiamo in modo da portare il segnale a dinamica massima. (quindi  $K = 2^n$ )

Nel supponiamo che il flash abbia frequenza di funzionamento di 1Gsample/s. Il sistema totale andrà a 1Gsample/s perché il 2° ADC (se fatto bene) può fare le concessioni del caso prima.

Il pezzo da regolare è di abbassare la dither nell'uscita totale. Tuttavia questo funziona in teoria.

In pratica è + un disastro e per funzionare sta roba tende all'impossibilità.

Ma la vera domanda è quali sono i pro e i contro nell'amplificare ( $K \neq 1$ )?

✗ Se amplifichiamo riduciamo la banda

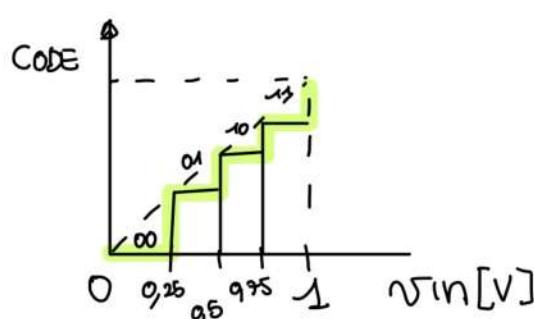
(tutte cose che non ho nient'capito), ho solo capito che non c'è un evidente vincitore

Questa struttura può essere divisa ulteriormente tipo in 2 o 1 bit per stage.

Una roba da studiare bene è il residuo.

(Ci dividiamo in caso semplicato, con il primo ADC di 2bit)

Ci facciamo un residual plot così possiamo vedere l'effetto delle non idealità.



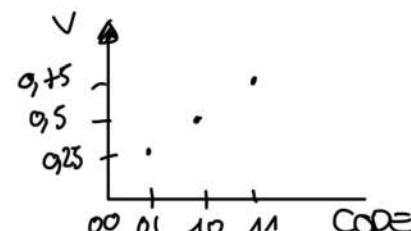
Noi daremo pure i gradini a metà basettrice ma per semplicità NO.

Nella 2step ADC noi dividiamo uscire  $K = 2^2 = 4$

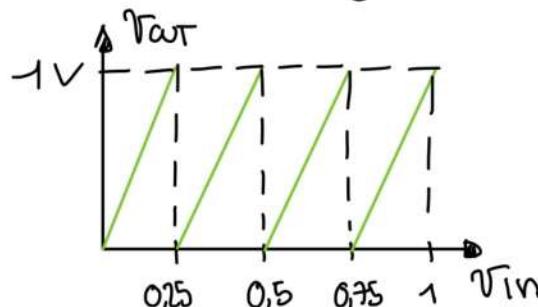
A quanto ammonta il residuo  $V_{RES}^{(1)} = 2^2 [V_{IN} - V_{DAC}[i]]$

Ci dobbiamo specificare la caratteristica del DAC  
es:

- 00 → 0V
- 01 → 0,25V
- 10 → 0,5V
- 11 → 0,75V

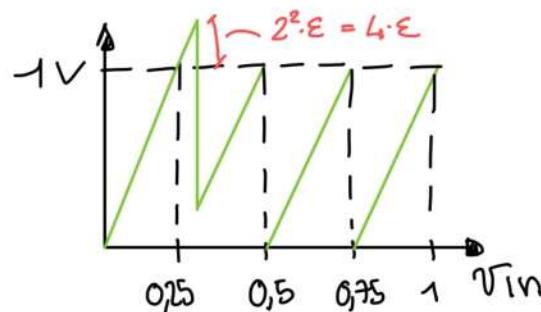
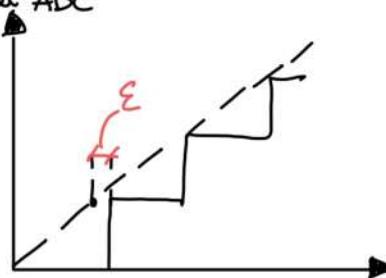


Facciamo adesso il grafico del residuo.  $V_{RES} = K \cdot [V_{IN} - V_{DAC}[i]]$



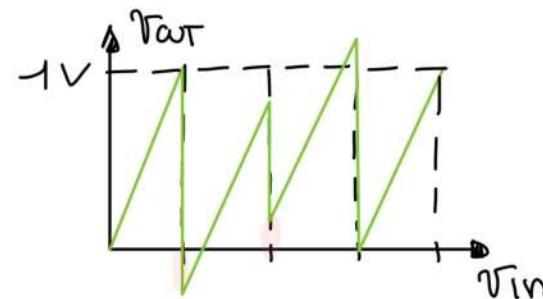
Non è altro che il valore dell'errore di commettimento  
in base a cui ci troviamo con la tensioce.

Cosa succede se dividiamo dove non idealità nella caratteristica

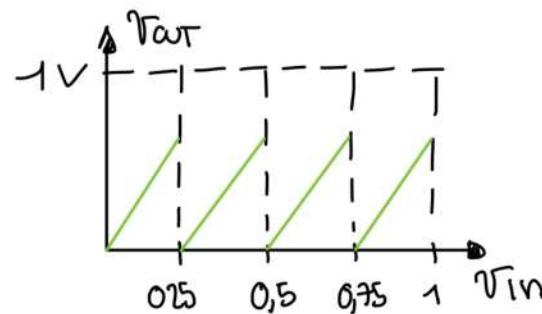


Questi sono problemi che il 2° stadio deve gestire.

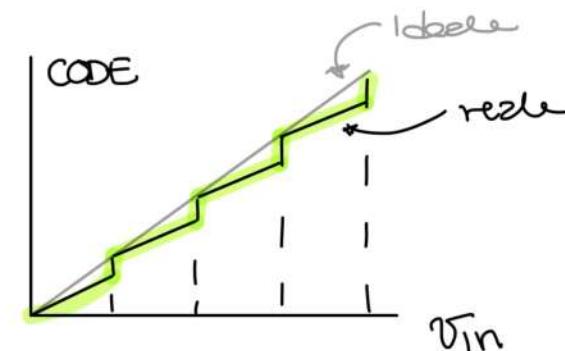
Possono esserci anche errori nel DAC (Supponiamo ADC ideale)



Consideriamo un DAC lineare ma con un errore nel gain K dell'amp. Cosa dremo di succedere?



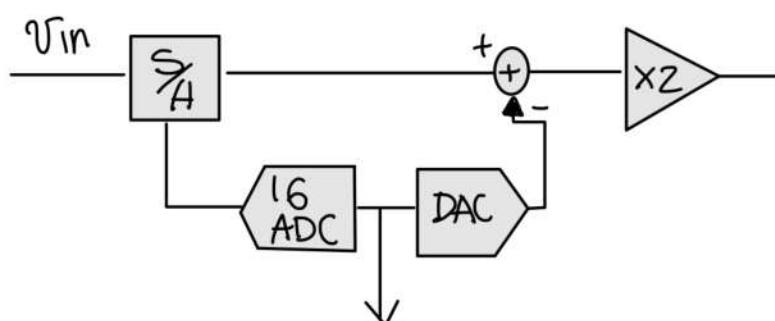
Vediamo che ogni slide è + bassa  
Tuttavia la caratteristica d'uscita è:



Vediamo dunque che un errore  
che sembra minimamente in realtà  
ci cambia tutto.

Analizziamo la struttura 2 step con un ADC a 1bit  
(Supponiamo dinamica tra 0 e 1)  
Ne riduciamo il numero di comparatori a 8.

Servono i DAC anche in questo caso (Non ho ben capito perché)  
Posso però vedere che riesco a fare il tutto così:



(Riseguire stessa  
cosa di non  
ho seguito  
troppo)

13.12.2022

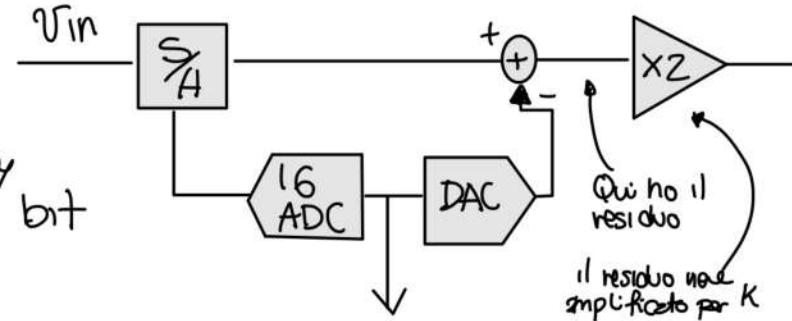
2h

Concludiamo la discussione di ieri

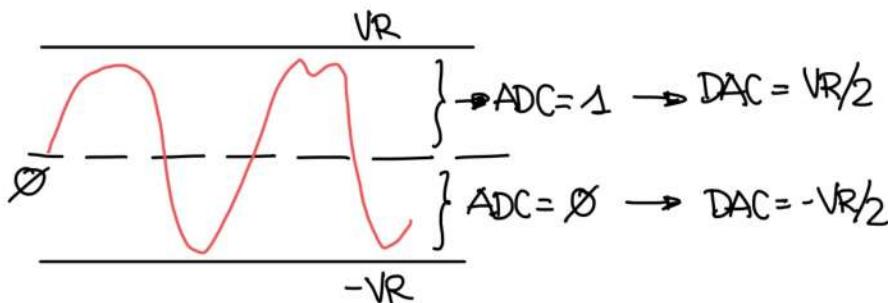
Abbiamo visto il caso di un Pipeline ADC con n° step per al numero di bit che vogliamo.

Qui analizziamo in particolare fra tutti i bit.

Il lato negativo è che ho un delay  
intrinseco prima di uscire tutti i bit  
in uscita.



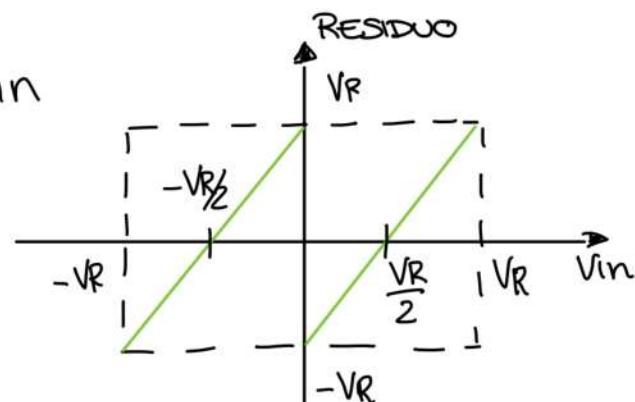
Assumiamo di avere un segnale limitato in un certo range  $VR$ - $-VR$  (abbiamo segnale negativo perché siamo fully differential)  
Il sistema con step a singolo bit funzionerà così:



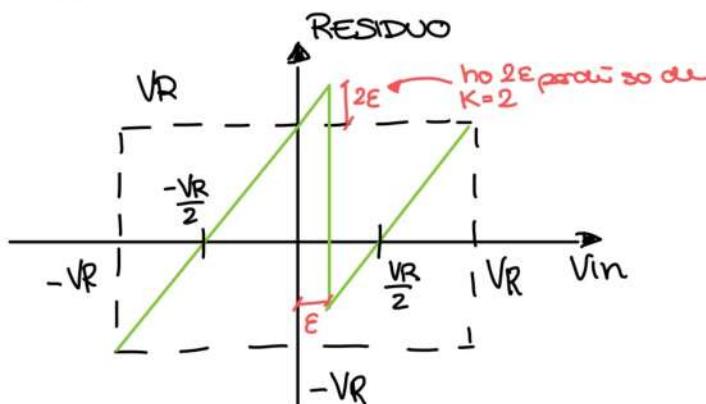
Quale sarà il grafico dei residui in questo caso?

Questo grafico dei residui è così per ogni stadio.

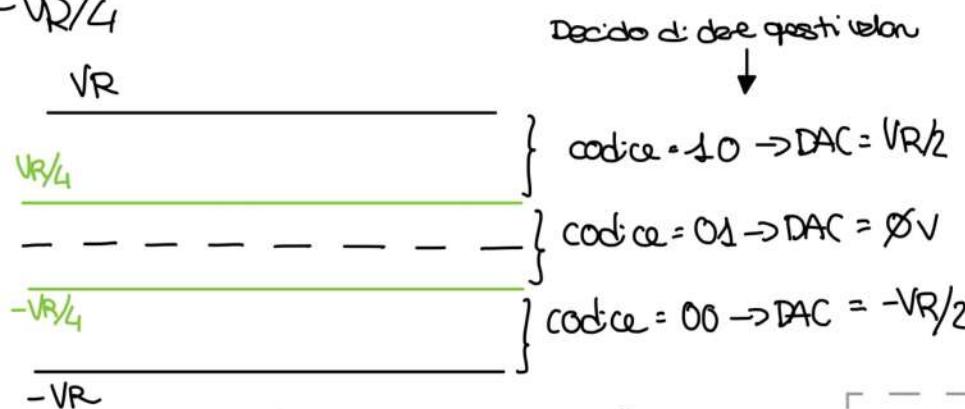
Se ne abbiamo un errore abbaziale il grafico dei residui perà a



Per risolvere il problema degli errori posso usare la riconcordanza (aggiungo elementi in + che non è strettamente necessaria ma grazie a questa riusciamo a togliere degli errori)

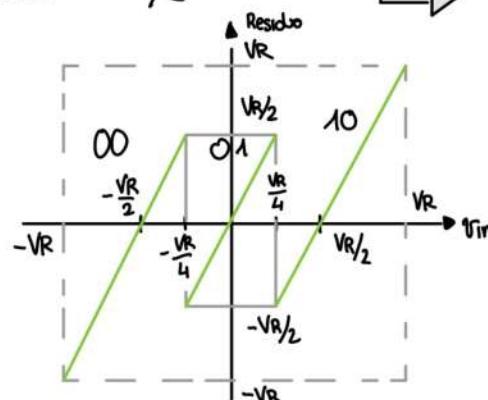
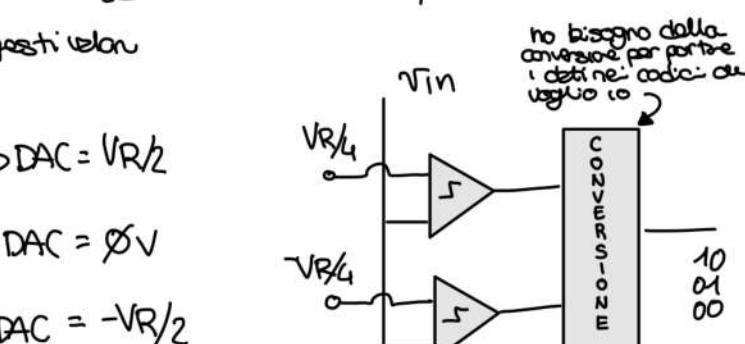


L'idea nel nostro caso è usare 2 comparatori al posto del 1 (nel nostro ADC). Nei nostri 2 comparatori mettiamo uno threshold a  $\frac{VR}{4}$  e l'altro (dell'altro comparatore) a  $-\frac{VR}{4}$



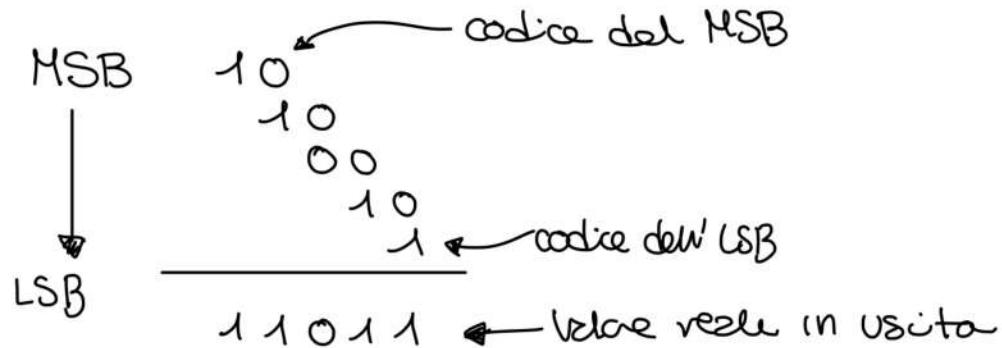
Quindi il grafico dei residui?

Nella pratica credo che per i valori centrali (01) neanche decidiamo che valore sia (WTF?)  
L'LSB deve essere fatto normalmente con solo un comparatore

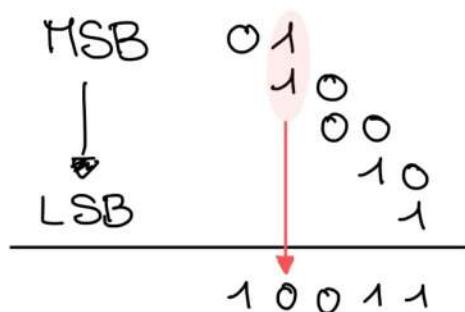


Più questo dobbiamo buttarlo nella logica. (de fa solo una somma dei codici)

Supponiamo d' avere

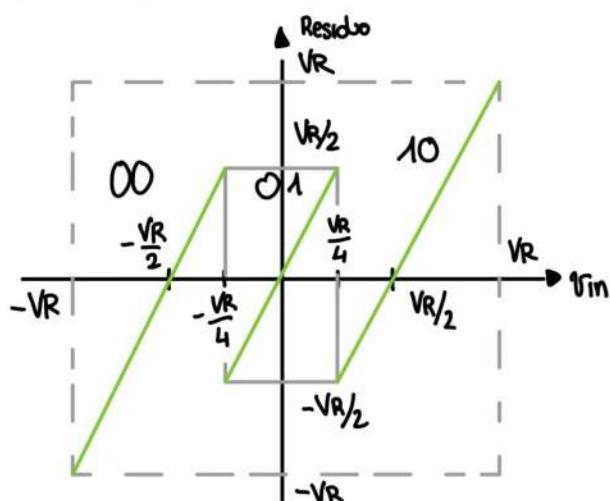


Supponiamo ora d' avere dei codici 01.

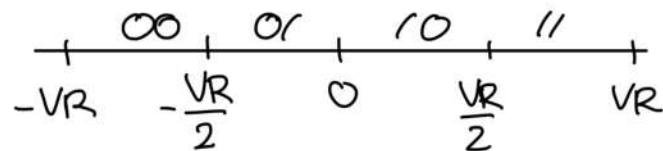


Quell'è il "potere" di 01, è che ho la possibilità di avere un resto. e quindi il valore del bit 10 scelgo in base al valore del codice che viene dopo (ed è per questo che noi non usiamo il codice 11)

Supponiamo d' fare questa architettura per un convertitore a 2 bit.



Noi supponiamo che il codice d' uscita deve essere



Supponiamo d' avere codice dei primi 2 comparatori 10.

L' LSB vede che ho residuo positivo e mi da bit = 1

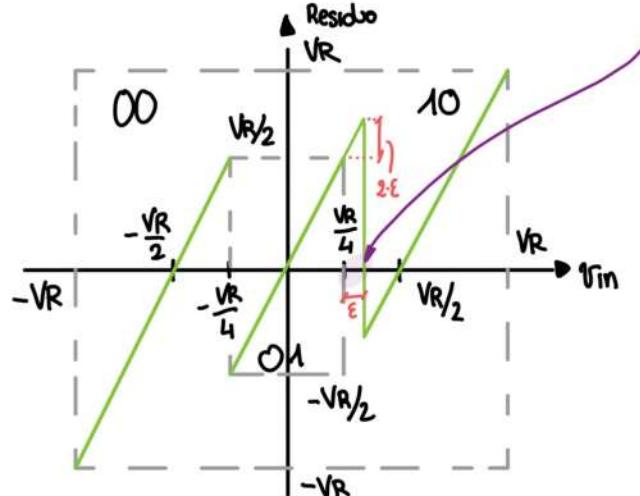
quindi ho 11 codice d' uscita (ed è giusto perché sono sopra  $VR/2$ )

Se invece io sono troppo vicino a 0 ( $\pm VR/4$ ) allora io ho codice 01 che vuol dire che nello stesso che codice è quello giusto. dipende dal residuo dell' LSB.

Se il residuo è 1 ho codice 10 mentre se è 0 è 01

(no il residuo positivo se sono tra 0 e  $VR/4$ , si calcherà per residuo negativo)

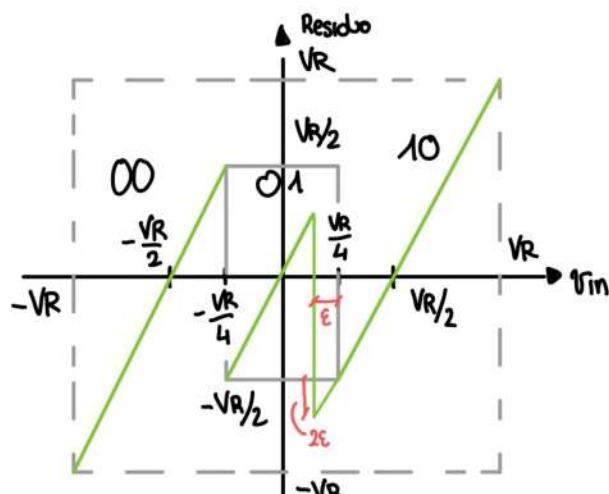
Ma perché abbiamo fatto questo disastro? Sare per essere "impu" a offset della threshold.



Se cado in questo range prima zero lo, in questo caso ho codice 01 ma ho anche residuo positivo quindi il 2° stadio mi dà un output che è 1 e quindi invio sempre ad uscita 11 codice 10.

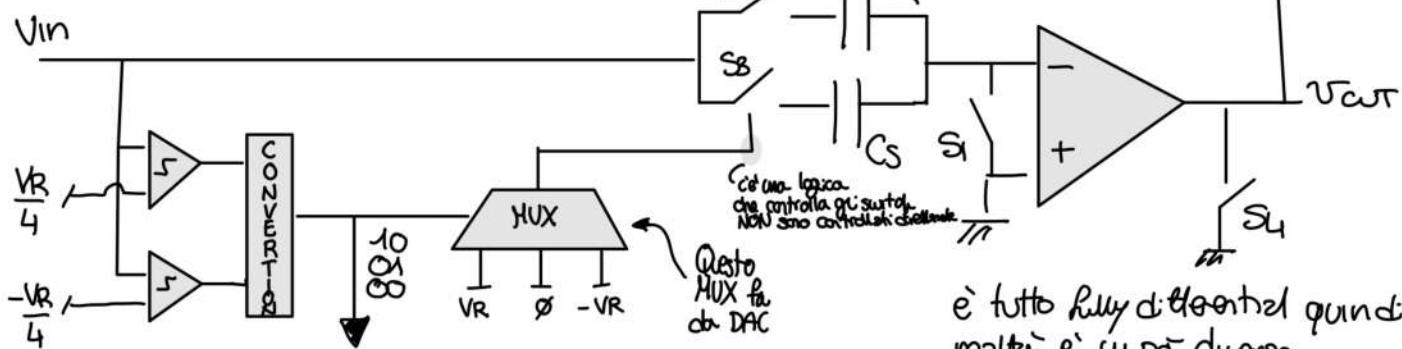
Stessa cosa succede anche se ho  $V_{in}$  negativo. Infatti se cado dove c'è l'ormai ottenuto codice 10 ma il residuo è negativo quindi è ottenuto sempre 10 come codice.

Con questa struttura posso sottrarre offset pari a  $VR/4$  (credo)

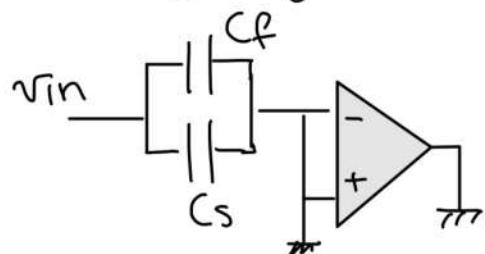


Tuttavia bisogna stare attenti che lo stadio dell'LSB (che è a singolo comparatore) deve essere senza offset perché lui è sensibile.

### Esempio



Questo è un modo per fare lo slicing.  
La parte con i condensatori deve fare la sottrazione dei segnali e dove guadagni?

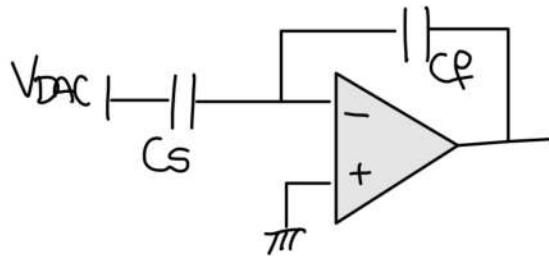


L'amp è morto. In pratica sono capacità che caricano sopra Vin.

Adesso dobbiamo fare  $(V_{in} - V_{DAC}) \times 2 = V_{RES}$

Notiamo che  $V_{DAC} \in [-VR/2, 0, VR/2]$

Supponiamo  $S_4, S_1$  aperti e  $C_s$  connessa a VDAC.



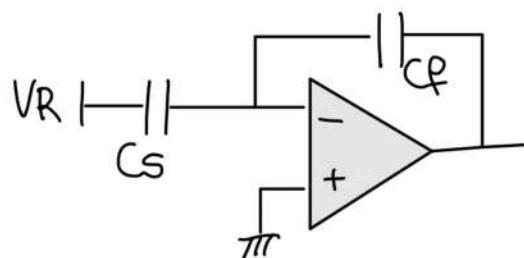
Supponiamo  $V_{DAC} = \emptyset$

Allora la carica di  $C_s$  va a finire tutta su  $C_f$

$$V_{out}/C_f = V_{in} (C_f + C_s)$$

Perciò  $\frac{V_{out}}{V_{in}} = \frac{C_f + C_s}{C_f}$  se  $C_f = C_s \rightarrow \frac{V_{out}}{V_{in}} = 2$

Supponiamo ora che  $V_{DAC} = V_R$  (dove oppone la sovrapposizione degli effetti) La prima parte è uguale



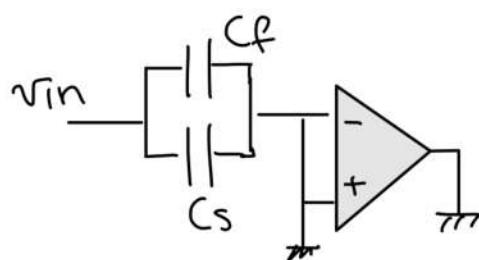
$$V_{out} = V_{in} \underbrace{\left(1 + \frac{C_s}{C_f}\right)}_2 - V_R \underbrace{\frac{C_s}{C_f}}_1$$

Perciò  $V_{out} = 2 \left[ V_{in} - \frac{V_R}{2} \right]$

Che è esattamente quello che voglio.

14.12.2022

sh (penultima lezione)

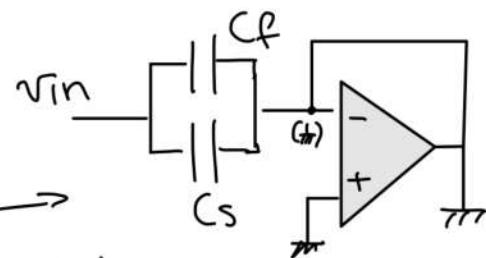


Ricordiamo che noi facciamo il sampling in questo modo.

Ma perché facciamo questo?  
Non si potrebbe andare collegare l'opamp a buffer?

In questo caso noi facciamo sempre il sampling di  $V_{in}$  perché abbiamo una terra virtuale.

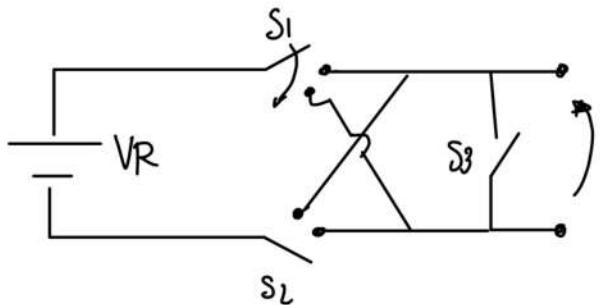
In questo caso poi abbiamo di sampling di  $V_{in}$  prende anche l'offset dell'opamp così poi posso toglierlo nel secondo stage.



Tuttavia hanno scelto di usare il carto perché è più veloce e non abbiano problemi di stabilità. Perché l'opamp corretto a buffer è il più difficile da fare stabile

Ora vediamo un po' più nel dettaglio come questi elementi sono realizzati circuitualmente

Noi vogliamo 2 threshold VR e -VR (per il DAC fatto col mux)



In questo modo sono sempre lineari perché se mi vado VR ho una variazione uguale della threshold positiva e negativa.

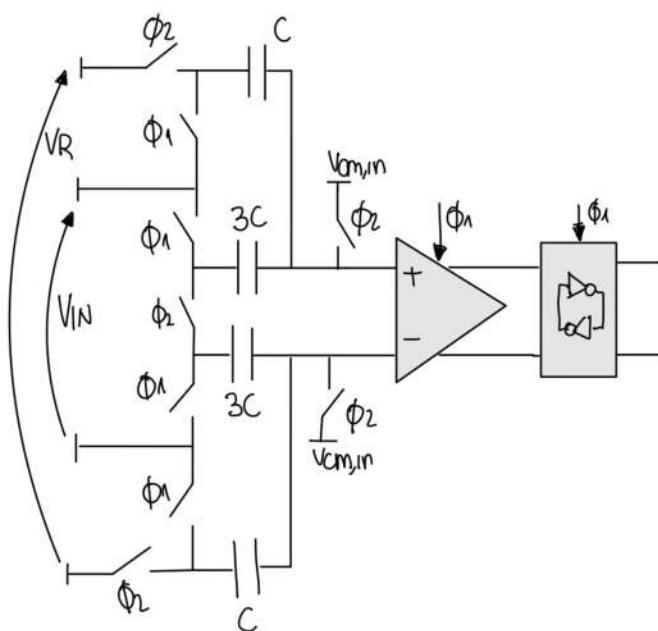
Quindi il DAC fatto a MUX è sempre lineare.

S3 serve per avere in uscita  $\phi V$ .

Vediamo ora come sono fatti i comparatori in ingresso (non ci preoccupiamo dell'offset, ma non ho capito perché)

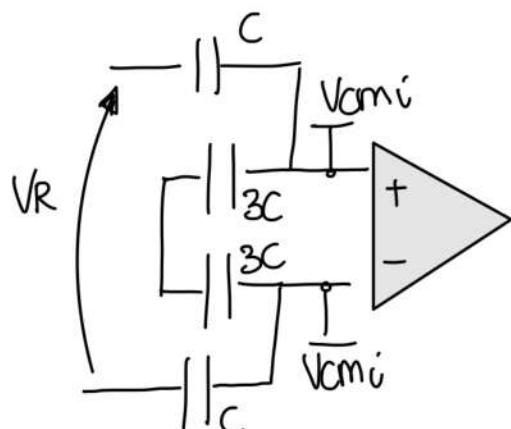
*Non ci preoccupiamo dell'offset perché stiamo lavorando su un 1.5bit ADC che è "immune" agli offset*

Più interessante vedere come hanno ricavato le threshold d'ingresso VR/4. Vediamo da questo

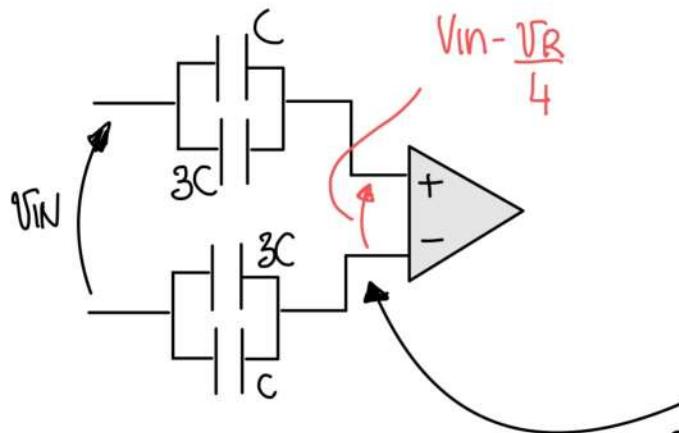


Le capacità sono dimensionate così per il rumore (credo) (e credo anche siano le più basse per avere VR/4)

Nella fase 2 abbiamo →  
L'opamp non fa niente perché ha un input il suo stesso di commode.



Nella fase 1 abbiamo che:

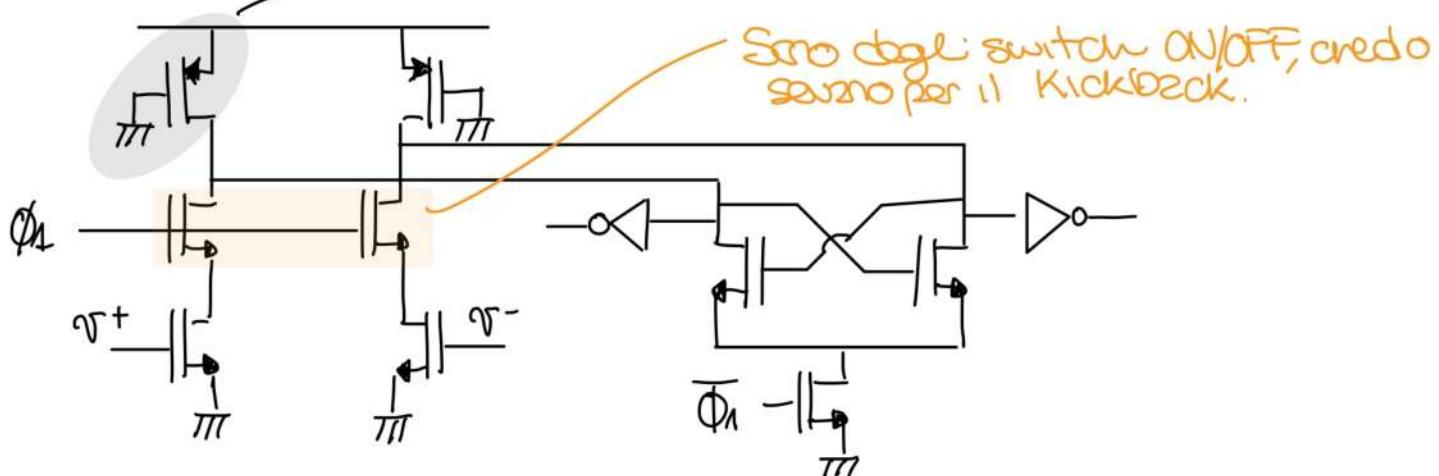


Vediamo che non abbiamo niente per l'offset del comparatore perché abbiamo ricordato che l'ADC che stiamo facendo non è sensibile agli offset dei comparatori.

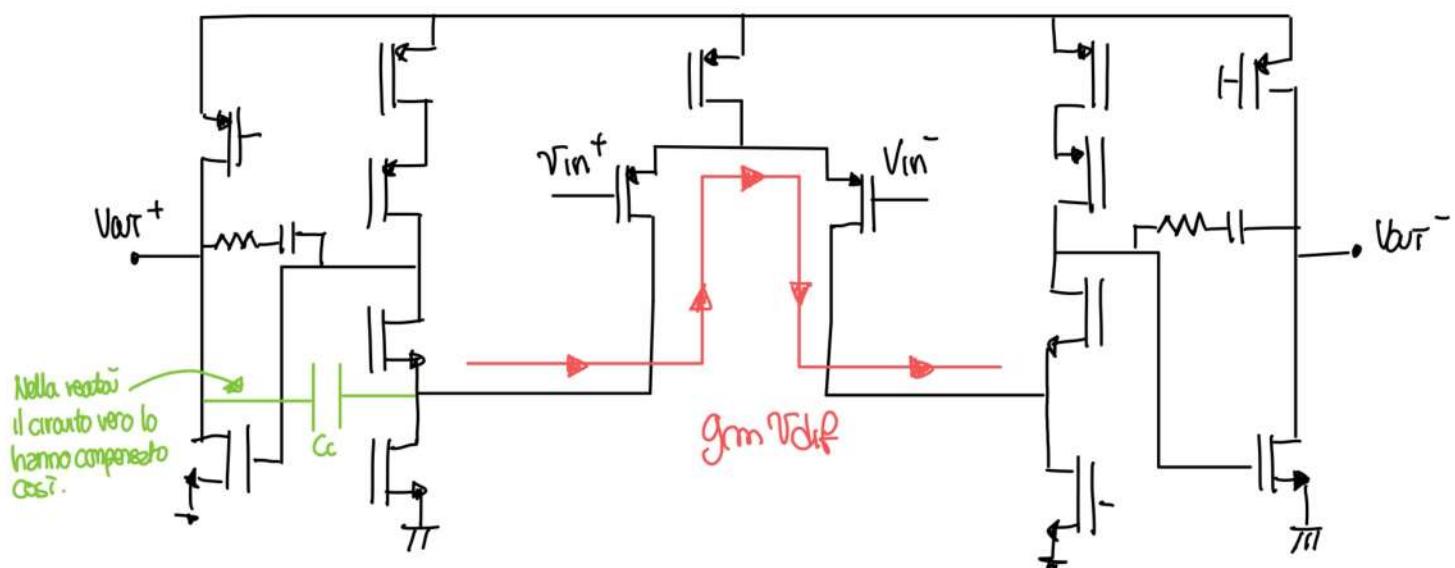
Dobbiamo in realtà stare attenti perché la common mode varia rispetto a prima.

Vediamo ora come è fatto la parte di preamplificatore e comparatore

Fatto da resistori

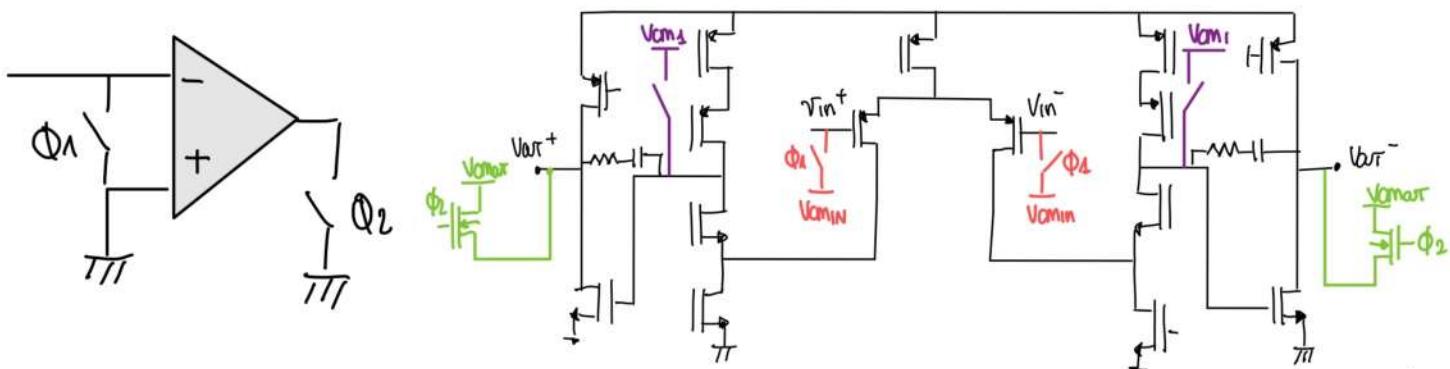


Vediamo ora com'è fatto l'opamp usato nel circuito.



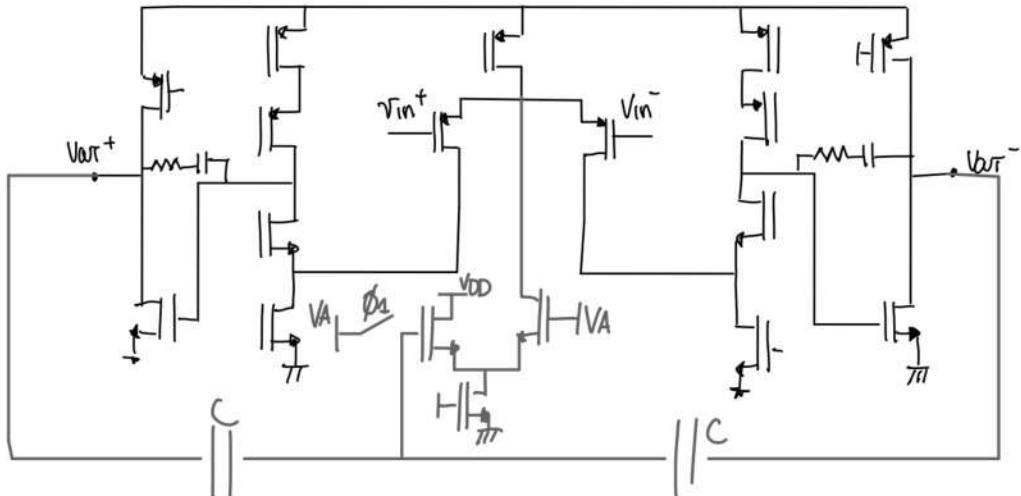
$$\text{il guadagno è } G = g_{m1} \cdot (g_{m2})^2 \cdot g_{mar} V_{out}$$

Ci mancano da inserire gli switch e il common mode Feedback.  
Ricordiamo che il circuito è



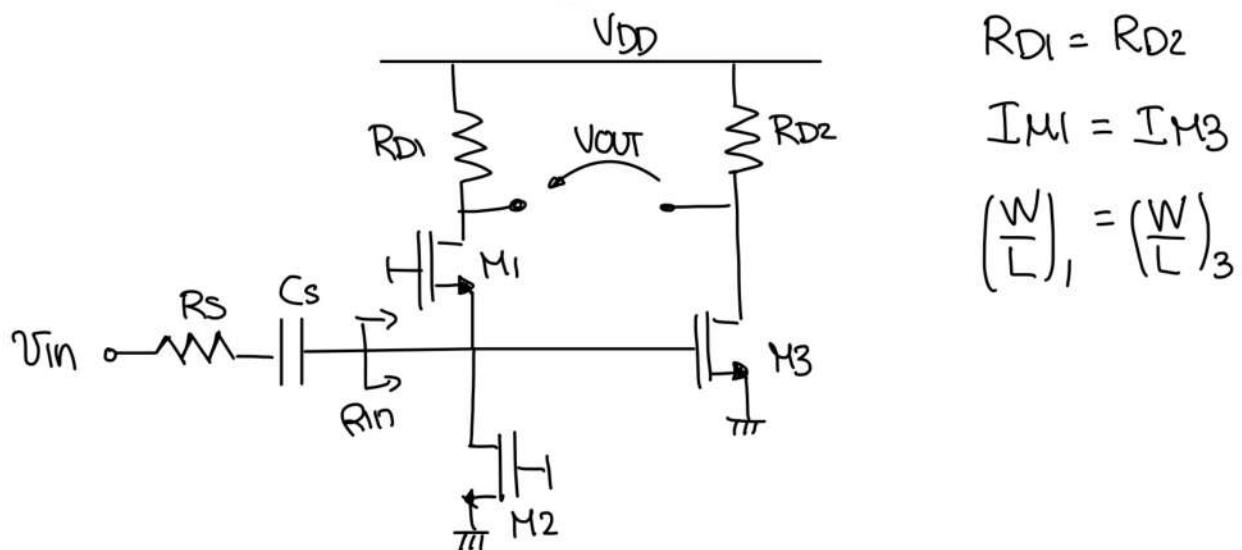
Vediamo che abbiam imposto la common mode sui input e sui output.

Dopo 2nde impone la common mode nel mezzo del 2° studio perché non voglio che quel nodo si muova.



In questo caso  
abbiamo aggiunto  
il common mode  
feedback.

Esmi di un paio di giorni fa:



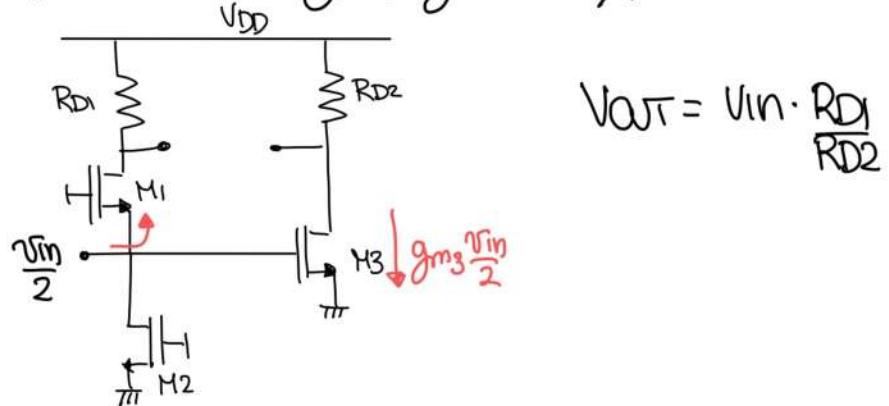
$$R_{IN} = \frac{1}{g_{ms}}$$

Supponiamo che  $R_S = R_{IN} = 1\text{ gms}$ , qual'è il guadagno?

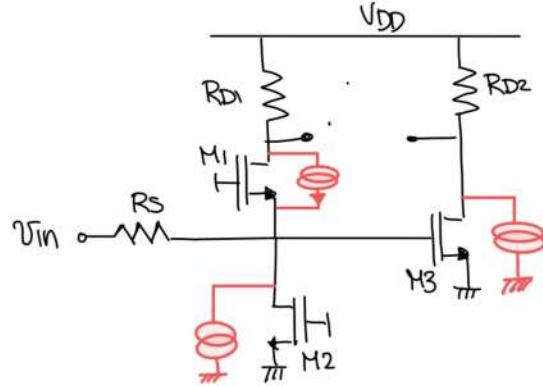
Nel seppiemo eszy la corrente che è  $V_{in}/2R_s$ . Questa corrente va tutta su  $R_D$ .

Mente faz vêr na corrente p'ra a  $\frac{V_{in}}{Z}$  . Jons (descende)

Dato che l'aspetto ratio è uguale e su  $M_1$  e  $M_3$  passa la stessa corrente allora  $g_{m1} = g_{m3} = 1/R_S$



Possiamo al rumore



$$\text{Rumore } R_S = 4KTR_S$$

$$G = \frac{RD_1}{RD_2}$$

$$\text{Rumore } RD_1 = \frac{4KTR_S R_{D1}}{G^2} = \frac{4KTR_S^2}{R_{D1}}$$

$$\text{Rumore } RD_2 = \frac{4KTR_S R_{D2}}{G^2} = \frac{4KTR_S^2}{R_{D2}}$$

Rumore M<sub>2</sub>: (non serve per il trasferimento all'output)

$4KT\delta g_{m2} \rightarrow$  usiamo theorem  $\rightarrow 4KT\delta g_{m2} \cdot R_S^2$  (vede solo il ramo d'uscita cioè del RS)

Rumore M<sub>3</sub>:

$$4KT\delta g_{m3} \cdot \frac{(RD_2)^2}{G} \text{ che alla fine viene } 4KT\delta R_S$$

Rumore di M<sub>1</sub>: (Non fa rumore all'output)

il rumore totale all'input è:

$$E_n^2 = 4KTR_S + 2 \times 4KT \frac{R_S^2}{R_{D1}} + 4KT\delta g_{m2} R_S^2 + 4KTR_S \delta R_S$$

Penso in qualche modo ridurre il rumore di M<sub>3</sub> e avere comunque la cancellazione del rumore di M<sub>1</sub>?

Sì. Per avere la cancellazione abbiamo avere  $R_{D1} = g_{m3} R_{D2} R_S$

Vediamo poi se il rumore di M<sub>3</sub> è:  $\frac{4KT\delta g_{m3} R_{D2}^2}{G^2}$

Se no soddisfiamo la cancellazione il gain non cambia. Quindi io posso girare ad aumentare g<sub>m3</sub> e diminuire R<sub>D2</sub> se è al quadrato quindi negl<sub>o</sub>).