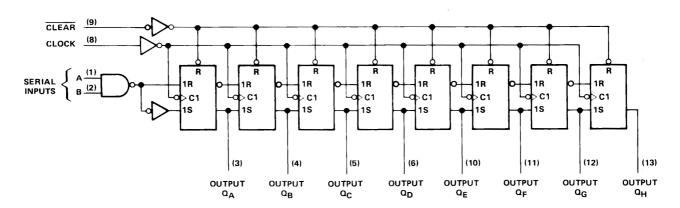
REGISTRO DI SCORRIMENTO

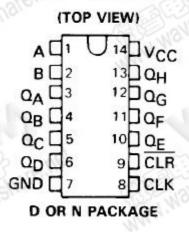
Il registro di scorrimento e` un dispositivo costituito da una catena di celle di memoria a un bit interconnesse tra loro, tali celle sono costituite da flip flop SR.

Nel nostro caso i bit ricevuti all'ingresso vengono inseriti in serie, uno dopo l'altro in sincronismo con il clock: a ogni impulso di clock entra nella prima cella un bit e viene permesso lo scorrimento dei bit da una cella a quella immediatamente adiacente. Lo scorrimento di questi può avere due versi, a sinistra (left register) oppure a destra (right register).

Utilizziamo il registro di scorrimento contenuto nel circuito integrato SN74164N del tipo SIPO (Serial Input Parallel Output) nel quale lo scorrimento avviene verso destra.



SN74LS164



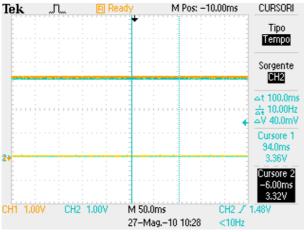
Alimentiamo il circuito con tensione continua di 5 V come indicato nel data sheet.

Mandiamo agli ingressi A e B il segnale logico 1, collegando anche essi a 5 V.

Al clock forniamo con il generatore di funzioni un'onda quadra di ampiezza 5 V e offset di 2,5 V, in modo che fornisca alternativamente i segnali logici 1 e 0.

Verifichiamo il comportamento del registro, collegando diodi led alle uscite (ponendo tra le uscite e il diodo una resistenza al fine di non fornire ai diodi una tensione eccessiva). Si verifica che i led si accendono uno dopo l'altro con la stessa frequenza del clock e rimangono accesi.

Per far ripartire il registro e` necessario azzerare il clear, per portarci nelle condizioni in cui A=B=0, per far ciò utilizziamo quindi un pulsante. Con il pulsante non premuto, il clear e` alimentato, mentre quando premiamo il pulsante viene collegato a terra ed ha quindi tensione 0. Per non cortocircuitare il generatore quando premiamo il pulsante, poniamo una resistenza tra l'alimentatore e il pulsante. A questo punto, quando il clear diventa basso azzera gli ingressi e quando torna alto può iniziare lo scorrimento dei bit.

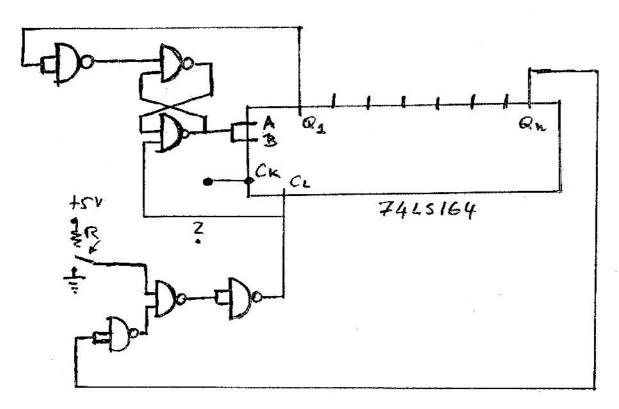


Visualizziamo sull'oscilloscopio le uscite Q₁ e Q₂. Vediamo che le due salite dei segnali (su cui abbiamo posizionato i cursori) sono ad una distanza di 100 ms ovvero si ha che un bit si presenta all'uscita con una frequenza di f=10 Hz che è proprio quella da noi impostata per il clock.

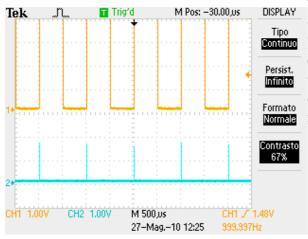
In questo modo i bit si presentano uno dopo l'altro per tutte le 8 uscite del registro di scorrimento, dopo ciò il valore di tensione alle uscite rimane costantemente a 1, a meno di non resettare il registro manualmente facendo un clear con il pulsante.

Inoltre si è notato come il segnale sulle uscite sia sincronizzato con la salita del clock.

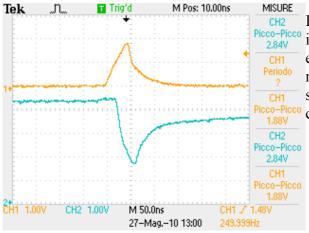
Verificato quindi il comportamento del registro di scorrimento, ora vogliamo che una volta esaurita una serie di 8 bit, il registro di scorrimento venga automaticamente resettato. Per far ciò si costruisce il circuito seguente.



Questo circuito fa si che al primo colpo di clock l'uscita attiva sia su Q_1 , al secondo colpo di clock l'informazione passi a Q_2 mentre Q_1 si azzera, al terzo colpo di clock anche Q_2 si azzera e l'informazione passa a Q_3 e così via. Collegando le prime uscite a dei diodi led vediamo come essi appunto si accendano e si spengano consecutivamente con la stessa frequenza del clock. Inoltre quando l'ultimo bit arriva all'uscita Q_N viene istantaneamente attivato il clear e può ripartire la serie di bit da Q_1 . Inoltre viene inserito un pulsante per portare manualmente il clear a zero quando premuto.

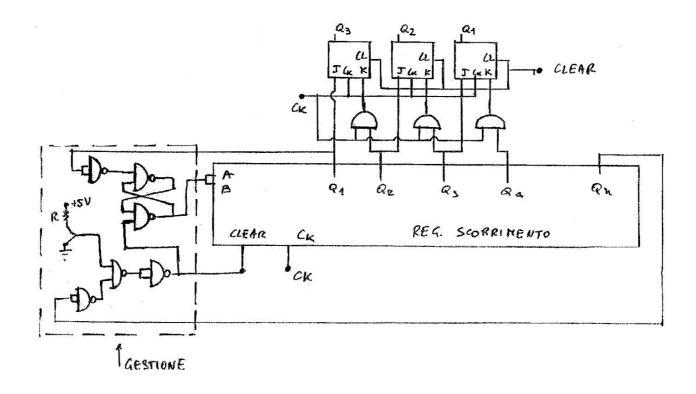


Visualizziamo Q_N (Q_8) sul CH2 mentre sul CH1 visualizziamo l'onda quadra in ingresso nel clock. Notiamo che Q_N si attiva ad ogni salita del clock. Q_N e' visualizzato per un brevissimo intervallo di tempo, poiché appena l'uscita viene riconosciuta come alta viene fatto partire il clear che azzera il registro di scorrimento.



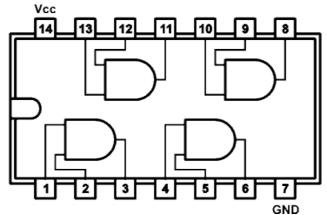
In giallo e' visualizzato Q_N , in blu il clear. Abbiamo impostato per il clock alte frequenze in modo che Q_N e il clear stessero sempre visualizzati. In questo modo quando Q_N arriva a tensioni superiori a 1V, il segnale viene riconosciuto come 1 logico e si attiva il clear che porta Q_N a zero.

A questo punto completato il registro di scorrimento con l'annessa parte di gestione automatica del clear, vogliamo ampliare il circuito inserendo delle porte AND e flip flop JK.



PORTE AND

Innanzitutto verifichiamo il funzionamento delle porte AND che sono inserite nel circuito integrato SN74LS08N. L'alimentazione di questo circuito è di Vcc=5V.



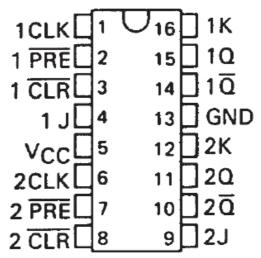
Abbiamo riscontrato che ogni porta AND funziona correttamente poiché segue la tabella di verità della funzione AND.

A	В	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1 (4,2 V)

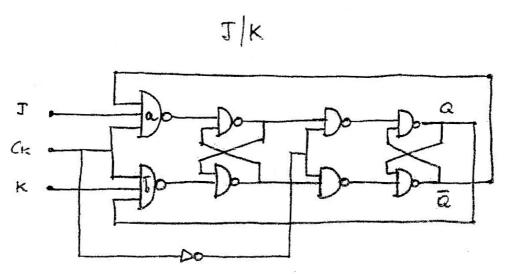
Ogni integrato con porte AND viene inserito nel circuito da noi costruito in modo che abbia come ingressi: un uscita del registro di scorrimento e il clock; come uscita le entrate K dei flip flop JK che andiamo ora ad esaminare.

FLIP FLOP J/K

I J/K che utilizziamo sono all'interno dell'integrato SN74LS76AN, alimentato anche questo a Vcc=5V.



All'interno di ogni JK vis sono 8 porte NAND collegate nel modo seguente



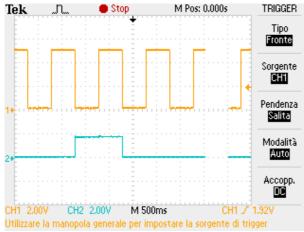
Questa configurazione permette all'integrato di funzionare come dispositivo di memoria in cui è il clock a scandire il tempo; i flip flop JK rispettano la seguente tabella di verità

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Quando J=K= 0 l'uscita resta uguale alla situazione del colpo di clock precedente e a ogni colpo di clock successivo l'uscita rimane costante su quel valore, mentre quando J=K=1 l'uscita diventa diversa da quella del clock precedente e cambia a ogni colpo di clock.

A questo punto, testati i due tipi di integrati, vogliamo osservare alle uscite dei JK il comportamento del circuito fin qui costruito.

Collegando dei diodi led all'uscita Q_1 del registro di scorrimento e all'uscita del primo J/K (Q_3), si nota come Q_3 si accenda mezzo colpo di clock dopo che si e` acceso Q_1 . Questo è dovuto al fatto che il registro di scorrimento e i JK fanno riferimento a diverse situazioni del clock: l'uscita del registro si attiva quando il clock sale mentre l'uscita del JK si attiva quando il clock scende.



In giallo e` visualizzato il clock ed in blu l'uscita Q₃ del J/K.

Riscontriamo come Q₃ salga alla discesa del clock, e ridiscenda alla successiva discesa del clock. Infine abbiamo notato che lavorando a frequenze inferiori a 5 Hz l'uscita dei JK non venga azzerata dopo essere stata attivata. Questo comportamento può essere conseguenza della presenza di correnti parassite che per basse frequenze l'integrato non è in grado di rimuovere. Per questo motivo lavoreremo a frequenze più elevate.