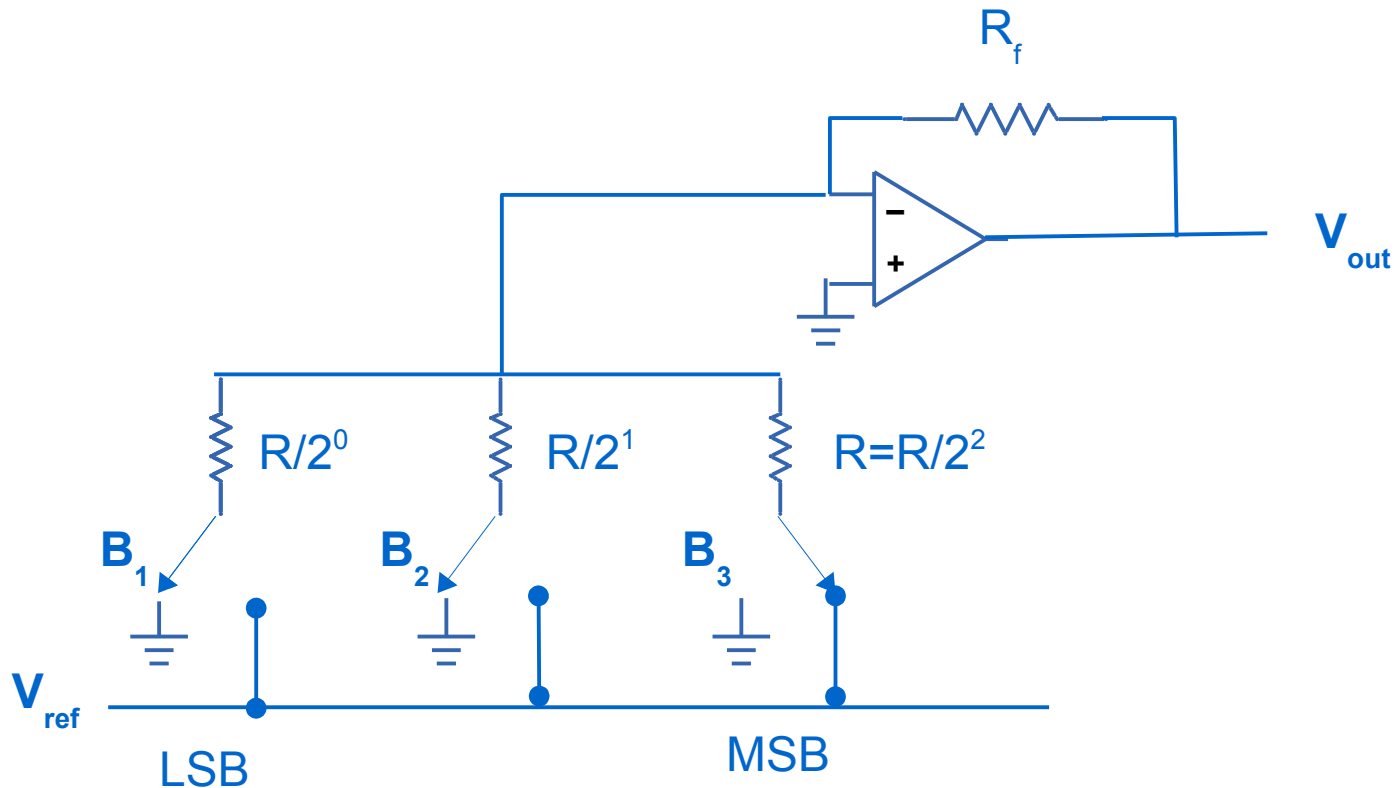


LABORATORIO DI ELETTRONICA: CONVERTITORI A/D E D/A

CONVERSIONE DIGITALE/ANALOGICA E ANALOGICO/DIGITALE

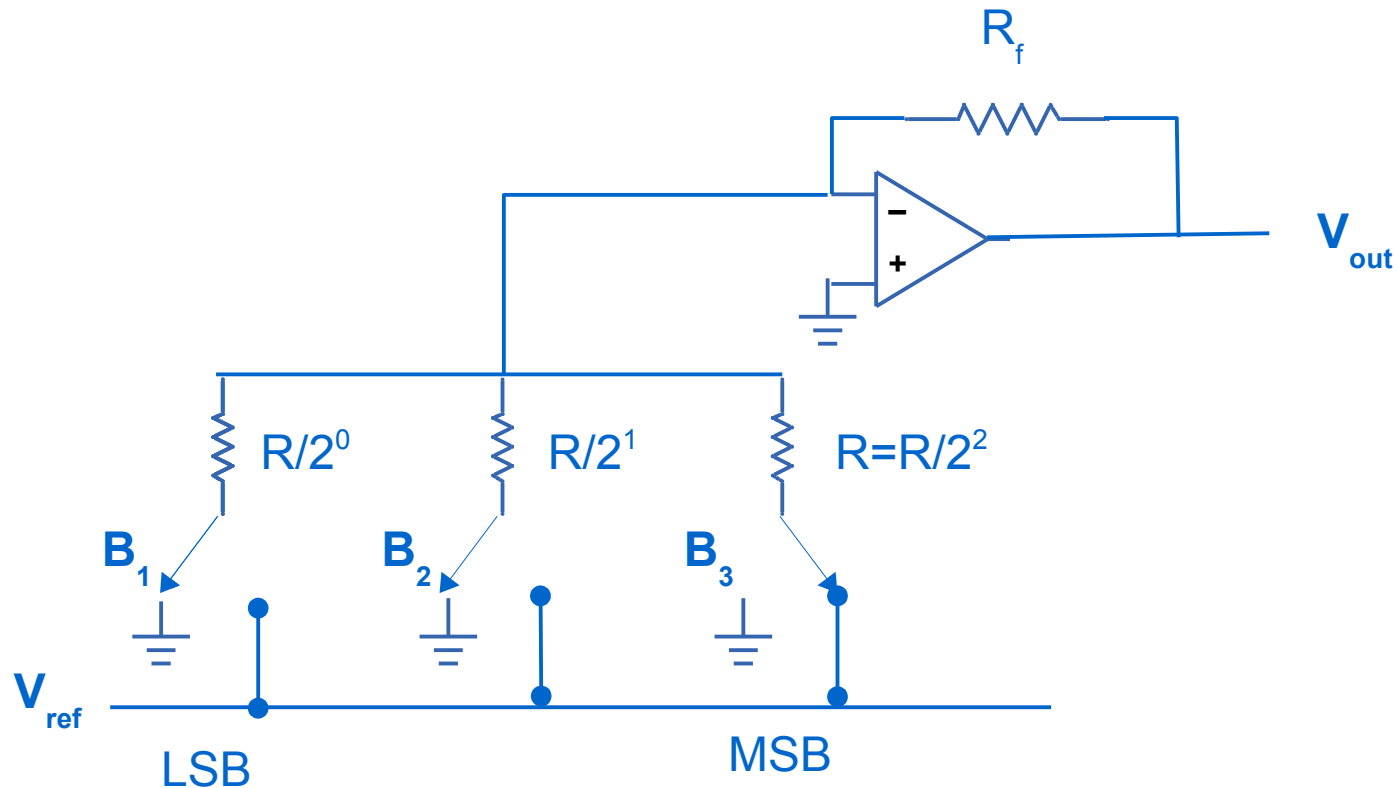
- D/A (o DAC): conversione di un numero binario in un segnale (V oppure I) di ampiezza proporzionale al numero
 - Controllo apparati
 - Sintetizzatori (ad es. generatori di funzioni d'onda)
- A/D (o ADC): conversione di un segnale analogico in un numero binario proporzionale all'ampiezza del segnale
 - Misura
 - Trasmissione “error/noise free”
 - Memorizzazione
 - Elaborazione numerica

DAC RESISTENZE PESATE (*Binary-weighted Resistors*)



- Switch controllati da gate logici
 - 0 → connessione a GND
 - 1 → connessione a V_{ref}
- OpAmp usato come sommatore

DAC RESISTENZE PESATE (*Binary-weighted Resistors*)

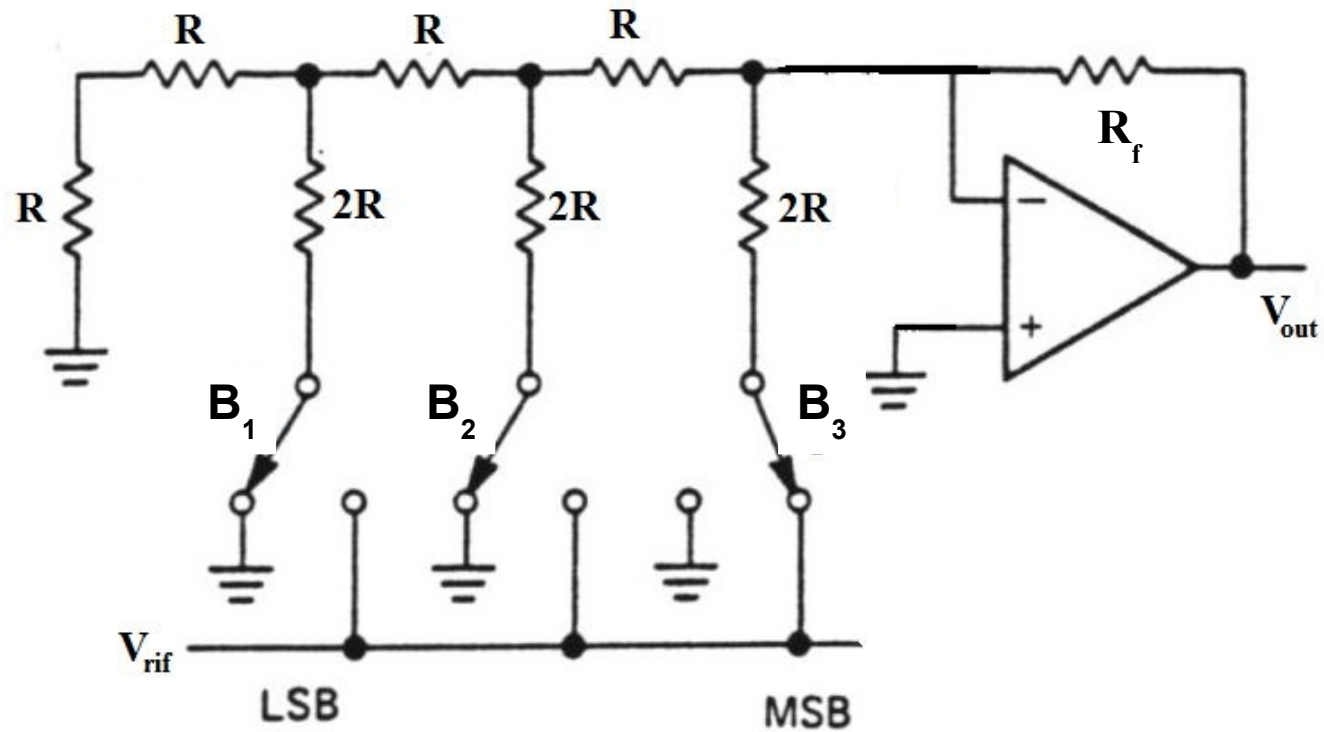


- Incremento della corrente dovuto al k -esimo switch chiuso: $V_{ref}/(R/2^{k-1})$

$$V_{out} = \underbrace{\frac{-R_f}{R}}_{\text{sensibilit\`a}} V_{ref} \underbrace{\sum_{k=1}^n B_k 2^{k-1}}_{\text{numero binario}} \quad \text{dove } B_k = 0 \text{ oppure } 1$$

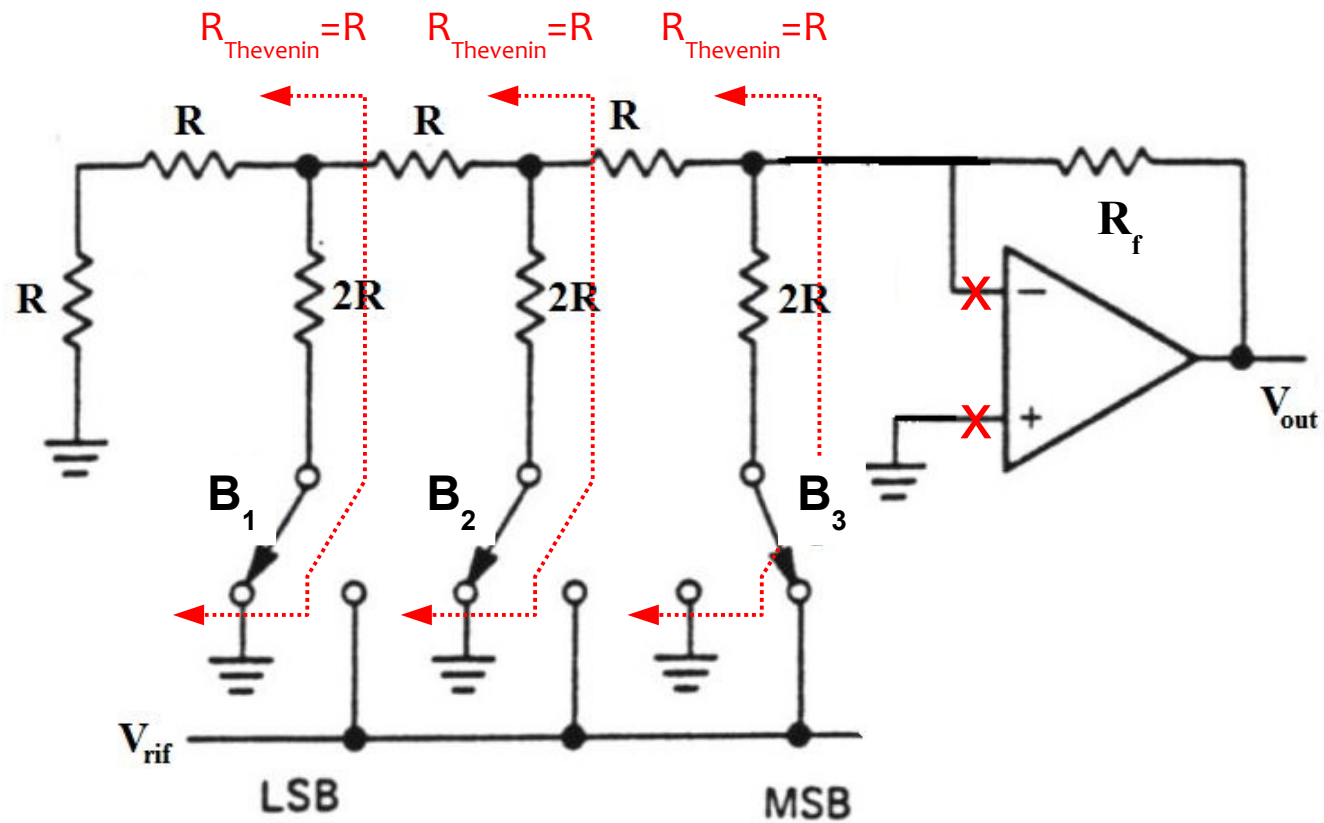
- Difficolt\`a: accuratezza del DAC dipende dall'accuratezza delle resistenze \rightarrow difficile da controllare su range di R molto grandi (specialmente dipendenza da T)

DAC R-2R



- Switch controllati da gate logici
 - $0 \rightarrow$ connessione a GND
 - $1 \rightarrow$ connessione a V_{ref}

DAC R-2R



- n bit $[B_1, \dots, B_n]$: contributo MSB: $B_n = 1, B_j = 0 \ j \neq n \rightarrow V_{out} = (V_{ref}/2) (-R_f/R)$
 contributo LSB: $B_1 = 1, B_j = 0 \ j \neq 1 \rightarrow V_{out} = (V_{ref}/2^n) (-R_f/R)$

$$V_{out} = \underbrace{\frac{-R_f}{R} \frac{V_{ref}}{2^n}}_{\text{sensibilit\`a}} \underbrace{\sum_{k=1}^n B_k 2^{k-1}}_{\text{numero binario}} \quad \text{dove } B_k = 0 \text{ oppure } 1$$

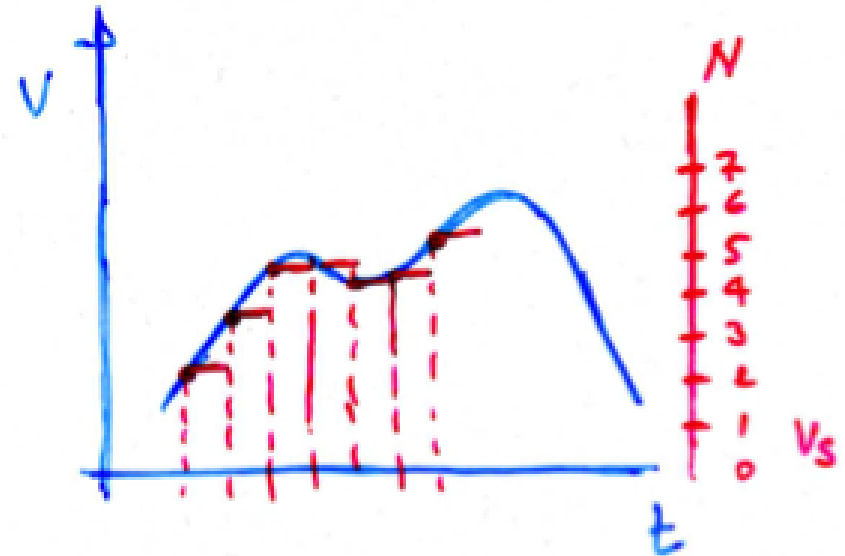
- Es. 3 bit e $V_{ref} = +10V$ ($R_f = R$)

$$V_{out} = VAL * V_{ref} / 2^3 \quad \text{min: } VAL = 000 \rightarrow V_{out} = 0V \quad \text{max: } VAL = 111 \rightarrow V_{out} = 8.75V$$

CONVERTITORE A/D (ADC)

- Compiti di un ADC:

- campionamento (*sampling*):
V funzione continua del tempo
- mantenimento (*hold*)
- quantificazione
- codifica (binario puro, BCD, codifica Gray)
- memorizzazione



- N rappresenta il valore V dato il fattore di scala V_s ($LSB = Least\ Significant\ Bit$)

PARAMETRI ADC

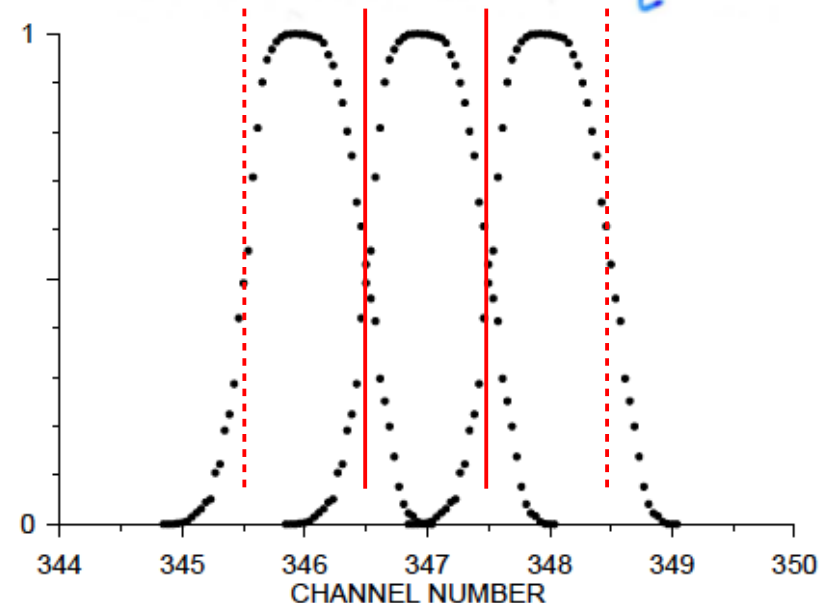
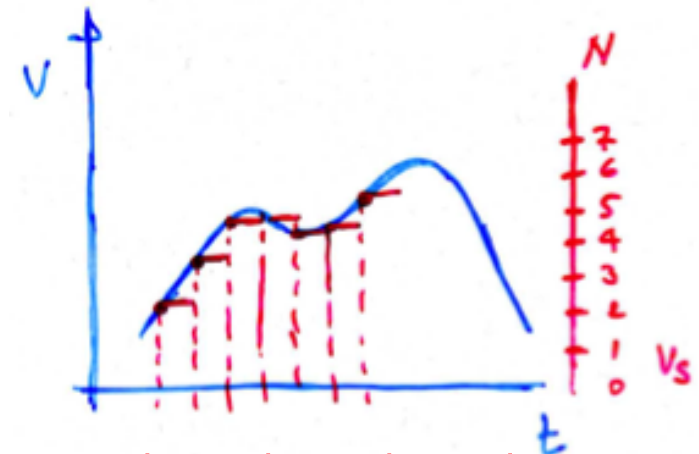
- **fondo scala o portata:** legato a numero di bit e LSB
- **risoluzione & accuratezza:** dovute alla discretizzazione in 2^n intervalli (n = numero di bit) di un segnale continuo

- Caso ideale: accuratezza = $\pm \frac{1}{2} \text{LSB}$
(LSB = *step size*)

risoluzione: $1/2^n$

A rigore: $V_{\text{FullScale}} = (2^n - 1) \text{LSB}$

- **NB** caso reale: rumore elettronico può produrre una sovrapposizione di canali adiacenti



PARAMETRI ADC

- **non linearità differenziale (*Differential Non-Linearity*):**
non uniformità della larghezza degli intervalli sull'intero range dell'ADC

$$DNL_k = \frac{\Delta V_k - \langle \Delta V \rangle}{\langle \Delta V \rangle}$$

- **non linearità integrale:** deviazione dalla proporzionalità tra misura e segnale in ingresso

$$INL_k = \sum_{j=1}^k DNL_j$$

- **stabilità** (ad es. vs. T)
- **tempo di conversione**

COMPARATORE IN PARALLELO (*Flash ADC*)

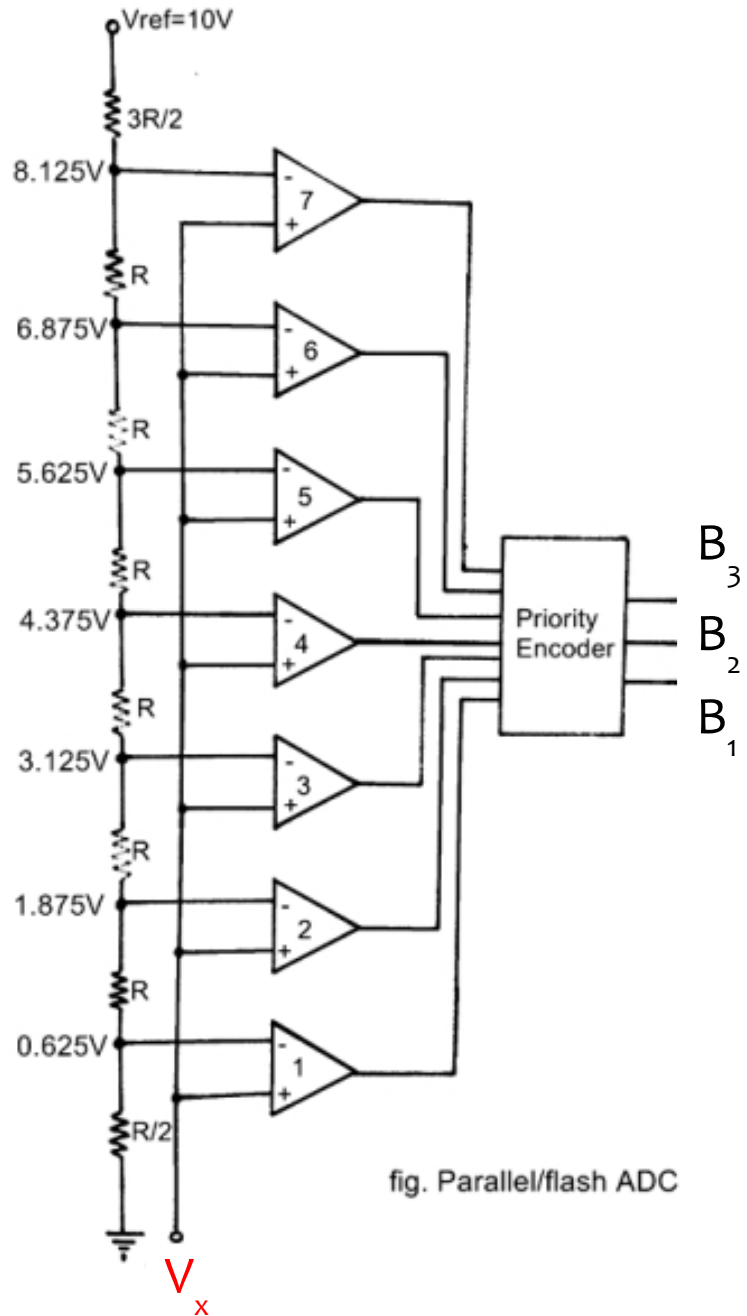
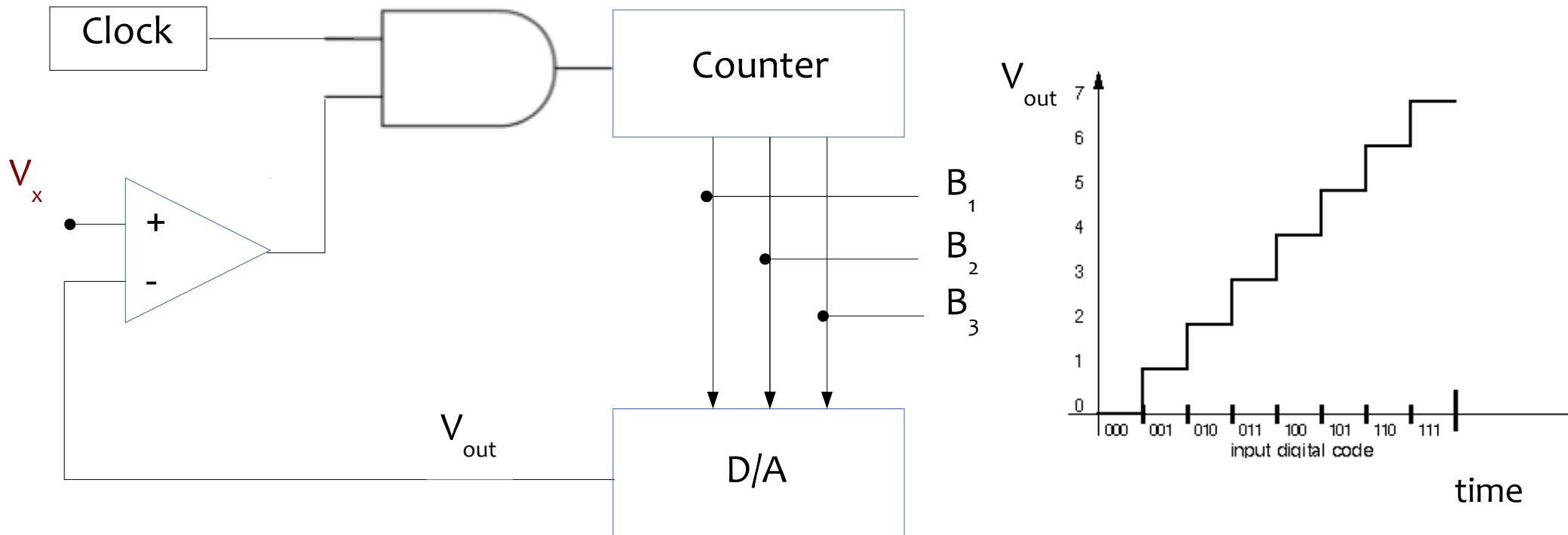


fig. Parallel/flash ADC

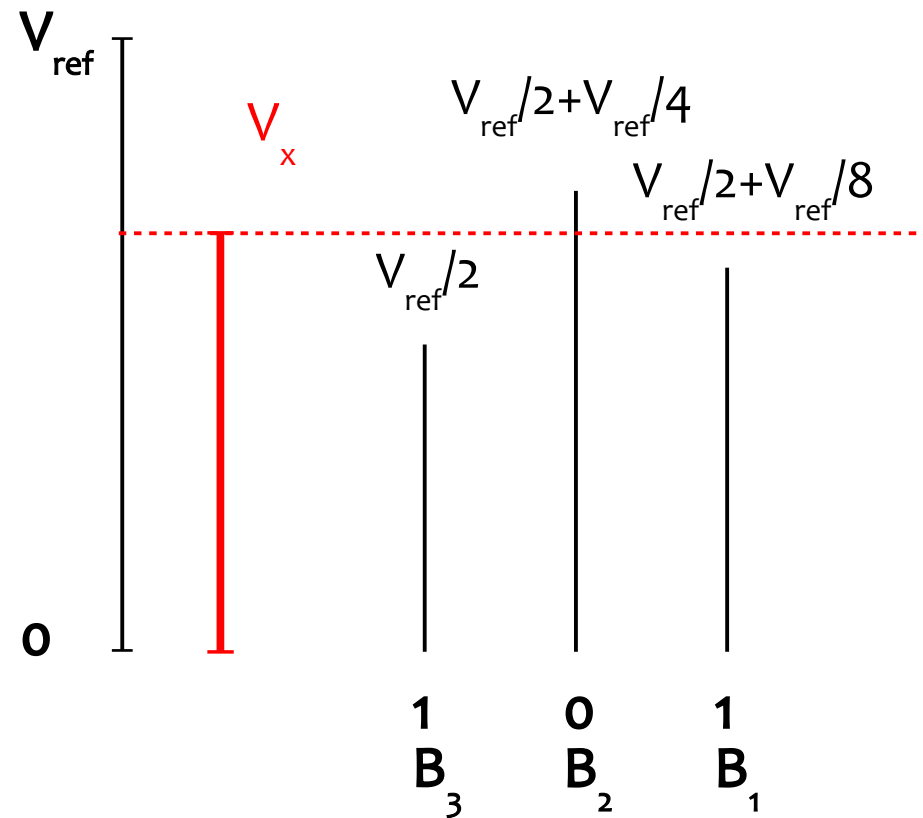
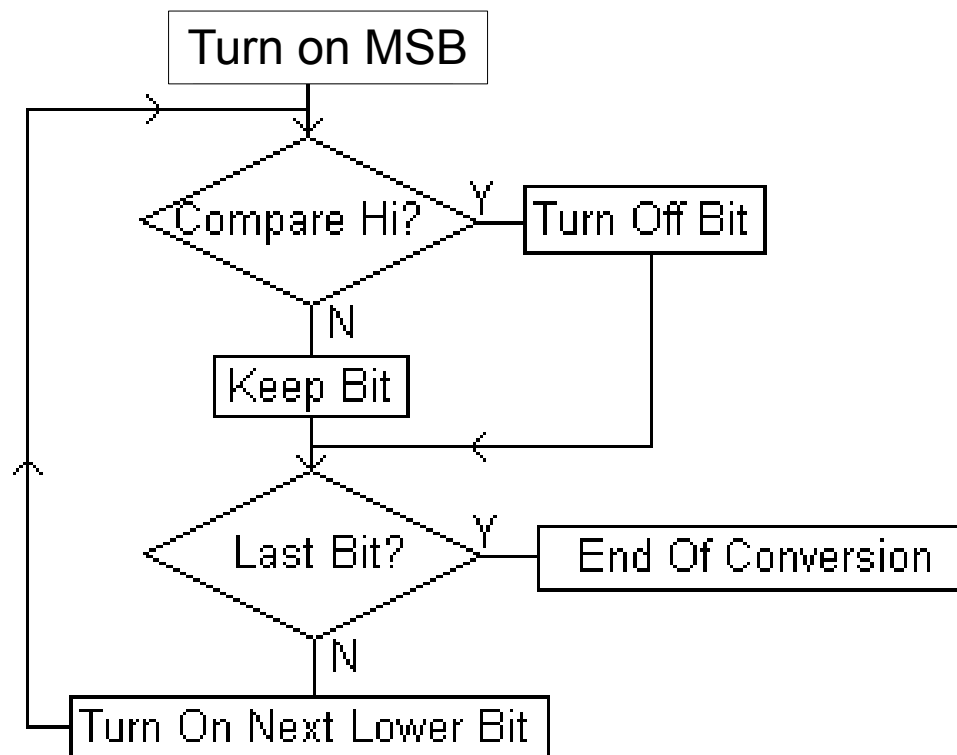
- veloce: 1 clock
- costoso: per n bit occorrono $2^n - 1$ comparatori
- resistenza tra V_{ref} e GND pari a $2^n R$
- resistenza tra due nodi consecutivi pari a R
 - la caduta di tensione tra 2 nodi consecutivi è $V_{ref} * R / (2^n R) = V_{ref} / 2^n$

COMPARATORE A CONTATORE (*Staircase ADC*)



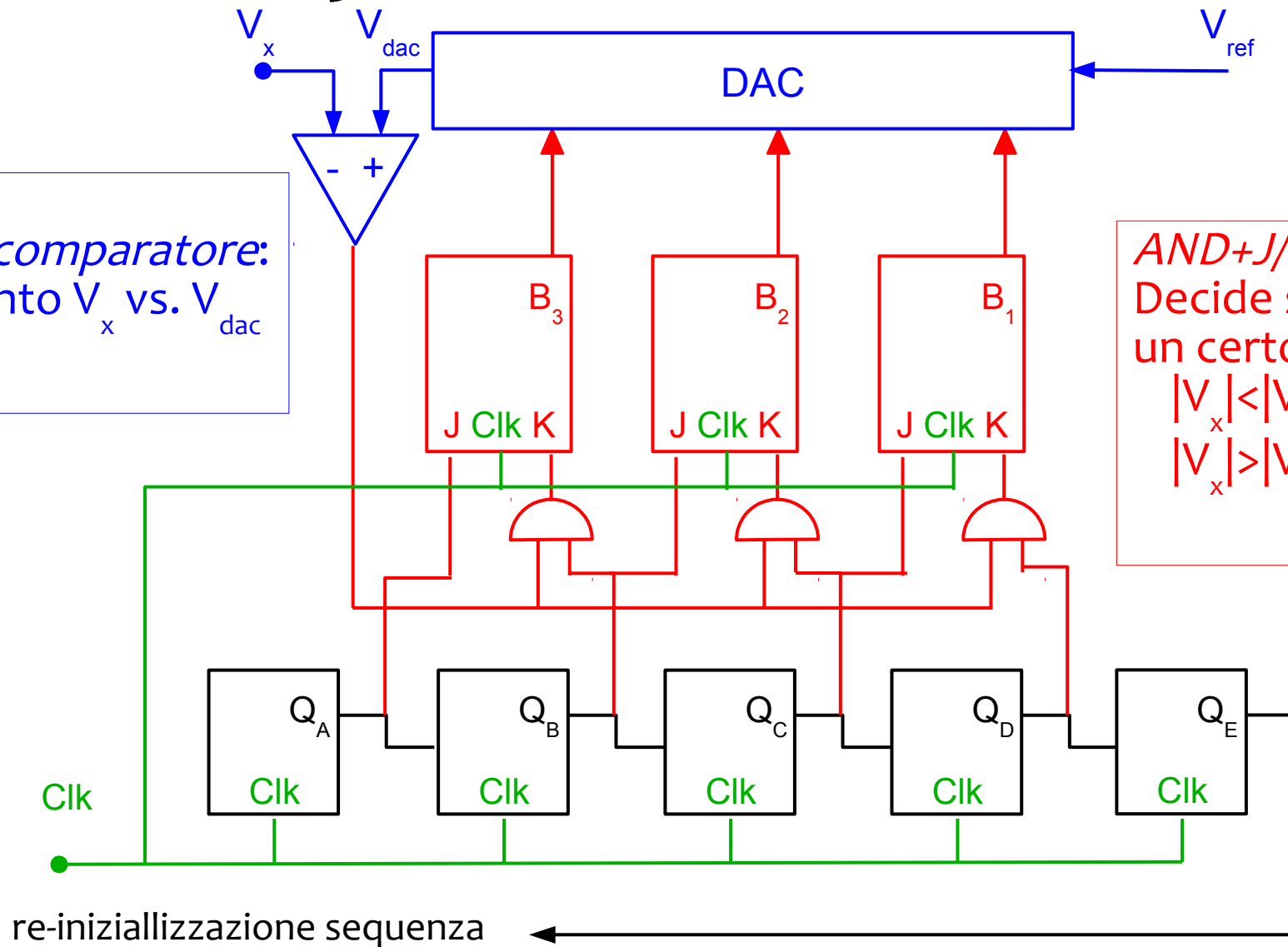
- economico: 1 comparatore
- lento: per n bit occorrono $2^n - 1$ cicli di clock

ADC AD APPROSSIMAZIONI SUCCESSIVE



$$\begin{aligned}
 V_x &= B_3 \frac{V_{ref}}{2} + B_2 \frac{V_{ref}}{4} + B_1 \frac{V_{ref}}{8} = \sum_{i=1}^n B_{n-i+1} \frac{V_{ref}}{2^i} \\
 &= V_{ref} \sum_{i=1}^n B_{n-i+1} \frac{2^{n-i}}{2^n} = \underbrace{\frac{V_{ref}}{2^n}}_{\text{sensibilit\`a}} \underbrace{\sum_{k=1}^n B_k 2^{k-1}}_{\text{numero binario}}
 \end{aligned}$$

ESEMPIO: ADC A 3 BIT



DAC + comparatore:
confronto V_x vs. V_{dac}

AND+J/K: controllo.
Decide se settare 0/1
un certo bit

$|V_x| < |V_{dac}| \rightarrow \text{bit}=0$
 $|V_x| > |V_{dac}| \rightarrow \text{bit}=1$

Shift Register: “presenta” la successione di bit (da MSB a LSB)

NB: n bit: n catene elettronica, n cicli di clock

SHIFT REGISTER

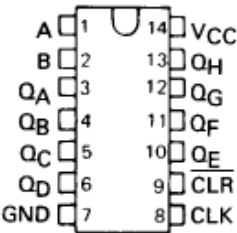
SN54164, SN54LS164, SN74164, SN74LS164 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

MARCH 1974 — REVISED MARCH 1988

- Gated Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

SN54164, SN54LS164 . . . J OR W PACKAGE
SN74164 . . . N PACKAGE
SN74LS164 . . . D OR N PACKAGE
(TOP VIEW)

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'LS164	36 MHz	10 mW per bit

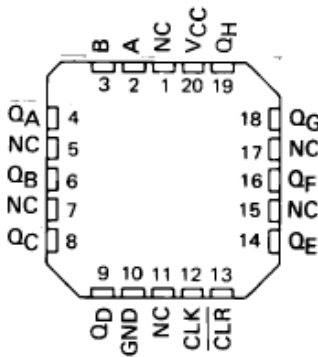


description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either input inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup-time requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

The SN54164 and SN54LS164 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74164 and SN74LS164 are characterized for operation from 0°C to 70°C.

SN54LS164 . . . FK PACKAGE
(TOP VIEW)



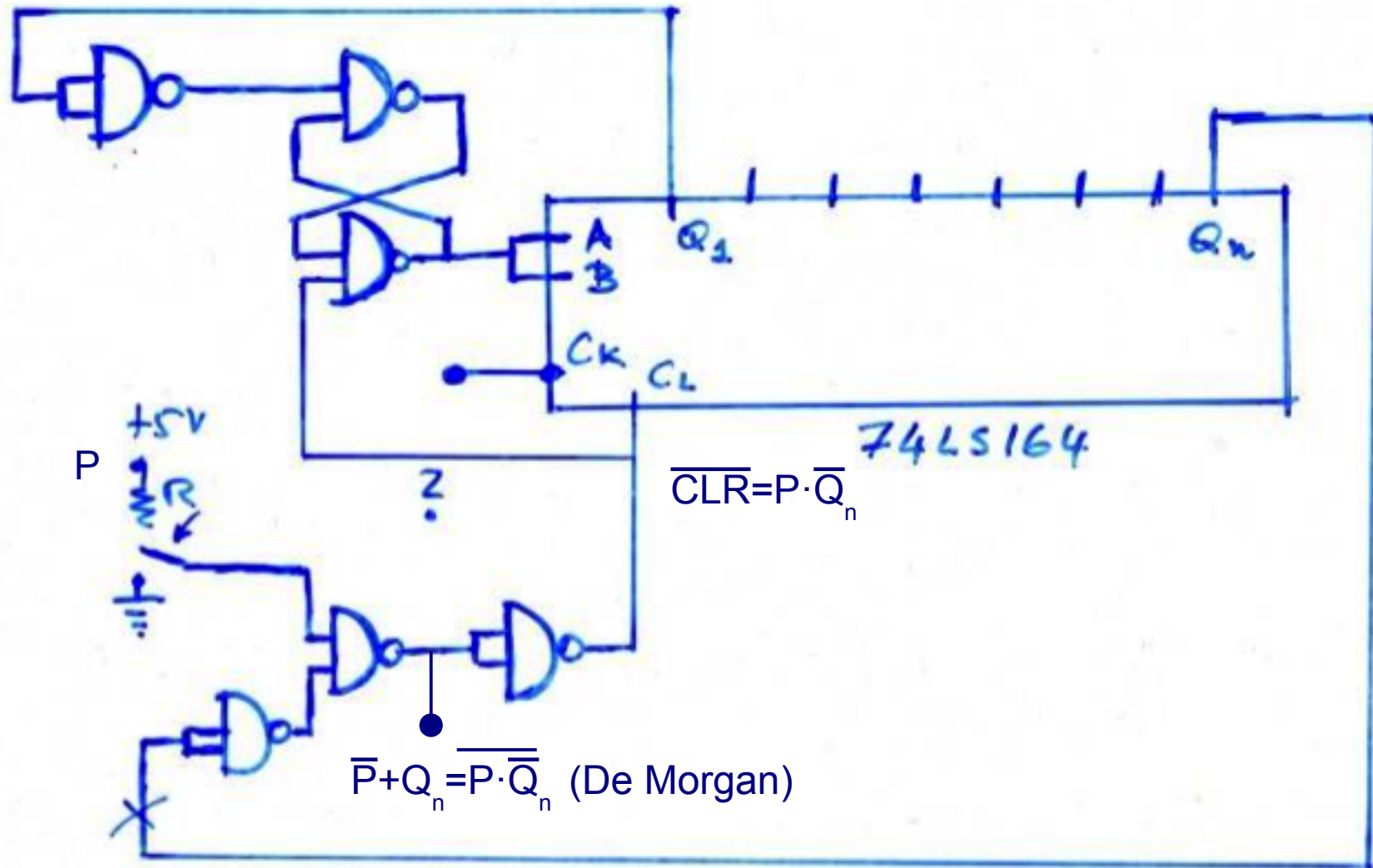
FUNCTION TABLE

INPUTS				OUTPUTS		
CLR	CLK	A	B	QA	QB . . . QH	
L	X	X	X	L	L	L
H	L	X	X	QA0	QB0	QH0
H	↑	H	H	H	QAn	QGn
H	↑	L	X	L	QAn	QGn
H	↑	X	L	L	QAn	QGn

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
QA0, QB0, QH0 = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.
QAn, QGn = the level of QA or QG before the most-recent ↑ transition of the clock; indicates a one-bit shift.

NB: avanzamento dei dati sul fronte di salita del clock (0 → 1)

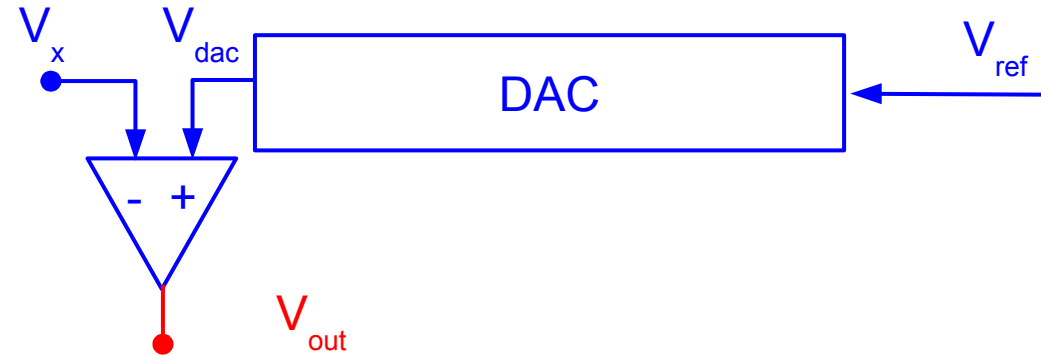
SHIFT REGISTER E CIRCUITO DI CONTROLLO



DAC E COMPARATORE

- La DAC (OpAmp invertente) restituisce una tensione $V_{dac} < 0$

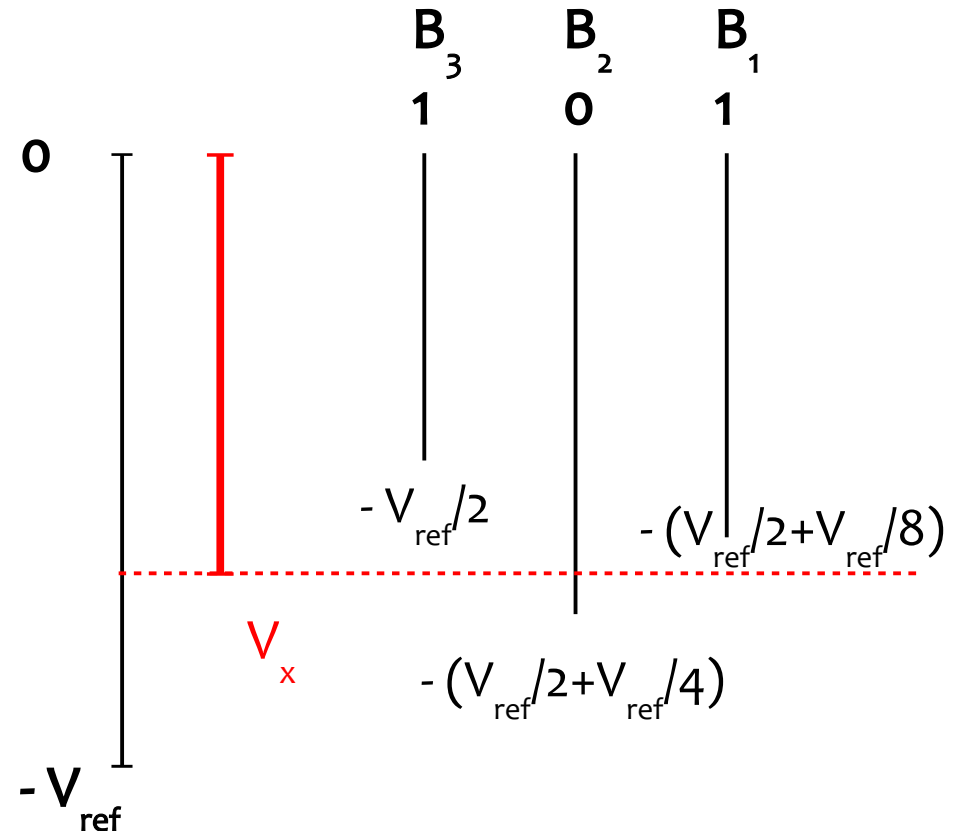
→ il range delle tensioni in ingresso V_x che possono essere convertite è negativo



- Comparatore:

$V_x > V_{dac} \rightarrow V_{out} = -V_{sat}$ scartare il bit

$V_x < V_{dac} \rightarrow V_{out} = +V_{sat}$ mantenere il bit



FLIP-FLOP J-K

SN5476, SN54LS76A SN7476, SN74LS76A DUAL J-K FLIP-FLOPS WITH PRESET AND CLEAR SDLS121 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic and Ceramic DIPs and Ceramic Flat Packages
- Dependable Texas Instruments Quality and Reliability

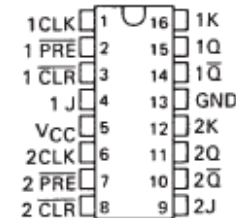
description

The '76 contains two independent J-K flip-flops with individual J-K, clock, preset, and clear inputs. The '76 is a positive-edge-triggered flip-flop. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS76A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predicatble operation. The preset and clear are asynchronous active low inputs. When low they override the clock and data inputs forcing the outputs to the steady state levels as shown in the function table.

The SN5476 and the SN54LS76A are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7476 and the SN74LS76A are characterized for operation from 0°C to 70°C.

SN5476, SN54LS76A . . . J PACKAGE
SN7476 . . . N PACKAGE
SN74LS76A . . . D OR N PACKAGE
(TOP VIEW)



'76
FUNCTION TABLE

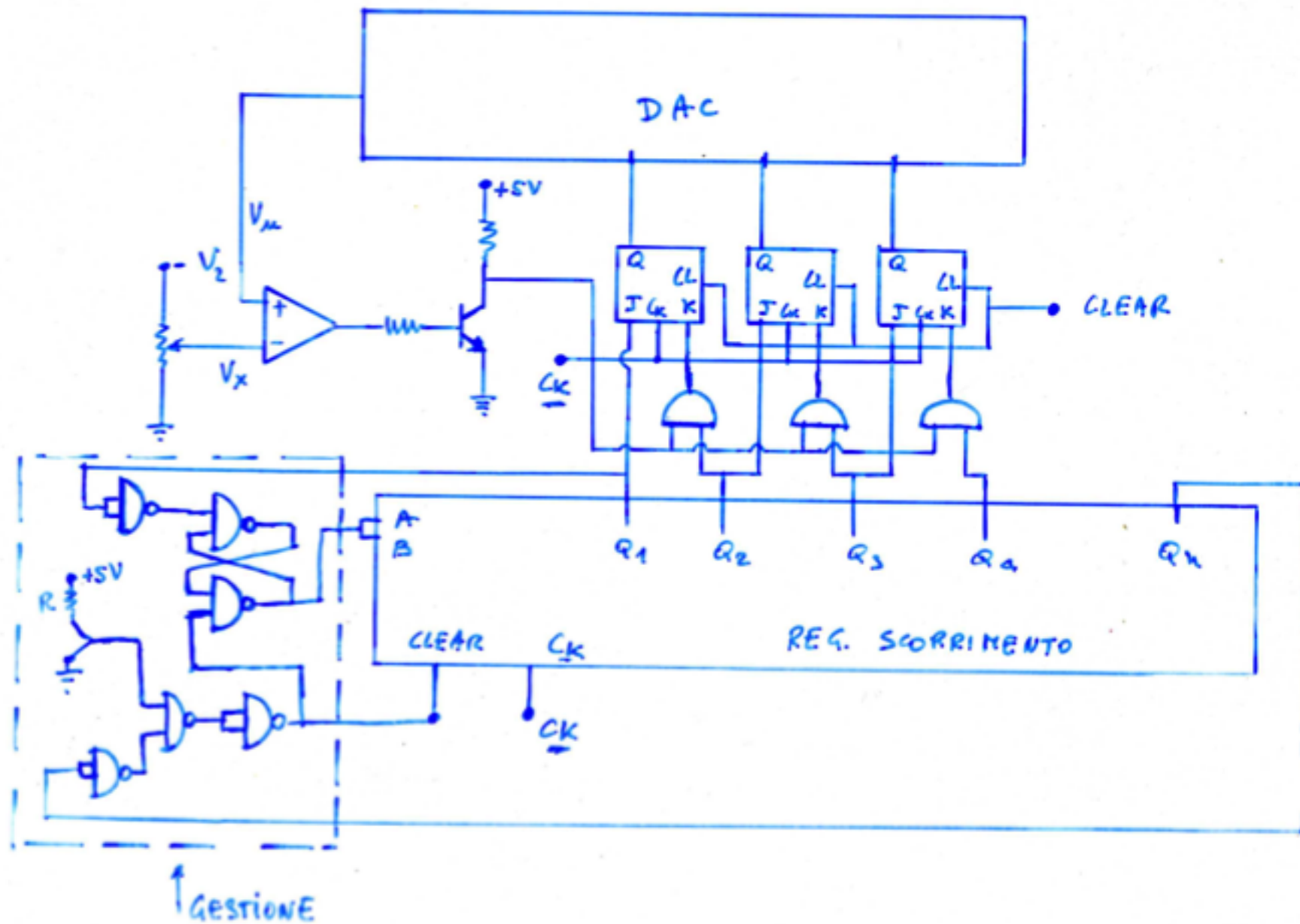
INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	↓	L	L	Q ₀	Q̄ ₀
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	TOGGLE

'LS76A
FUNCTION TABLE

INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	↓	L	L	Q ₀	Q̄ ₀
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	TOGGLE
H	H	H	X	X	Q ₀	Q̄ ₀

† This configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

SCHEMA COMPLETO ADC



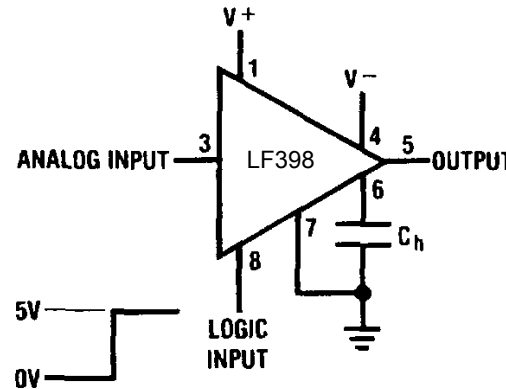
In laboratorio:

- montaggio dello shift register e del relativo circuito di controllo (CLR) e verifica del funzionamento prima con LED e poi con oscilloscopio
- verifica del funzionamento dei flip-flop di tipo J/K
- montaggio di un transistor npn per adattare l'uscita del comparatore ($\pm 15V$) ai livelli logici TTL (0V e +5V)
- montaggio del DAC R-2R e calibrazione
- misura di una tensione continua
- campionamento di una tensione variabile

NB: gli schemi precedenti possono essere facilmente modificati per costruire un ADC a 4 bit

CAMPIONAMENTO DI UNA TENSIONE VARIABILE

- Circuito di *sample&hold* per discretizzare un segnale variabile nel tempo $V_x(t)$ usando l'integrato LF398A



- IN: $V_x(t)$
- OUT: dipende da un segnale logico di riferimento
 - segnale logico di riferimento è 1: OUT riproduce IN (*sample*)
 - segnale logico di riferimento è 0: OUT resta fisso (*hold*)
- Scrittura dello stato dei J/K alla fine della conversione su un dispositivo di storage usando:
 - microcontrollore Arduino Uno: gestione della logica dei cicli di acquisizione dati (DAQ)
 - scheda Adafruit 254: scrittura dati su microSD card

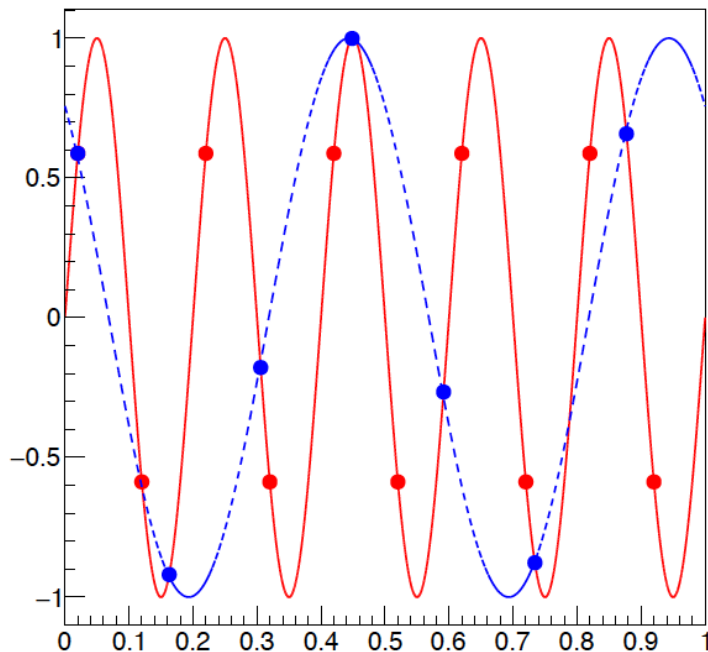
NB: i valori logici 0/1 delle uscite Q dei J/K rappresentano il codice fornito dall'ADC come risultato della conversione.

VERIFICA DEL TEOREMA DEL CAMPIONAMENTO

- Teorema del campionamento (Nyquist-Shannon): un segnale a banda limitata (frequenza massima f_{max}) può essere ricostruito in modo univoco dai suoi campioni presi a frequenze f_s solo se $f_s \geq 2 f_{max}$.

Se $f_s < 2 f_{max}$ il segnale ricostruito è differente da quello originale (*aliasing*).

$$\text{frequenza apparente: } f_a = | f_{max} - f_s * \text{NINT} (f_{max} / f_s) |$$



Segnale originale $f_{max} = 5$ Hz

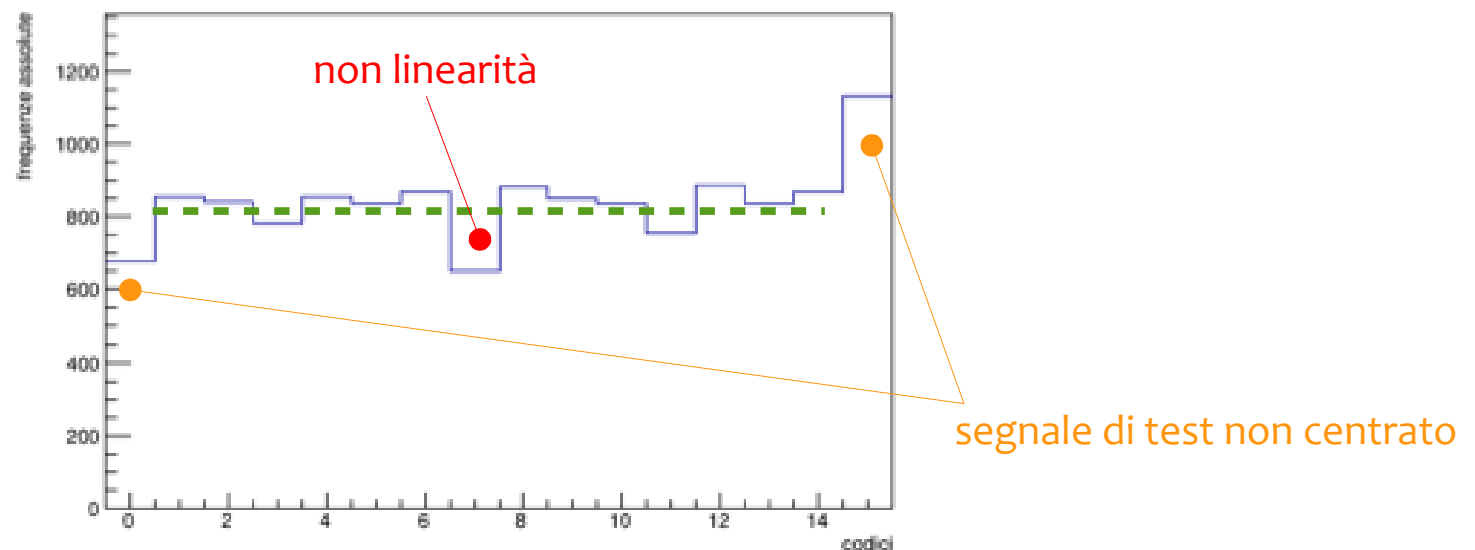
- campionamento con $f_s = 10$ Hz

- campionamento con $f_s = 7$ Hz

$$\text{frequenza apparente } f_a = | 5 - 7 * \text{NINT} (5 / 7) | \text{ Hz} = 2 \text{ Hz}$$

VERIFICA DELLA LINEARITA' (DNL)

- Metodo della *code density*: usa come segnale in ingresso $V_x(t)$ una rampa lineare che copre tutti i codici in modo uniforme.
- Analisi dell'istogramma delle frequenze di occupazione dei codici ad esclusione del primo e dell'ultimo codice per evitare effetti di *clipping* del segnale.



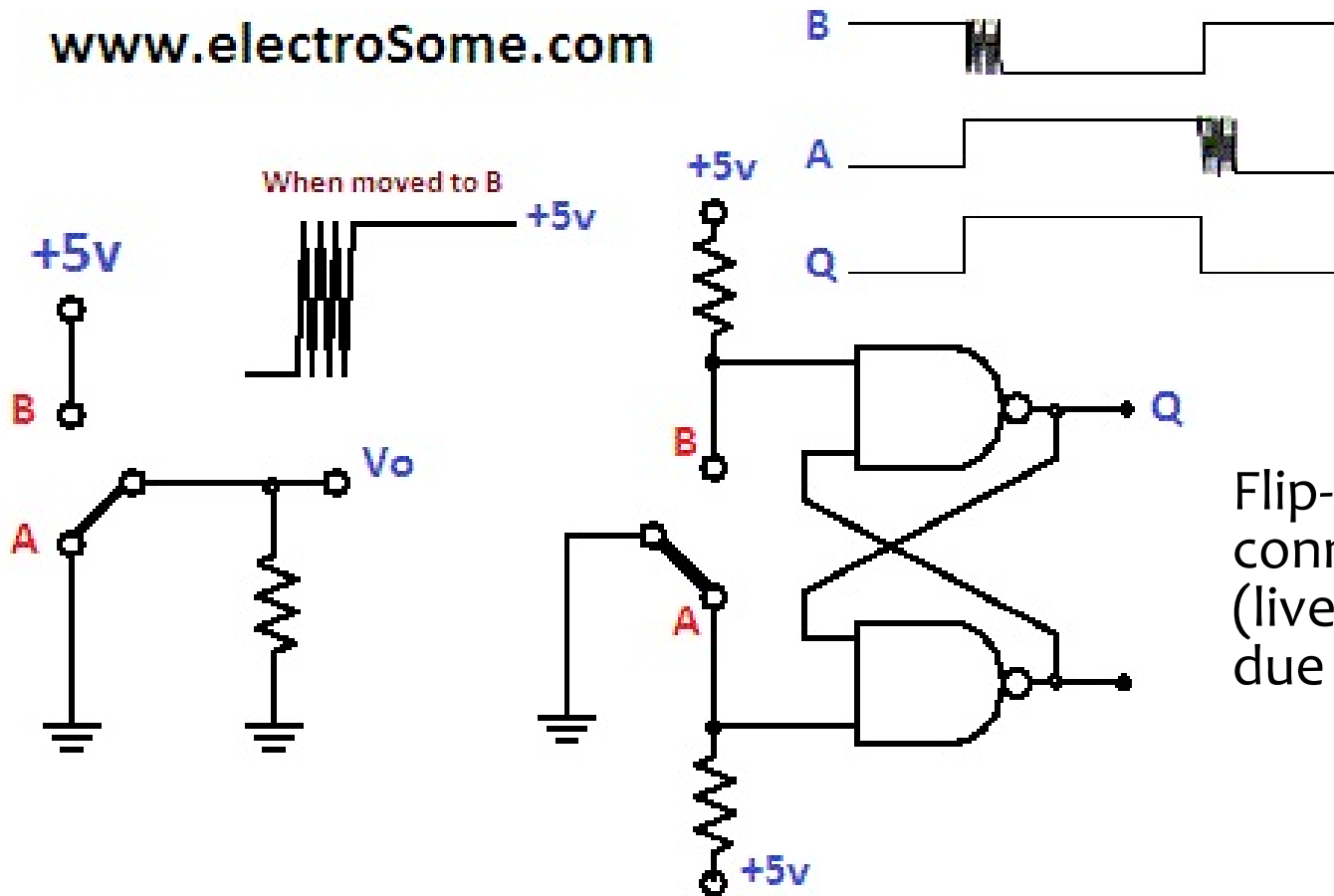
NB: potete introdurre delle non linearità *ad-hoc* modificando la rete R-2R usata nella DAC.

MATERIALE EXTRA

SWITCH DEBOUNCING

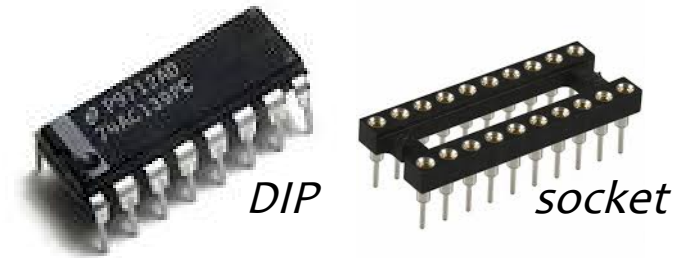
- *Bouncing*: i contatti di un pulsante “rimbalzano” quando viene premuto inducendo segnali spuri (tipicamente $\Delta t \sim 100 \mu s$)

www.electroSome.com



Flip-flop R-S: lo switch connette a GND (livello logico “LOW”) uno dei due ingressi

TIPS PER L'USO DELLA BREADBOARD



Gli ICs sono forniti come DIP (*Dual Inline Package*)

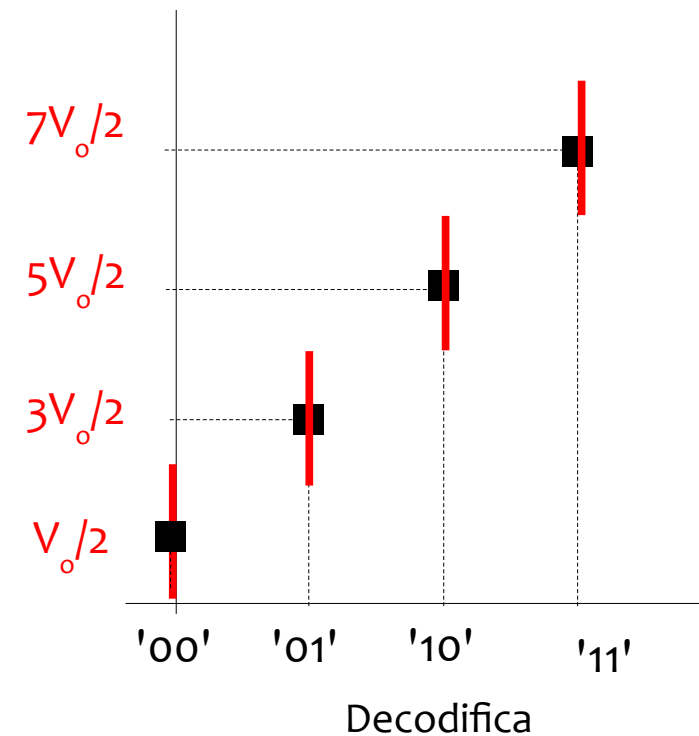
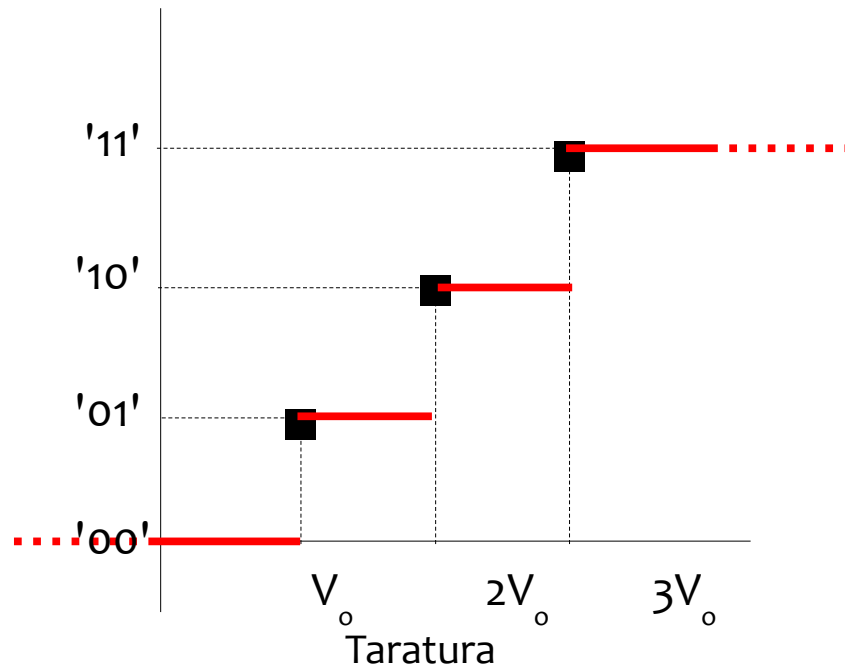
- Montare i DIP sui socket lasciando un po' di spazio tra un DIP e l'altro
- Usare i bus rosso/nero per le linee di alimentazione e ground
- Adottare un codice di colori per i cavetti
 - rosso +5V
 - nero GND
 - bianco CLK
 - ...
- Usare cavetti corti e radenti alla breadboard evitando di scavalcare i DIP
- Usare innanzitutto i fori lontani dal DIP in modo da potere accedere facilmente all'IC
- Non rimuovere i DIP con le dita

TARATURA E LETTURA DELL'ADC

Vengono registrati i valori di V_x in corrispondenza dei quali scattano i vari codici

Esempio: ADC a $n=2$ bit

codice	V_x
00	
01	V_o
10	$2V_o$
11	$3V_o$



Assegnare un codice al valore centrale (ad es. codice '00' = $V_o/2$) minimizza l'errore di quantizzazione

TEOREMA DEL CAMPIONAMENTO

$x(t)$: segnale da campionare limitato in frequenza $[-f_{max}, +f_{max}]$

$p(t)$: segnale di campionamento (=treno di impulsi) di frequenza f_s

$$\begin{aligned} p(t) &= \sum_{k=-\infty}^{+\infty} \delta(t-kT) \quad \text{con } T=1/f_s \\ &= \sum_{n=-\infty}^{+\infty} e^{j2\pi n f_s t} \quad \text{rappresentazione del treno di impulsi mediante serie di Fourier} \end{aligned}$$

$$x_s(t) = x(t) \cdot p(t) = \sum_{n=-\infty}^{+\infty} x(t) e^{j2\pi n f_s t} \quad \text{rappresentazione del segnale campionato mediante serie di Fourier}$$

Trasformata di Fourier

- del segnale
- del segnale campionato

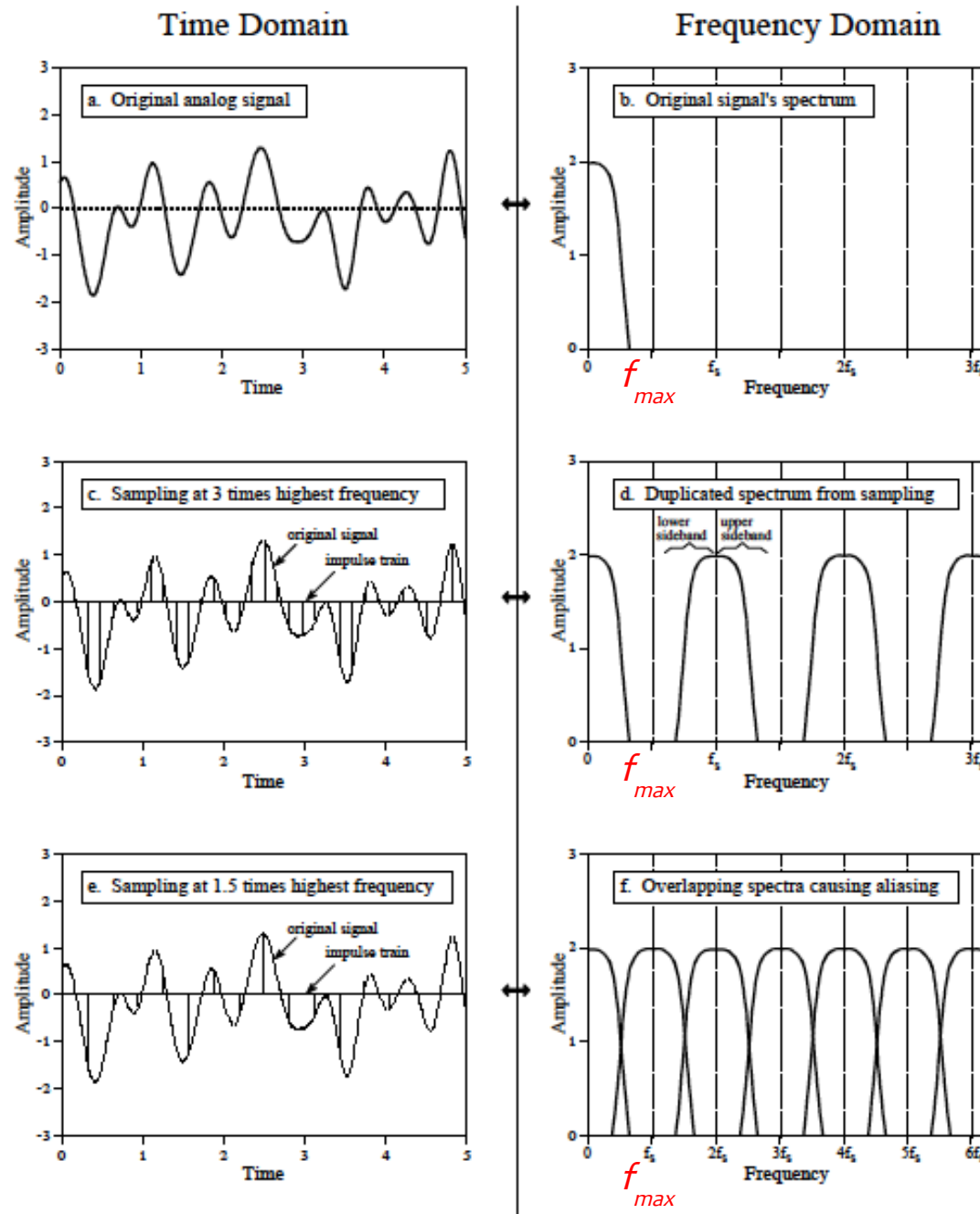
$$X(f) = \int_{-\infty}^{+\infty} x(t) e^{-j2\pi f t} dt$$

$$\begin{aligned} X_s(f) &= \int_{-\infty}^{+\infty} dt \sum_{n=-\infty}^{+\infty} x(t) e^{j2\pi n f_s t} e^{-j2\pi f t} \\ &= \sum_{n=-\infty}^{+\infty} \int_{-\infty}^{+\infty} x(t) e^{-j2\pi(f-nf_s)t} dt \\ &= \sum_{n=-\infty}^{+\infty} X(f-nf_s) \end{aligned}$$

Ovvero lo spettro del segnale campionato $X_s(f)$ è costituito dalla somma di infinite repliche dello spettro del segnale originale $X(f)$ traslate di multipli della frequenza f_s del treno di impulsi usato per il campionamento.

TEOREMA DEL CAMPIONAMENTO

Figure tratte da:
The Scientist and Engineer's Guide to Digital Signal Processing, copyright ©1997-1998 by Steven W. Smith.
For more information visit the book's website at: www.DSPguide.com



Condizione di non sovrapposizione degli spettri:

$$f_{max} \leq f_s - f_{max} \Rightarrow f_s \geq 2f_{max}$$

Le repliche dello spettro del segnale a frequenza superiore possono essere eliminate usando un filtro passa-basso